

SEP

SECRETARÍA DE
EDUCACIÓN PÚBLICA



TECNOLÓGICO NACIONAL DE MÉXICO

Secretaría Académica, de Investigación e Innovación
Dirección de Posgrado, Investigación e Innovación

cenidet[®]
Centro Nacional de Investigación
y Desarrollo Tecnológico

Centro Nacional de Investigación y Desarrollo Tecnológico

Subdirección Académica

Departamento de Ingeniería Electrónica

TESIS DE MAESTRÍA EN CIENCIAS

**Convertidor fuente Z como técnica de reconfiguración en el
inversor multinivel en cascada.**

presentada por

Ing. Iván Vásquez Libreros

como requisito para la obtención del grado de

Maestro en Ciencias en Ingeniería Electrónica

Director de tesis

Dr. Jesus Aguayo Alquicira

Codirector de tesis

Dr. Víctor Hugo Olivares Peregrino

Cuernavaca, Morelos, México. Enero de 2018

Cuernavaca, Mor., 8 de enero de 2018.

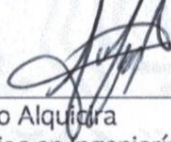
OFICIO No. DIE/006/2018

Asunto: Aceptación de documento de tesis

Dr. Gerardo Vicente Guerrero Ramírez
Subdirector Académico
Presente

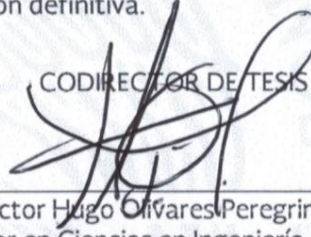
Por este conducto, los integrantes de Comité Tutorial del **C. Iván Vásquez Libreros** con número de control **M16CE051** de la Maestría en Ciencias en Ingeniería Electrónica, le informamos que hemos revisado el trabajo de tesis profesional titulado **"Convertidor Fuente Z como Técnica de Reconfiguración en el Inversor Multinivel en Cascada"** y hemos encontrado que se han realizado todas las correcciones y observaciones que se le indicaron, por lo que hemos acordado aceptar el documento de tesis y le solicitamos la autorización de impresión definitiva.

DIRECTOR DE TESIS



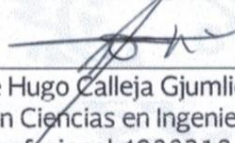
Dr. Jesús Aguayo Alquidra
Doctor en Ciencias en Ingeniería Electrónica
Cédula profesional 4706315

CODIRECTOR DE TESIS



Dr. Víctor Hugo Olivares Peregrino
Doctor en Ciencias en Ingeniería
Electrónica
Cédula profesional 5999002

REVISOR 1



Dr. Jorge Hugo Calleja Gjumlich
Doctor en Ciencias en Ingeniería Electrónica
Cédula profesional 4033213

REVISOR 2



Dr. Abraham Claudio Sánchez
Doctor en Ciencias en Ingeniería
Electrónica
Cédula profesional 7675050

C.p. M.T.I. María Elena Gómez Torres- Jefa del Departamento de Servicios Escolares

Estudiante
Expediente

RFEJ/Irr.

SEP

SECRETARÍA DE
EDUCACIÓN PÚBLICA



TECNOLÓGICO NACIONAL DE MÉXICO
Centro Nacional de Investigación y Desarrollo Tecnológico

Cuernavaca, Mor., 9 de enero de 2018

OFICIO No. SAC/003/2018

Asunto: Autorización de impresión de tesis

**ING. IVÁN VÁSQUEZ LIBREROS
CANDIDATO AL GRADO DE MAESTRO EN CIENCIAS
EN INGENIERÍA ELECTRÓNICA
PRESENTE**

Por este conducto, tengo el agrado de comunicarle que el Comité Tutorial asignado a su trabajo de tesis titulado **"Convertidor Fuente Z como Técnica de Reconfiguración en el Inversor Multinivel en Cascada"**, ha informado a esta Subdirección Académica, que están de acuerdo con el trabajo presentado. Por lo anterior, se le autoriza a que proceda con la impresión definitiva de su trabajo de tesis.

Esperando que el logro del mismo sea acorde con sus aspiraciones profesionales, reciba un cordial saludo.

ATENTAMENTE

"CONOCIMIENTO Y TECNOLOGIA AL SERVICIO DE MEXICO"

**DR. GERARDO VICENTE GUERRERO RAMÍREZ
SUBDIRECTOR ACADÉMICO**



**SEP TecNM
CENTRO NACIONAL
DE INVESTIGACIÓN
Y DESARROLLO
TECNOLÓGICO
SUBDIRECCIÓN
ACADÉMICA**

C.p. M.T.I. María Elena Gómez Torres- Jefa del Departamento de Servicios Escolares.
Expediente

GVGR/mcr

*Dedico esta tesis
A mi familia por toda
Su confianza y apoyo.*

Gracias

"No hay nada más grande que un poco de fe"

Agradecimientos

Al Tecnológico nacional de México y al Centro Nacional de Investigación y Desarrollo Tecnológico, que son la prueba de que un lugar es tan bueno como las personas que hay en él, porque estando lejos de mi familia, el centro de investigación ha forjado parte de mi vida profesional, siendo estos últimos años los cuales he pasado como estudiante e investigador, donde aprendí más de mí mismo, de mis virtudes y mis limitaciones.

Agradezco a quien fue mi asesor y también un amigo, el Dr. Jesús Aguayo Alquicira, por el apoyo y asesoramiento brindado no solo en este proyecto, así como a la paciencia que siempre me tuvo y todas pláticas y consejos que han ayudado a ser quien soy ahora.

Al Dr. Jesús Darío Mina Antonio quien sin conocernos me otorgo la oportunidad de trabajar en Cenidet asesorándome en mi primer proyecto y así mismo invitándome a formar parte de la familia “Cenidet”, así mismo agradezco al Dr. Hugo Calleja Gjumlich por el apoyo que me brindo hace 2 años, para poder efectuar mi primer proyecto en Cenidet y así permitir integrarme a este centro de investigación.

Agradezco a mis revisores, el Dr. Claudio Abraham Sánchez y al Dr. Hugo Calleja Gjumlich, por enseñanzas y comentarios a lo largo de este camino, tanto en las presentaciones como en el salón de clases.

Al Dr. Carlos Aguilar por su apoyo dentro y fuera de la institución, brindándome su amistad y apoyo.

Al Dr. Víctor Hugo Olivares peregrino, por el apoyo brindado durante el desarrollo de esto proyecto y los consejos otorgados.

Al Dr. Gabriel Calderón, un verdadero amigo y compañero, igualmente al MC. Oscar Hernandez Martínez por compartir y aconsejarme de su propia experiencia en los proyectos desarrollados, y al Dr. Adolfo por sus consejos y enseñanzas acerca de uno mismo y un investigador.

Al, Dr. Jesús Aguayo Alquicira, Dr. Mario Ponce Silva, Dr. Claudio Abraham Sánchez, Dr. Carlos Aguilar, Dr. Hugo Calleja Gjumlich, Dr. Arau Roffiel por forjarme dentro del salón de clase y compartir su conocimiento conmigo.

Agradezco al personal de Cenidet por el apoyo otorgado, tanto en el aspecto académico como personal, a la Lic. Lorena, a Reyna, al Master Web, etc. “Porque nunca sabes dónde encontraras a un compañero y a un amigo”.

A CONACYT, por creer siempre en los estudiantes de México, brindándoles la oportunidad de superarse día a día, demostrando los valores y principios morales del país.

Agradezco a Dios, por la infinita fe que siempre me brinda, por cada una de las oportunidades, retos, experiencias y vivencias en las que me pone a prueba, en las cuales jamás me ha desamparado, puesto que en cualquier paso que doy, él está conmigo.

A mis padres y hermanos, por ese amor incondicional que siempre me han brindado, que me han visto crecer y se han esforzado en enseñarme y darme lo mejor que la vida puede dar. Quienes me han proporcionado todo su esfuerzo en una oportunidad de cambiar mi vida. Por ello cada uno de mis logros, no solos se los dedico a ustedes, si no que los comparto; porque son nuestros logros. Los amo.

A los amigos que he hecho a lo largo de mi vida, Andrews, Yuriel, Jesica Moreno, Manuel, Huesca, Karla Johana, Yesenia, Mauricio, Daniel, Ángel, Oswaldo, Mario, Ismael, Roberto Gamboa, a Josué Daniel Salazar. Ustedes han formado parte esencial de mi vida, y de lo he logrado, por amigos como ustedes es que estamos donde estamos.

Agradezco a Cassandra Johnson, Regan Jackson y Loura, por su increíble amistad y apoyo en estos últimos meses, que pese a la distancia y las circunstancias están presentes en mi vida.

A las personas que llegan a tu vida un día y deciden quedarse, como un amigo o un hermano al grado que le dices “prima”, Gracias Zabdi por ser no solo una amiga, si no como una hermana, por todas esas veces que me has escuchado e intentado comprender.

A todos mis compañeros en Cenidet con quienes he compartido alegrías y tristezas, y por ultimo a Jairo quien incondicionalmente me ha brindado su apoyo en esos momentos críticos.

A todos ustedes muchas gracias...

RESUMEN

Las necesidades en la industria respecto a la confiabilidad de sus procesos de producción han aumentado considerablemente. Estas necesidades al ser más complejas y sofisticadas requieren operar de forma eficiente, con una mejor confiabilidad y una densidad de potencia cada vez mayor. Por ende es de gran importancia contar con sistemas que cumplan con estos requerimientos necesarios, permitiendo una operación segura y continúa en el proceso de producción.

Dentro de la industria, las máquinas eléctricas forman parte fundamental en los procesos de producción, donde; la regulación de la velocidad juega un papel muy importante. La regulación de la velocidad, al estar ligada a la electrónica de potencia, requiere de un elemento convertidor que minimice los rizados en la tensión y las distorsiones eléctricas, presentes en las máquinas. Aun después de presentarse una falla, con el fin de evitar pérdidas económicas y daños a terceros que estas puedan ocasionar.

El presente trabajo de investigación se enfoca en el inversor multinivel en cascada (CMLI por sus siglas en inglés “Cascade Multilevel Inverter”) de 7 niveles en conjunto con la fuente Z. Los estados de conmutación de corto circuito se usan en la fuente Z para elevar su tensión de salida, con el fin de tolerar fallas en el inversor multinivel.

Se presentan resultados de la reconfiguración ante la presencia de una falla en un módulo de puente completo que conforman al CMLI, se realiza una reconfiguración de las señales que controlan el comportamiento del CMLI cambiando la operación del modo simétrico al asimétrico.

ABSTRACT

The needs in the industry regarding the reliability of their production processes have increased considerably. Since these needs are more complex and sophisticated, they require efficient operation, with better reliability and increasing power density. Therefore, it is very important to have systems that meet these necessary requirements, allowing a safe and continuous operation in the production process.

Inside the industry, electrical machines are a fundamental part in production processes, where the regulation of speed plays a very important role. Speed regulation is linked to power electronics, requires a converter element that minimizes the ripples in the voltage and electrical distortions present in machines. Even after a failure occurs in order to avoid economic losses and damages to third parties that these may cause.

The present research work focuses on Cascade Multilevel Inverter “*CMLI*” of 7 levels in conjunction with the *Z* source. Shoot-Through and Non- Shoot-Through switching states are used by *Z* source to raise its output voltage in order to tolerate failures in *CMLI*.

Results of the reconfiguration are presented in the presence of a fault in a complete bridge module that make the *CMLI*, a reconfiguration of the signals controlling the behavior of the *CMLI* is carried out, changing the operation from symmetric to asymmetric mode.

CONTENIDO

Resumen	xi
Abstract	xiii
Contenido	xv
Acrónimos	xix
Nomenclatura	xxi
Lista de Figuras	xxiii
Lista de Tablas	xxix
Capítulo 1 Introducción General	1
1.1 Antecedentes	3
1.2 Estado del arte	3
1.2.1 Tolerancia a fallas en el CMLI	3
1.2.2 Fuente Z	6
1.3 Problemática	8
1.4 Propuesta solución	9
1.5 Objetivo General	10
1.5.1 Objetivos particulares	10
1.6 Alcances	11
1.7 Organización de la tesis	11
Capítulo 2 Inversores de tensión	3
.1 Inversor Multinivel	15
2.2.1 Inversores multinivel en cascada simétrico	16
2.2.2 Inversores multinivel en cascada asimétrico ACMLI	18
2.2 Estrategias de modulación	19
2.2.1 Modulación en el CMLI	19
2.2.1 Modulación en el ACMLI	21
Capítulo 3 Fuente z	27
3.1 Inversor Fuente Z (ZSI)	29
3.2 Modulación del SZI trifásico	31
3.3 Convertidor fuente Z	33

Capítulo 4	Implementación	45
4.1	Convertidor fuente Z	47
4.2	Implementación del convertidor fuente Z	48
4.3	Implementación del inversor multinivel en cascada (CMLI)	53
4.4	Tarjeta Altera Quartus Cyclone IVE	54
4.5	Inversor multinivel en cascada CMLI	57
4.6	Generador de tiempos muertos	58
4.7	Implementación de los patrones de modulación del CMLI	59
Capítulo 5	Reconfiguración en el CMLI	65
5.1	Introducción	67
5.1.1	Fallas en los convertidores de potencia	67
5.1.2	Fallas en los interruptores	68
5.2	CMLI de 7 niveles sin fallas	69
5.3	Circuito de fallas	70
5.4	CMLI simétrico-asimétrico con falla	72
5.5	Discusión de resultados	76
Capítulo 6	Conclusiones y Trabajos futuros	79
6.1	Conclusiones	81
6.2	Trabajos futuros	82
6.3	Referencias	83
Anexo	a	87
Anexo	b	91

ACRÓNIMOS

APOD	Alternative Phase Opposition Disposition (Disposición de fase opuesta alternada).
CA	Corriente alterna.
CD	Corriente directa.
CMLI	Inversor multinivel en cascada.
CPLD	Complex Programmable Logic Array (Matriz de lógica compleja programable).
FC	Flying Capacitor (Capacitores flotantes).
FPGA	<i>Field Programmable Gate Array</i> (Matriz de compuertas programables).
GAL	Generic Logic Array (Matriz de lógica genérica).
IPD	In Phase Disposition (Disposición de fase).
NPC	Neutral Point Clamped (Enclavamiento de punto neutro).
NST	Non-Shoot-Through (Estado de conducción).
POD	Phase Opposition Disposition (Disposición opuesta de fase).
PS	Phase Shifter (Corrimiento de pase de portadoras).
PWM	Pulse Width Modulation (Modulación de ancho de pulso).
SHE	Selective Harmonic Elimination (Selección selectiva de armónicos).
ST	Shoot-Through (Estado de cortocircuito).
VHDL	Lenguaje de descripción para circuitos integrados de muy alta velocidad..
ZCI	Convertidor fuente Z.
ZSI	Inversor fuente Z.

NOMENCLATURA

Δ_{iL}	Delta de corriente del inductor.
Δ_{vC}	Delta de tensión del capacitor.
θ	Angulo de fase.
B	Factor de elevación.
D	Ciclo de trabajo del convertidor fuente Z.
D_1	Ciclo de trabajo 1 (de la tensión superior).
D_2	Ciclo de trabajo 1 (de la tensión inferior).
DC	Fuente de alimentación de corriente directa.
f_s	Frecuencia de conmutación.
i_{C1}	Corriente en el inductor C1.
i_{L1}	Corriente en el inductor L1.
i_o	Corriente de salida.
i_D	Corriente del diodo.
i_{pkD}	Corriente pico del diodo.
H	Puente completo.
l	Número de niveles requeridos.
n	Número.
m	Índice de modulación.
S_i	Estados de conmutación donde $i=0,1,\dots,7$.
V_a	Tensión de la fase A.
V_b	Tensión de la fase B.
V_c	Tensión de la fase C.
V_{in}	Tensión de entrada.
V_n	Tensión negativa.
V_p	Tensión negativa.
$V_{C1 y C2}$	Tensión de los capacitores C1 y C2.
V_{cd}	Tensión de corriente directa.
V_o	Tensión de salida.
V_{oB}	Tensión de impulso (tensión de la salida cortocircuitada).
V_n-	Tensión de nivel negativo.
V_p+	Tensión de nivel positivo.
V_T	Señal portadora triangular.
t_{NST}	Tiempo del estado de cortocircuito (NST).
t_{ST}	Tiempo del estado de conducción (ST).
T_s	Periodo.

LISTA DE FIGURAS

Figura 1.1 Redundancia material con una rama extra en paralelo.	4
Figura 1.2 Redundancia material con elementos extra en los módulos de puente completo.	4
Figura 1.3 Redundancia material con elementos bidireccionales.	5
Figura 1.4 a) Técnica PWM. b) Asignación de señales en el CMLI.	6
Figura 1.5 Modulación vectorial.	6
Figura 1.6 Inversor fuente Z en serie SZSI.	7
Figura 1.7 Inversor multinivel Híbrido con baterías y paneles fotovoltaicos.	8
Figura 1.8. a) Convertidor fuente Z. b) CMLI de 7 niveles simétrico.	10
Figura 2.1 a) Convertidor inversor - Puente completo. b) Señal de salida escalonada de 3 niveles.	15
Figura 2.2 a) MCLI (Conformado por tres módulos de puente completo). b) Salida del CMLI de 7 niveles.	16
Figura 2.3 a) CMLI asimétrico de 15 niveles con fuentes de tensión de V_{CD} , $2V_{CD}$ Y $4V_{CD}$. b) Señal de salida de 15 niveles.	18
Figura 2.4 Técnica de modulación IPD-PWM aplicada en el inversor de 5 niveles.	19
Figura 2.5 Técnica de modulación POD-PWM aplicada en el inversor de 5 niveles.	20
Figura 2.6 Técnica de modulación APOD-PWM aplicada en el inversor de 5 niveles.	20
Figura 2.7 Técnica de modulación PS-PWM aplicada en el inversor de 5 niveles.	21
Figura 2.8 Configuración de un ACMLI de potencia 2.	21
Figura 2.9 Eliminación selectiva de armónicos de 7 niveles.	24
Figura 2.10 Diagrama a bloques empleado en la modulación híbrida [14].	25
Figura 3.1. Inversor fuente Z.	29
Figura 3.2 Los 8 estados posibles en el inversor trifásico convencional.	30
Figura 3.3 Estado de cortocircuito. a) En una pierna. b) En dos piernas.	31
Figura 3.4 Modulación empleada en el inversor trifásico convencional.	31
Figura 3.5. a) Modulación empleada en el ZSI trifásico con señales de referencia en cada fase. b) Señales de disparo " D_{Iy2} del tiempo de ST.	32
Figura 3.6 Convertidor fuente Z.	33
Figura 3.7 Convertidor fuente Z en el estado de Non-Shoot-Through (conducción), con carga, tensiones y corrientes definidas.	34
Figura 3.8 Convertidor Fuente Z, en estado de Shoot-Through (cortocircuito) con carga y tensión y corrientes definidas.	35
Figura 3.9 Convertidor Fuente Z, en estado de cortocircuito (Shoot-Through).	36
Figura 3.10 Del factor de elevación en función del ciclo de trabajo en el convertidor fuente Z.	38
Figura 3.11 Tensión en la compuerta VGS del interruptor Q1. B) Tensión en los inductores L1 y L2. c) Corriente en los inductores L1 y L2.	39
Figura 3.12 Tensión en la compuerta VGS del interruptor Q1. B) Tensión de los capacitores C1 y C2. c) Corrientes en los capacitores C1 y C2.	40
Figura 3.13 Tensión en la compuerta VGS del interruptor Q1. B) Tensión de los capacitores C1 y C2. c) Corriente en el Diodo D1.	42

Figura 3.14 Gráfica del convertidor fuente Z. (Tensión de salida - ciclo de trabajo).....	44
Figura 3.15 Gráfica del convertidor fuente Z (Eficiencia – Ciclo de trabajo).	44
Figura 4.1 Convertidor fuente Z simulado en el Software PSpice9.1.....	47
Figura 4.2 Tensión de salida V_o del convertidor fuente Z con cambio de operación en el instante $t=$ 150ms.	48
Figura 4.3 Transitorio en el convertidor fuente Z en el cambio de operación (Nominal- falla) simulación.	48
Figura 4.4 a) Diseño en PCB del convertidor fuente Z en el software Altium Designer 16.0.5. b) PCB del convertidor fuente Z.	49
Figura 4.5 Transitorio de la fuente Z en el cambio de operación (nominal-falla) implementación...50	
Figura 4.6 Tensión de salida del convertidor fuente Z (Amarillo). Corriente del diodo D1 de la fuente Z (Agua marina) en estado de falla.	51
Figura 4.7 Tensión de salida del convertidor fuente Z (superior). Corriente del diodo D1 de la fuente Z (inferior) en estado de falla en simulación.	51
Figura 4.8 Tensión del capacitor C1,2 (amarillo), con delta de tensión $\Delta V_c=6.8V$. Tensión del VGS del MOSFET en operación con falla.....	52
Figura 4.9 Tensión del capacitor C1,2 (superior), con delta de tensión $\Delta V_c=4.6832V$. Tensión del VGS del MOSFET en operación con falla.....	52
Figura 4.10 Módulo del inversor puente trifásico.....	53
Figura 4.11 Diagrama del circuito optoacoplador.....	54
Figura 4.12 Tarjeta Altera Quartus Cyclone IVE.	55
Figura 4.13 Diagrama a bloques de la programación efectuada en la tarjeta Altera Cyclone Quartus IVE.	56
Figura 4.14 Diagrama a bloques de los comandos de programación en la tarjeta Altera.	57
Figura 4.15 a) Inversor multinivel simétrico. b) Respuesta escalonada del inversor multinivel en cascada de 7 niveles en operación libre de falla.	58
Figura 4.16 a) Señal de conmutación y su completo. b) Tiempo muerto.	59
Figura 4.17 a) Diagrama para la obtención de los pulsos de conmutación para el CMLI simétrico de 7 niveles. b) Diagrama del CMLI de 7 niveles simétrico.	60
Figura 4.18 Comparación de las señales aplicadas en la modulación APOD empleada en el CMLI simétrico.....	60
Figura 4.19 Señales resultantes de la comparación portadoras-moduladora para el CMLI simétrico.	61
Figura 4.20 Pulsos implementados en la tarjeta Altera Quartus Cyclone IVE de la modulación simétrico aplicada en el CMLI.....	61
Figura 4.21 a) Señal de referencia. b) Señal moduladora del módulo mayor potencia (módulo 1) c) Señal de moduladora del módulo de menor potencia.	62
Figura 4.22 Comparación de las señales aplicadas en la modulación APOD empleadas en el CMLI asimétrico.....	63
Figura 4.23 Señales resultantes de la comparación híbrida aplicada.	63

Figura 4.24 Pulsos implementados en la tarjeta Altera Quartus Cyclone IVE de la modulación asimétrica aplicada en el CMLI.	64
Figura 5.1 a) Inversor multinivel ideal simétrico. b) Respuesta escalonada del inversor multinivel en cascada de 7 niveles en operación libre de falla.	69
Figura 5.2 THD del CMLI en caso ideal (fuentes de alimentación iguales).	70
Figura 5.3 CMLI simétrico con interruptores S1 y S2 para aislar y desconectar los módulos de puente completo y la fuente de alimentación V_{in} en conjunto con el convertidor fuente Z.	71
Figura 5.4 a) CMLI ideal simétrico con falla. b) Respuesta degradada de 5 niveles.	72
Figura 5.5 a) CMLI con fuente Z. b) Pérdida de un módulo en el CMLI y 2 niveles de tensión (7 niveles – 5 niveles).	73
Figura 5.6 Reconfiguración de la respuesta del CMLI de modo simétrico-asimétrico.	74
Figura 5.7 Reconfiguración en el CMLI de 7 niveles en el cambio de operación (nominal-falla)....	74
Figura 5.8 THD del CMLI en el estado con falla.	75

LISTA DE TABLAS

Tabla 2.1 Estados de conducción para el ACMLI de 7 niveles.	22
Tabla 3.1 Estados de conmutación del inversor trifásico.....	30
Tabla 4.1 Datos de diseño del convertidor fuente Z.	49
Tabla B.1 Caracterización del convertidor fuente Z con $D=4\%$	91
Tabla B.2 Caracterización del convertidor fuente Z con $D=8\%$	91
Tabla B.3 Caracterización del convertidor fuente Z con $D=12\%$	92
Tabla B.4 Caracterización del convertidor fuente Z con $D=16\%$	92
Tabla B.5 Caracterización del convertidor fuente Z con $D=20\%$	92
Tabla B.6 Caracterización del convertidor fuente Z con $D=24\%$	93
Tabla B.7 Caracterización del convertidor fuente Z con $D=28\%$	93
Tabla B.8 Caracterización del convertidor fuente Z con $D=32\%$	93
Tabla B.9 Caracterización del convertidor fuente Z con $D=36\%$	94

CAPÍTULO 1 INTRODUCCIÓN GENERAL

La creciente demanda de energía eléctrica por parte de la sociedad, requiere un continuo desarrollo de nuevas topologías con el fin de perfeccionar las características en la que operan los generadores e inversores aplicados en la electrónica de potencia, así como las cargas a las que estos son sometidos. Lo cual implica la maximización de su rendimiento, el disminuir la probabilidad de que una falla ocurra, así como el facilitar sus tareas de mantenimiento y prevención necesarias. Por lo tanto es indispensable contar con los conocimientos necesarios para la implementación y operación segura de los convertidores con mayor potencia y confiabilidad, con mejores prestaciones desde el punto de vista de la respuesta dinámica y la calidad de la forma de onda de las señales salida.

Las fuentes de energía renovables son una solución frente a la carencia de los combustibles fósiles, sin embargo, trae consigo un enorme problema de estabilidad y calidad en la energía de los sistemas eléctricos en los cual es utilizada. Estas nuevas tecnologías exigen sistemas de conversión y control en aplicaciones de medias y altas potencias, con una buena respuesta dinámica.

1.1 Antecedentes.

Los convertidores de potencia juegan un papel muy importante en aplicaciones de baja y alta potencia, donde las nuevas tecnologías y técnicas de control permiten el desarrollo e implementación de convertidores más complejos y avanzados, con mejores prestaciones, incrementando sus rangos de potencia y frecuencia en los que pueden operar, con un menor contenido armónico en su forma de onda salida, es de gran importancia el solucionar los problemas de confiabilidad y seguridad operacional de estos sistemas.

La creciente necesidad de diseñar e implementar sistemas que permitan una operación continua y segura de los procesos, mediante estrategias de reconfiguración, mantenimiento o reparación en tiempo real ha llevado al desarrollo de nuevas tecnologías y aplicaciones, con una mayor confiabilidad en estructuras tolerantes a fallas.

1.2 Estado del arte.

La revisión del estado del arte nos muestra un panorama general de los avances tecnológicos de la presente tesis. Los tópicos de interés son dos: Sistemas tolerantes a fallas (focalizado en los CMLI) y las aplicaciones de la fuente Z en conjunto con CMLI.

1.2.1 Tolerancia a fallas en el CMLI.

En los convertidores empleados en electrónica de potencia se han analizado diversas estrategias tolerantes a fallas. Puntualmente en los CMLI las estrategias se pueden clasificar en redundancia material y redundancia analítica.

❖ Redundancia material.

Conocida también como redundancia de hardware; la cual implica tener un elemento extra que sustituya al elemento dañado. En [1, 2] se propone una la adición de una rama auxiliar en paralelo al convertidor, la cual, al presentarse una falla en alguno de los interruptores, nos permite solucionar la falla empleando la rama auxiliar con el fin de sustituir la rama defectuosa, permitiendo la operación del sistema en estado degradado (Figura 1.1).

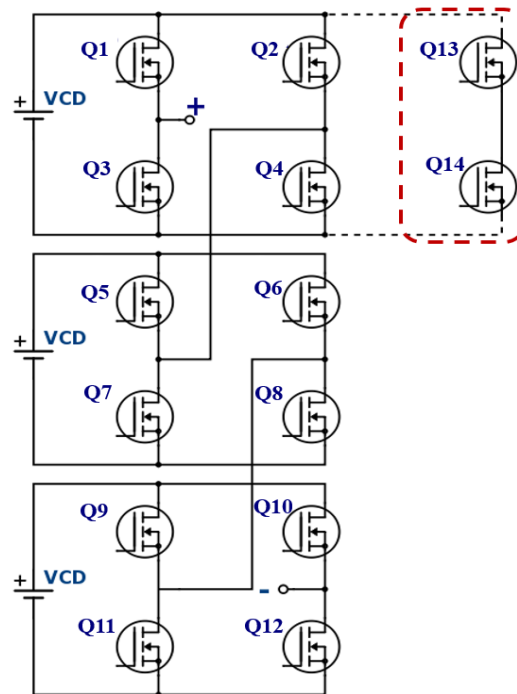


Figura 1.1 Redundancia material con una rama extra en paralelo.

En [3] se agregan elementos extra de conmutación a los módulos del inversor, incrementando no solo los costos de implementación si no también el tiempo de respuesta del inversor para sustituir y aislar el elemento dañado.

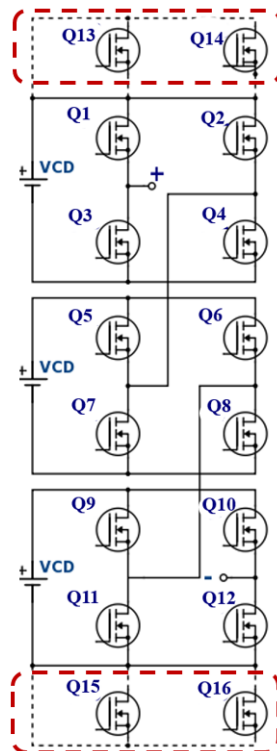


Figura 1.2 Redundancia material con elementos extra en los módulos de puente completo.

De manera muy similar en [4] se usan de interruptores bidireccionales como se muestra en la Figura 1.3, los cuales al estar conectados directamente a un conjunto de transformadores con diferentes relación en sus devanados en cada módulo , permiten una reconfiguración asimétrica en el CMLI, sin embargo cuando uno de los módulos se daña, se requiere de una gran complejidad de cálculo y conocimiento de todos los estados permisibles en los que pueden operar para realizar su reconfiguración.

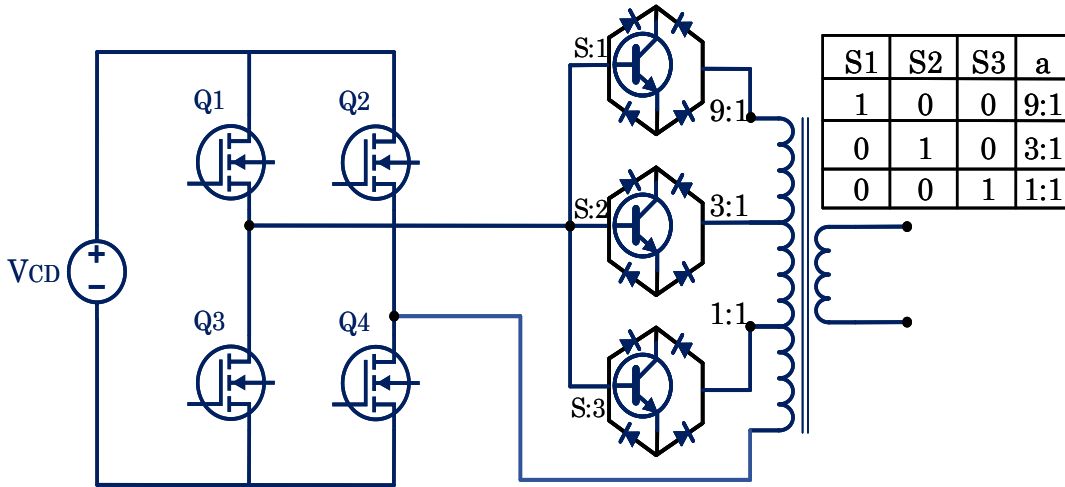


Figura 1.3 Redundancia material con elementos bidireccionales.

❖ Redundancia analítica.

Denominada también como redundancia de software. Consiste en la incorporación de un bloque en el sistema que opera al sistema con la finalidad de reconstruir las formas de onda de salida de la planta mediante la retroalimentación de las mismas. La aplicación de la redundancia analítica, permite al sistema operar en régimen degradado aun cuando ha ocurrido una falla, sin la adición de nuevos elementos al sistema, sin embargo esto se refleja en los costos de implementación [5].

En [6] se usa la técnica de re-asignación de señales PWM en el CMLI, esta estrategia PWM basa su principio de operación en la comparación de señales portadoras de alta frecuencia con una señal moduladora de baja frecuencia para generar las señales de conmutación que controlaran a los interruptores del puente completo como se muestra en la Figura 1.4 a). Esta técnica aprovecha los grados de libertad con los que cuenta la distribución de señales en el CMLI, el cual al tener una estructura modular, es muy versátil en su reacomodo de niveles Figura 1.4 b).

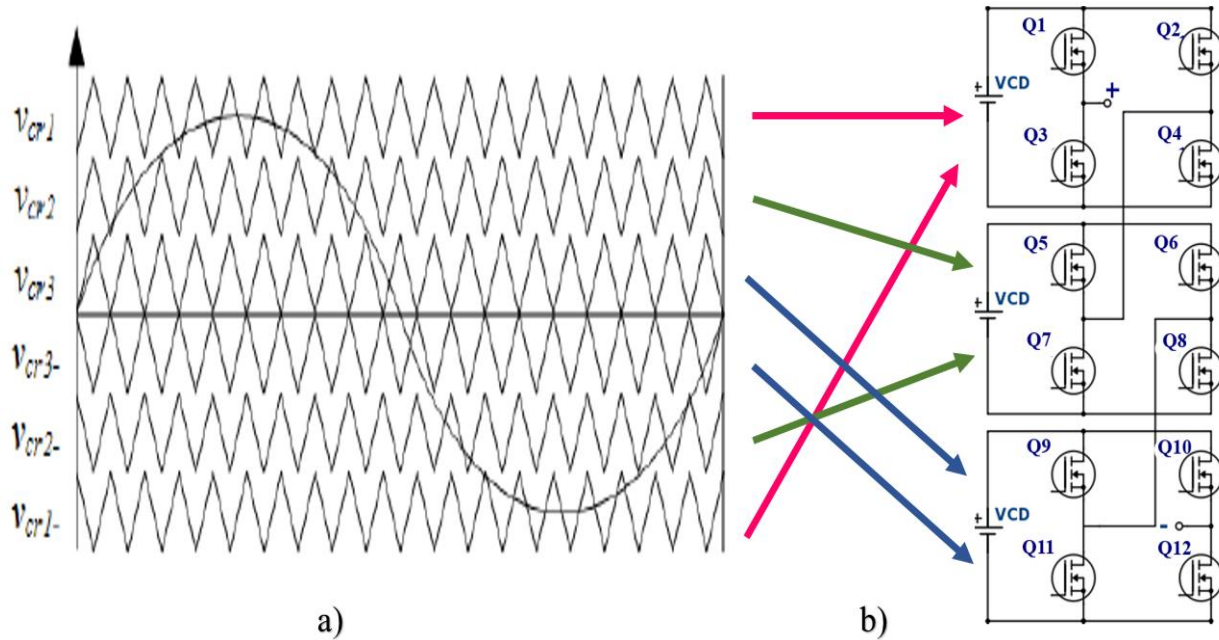


Figura 1.4 a) Técnica PWM. b) Asignación de señales en el CMLI.

Así mismo en [7] se presenta una técnica de conmutación redundante, que usa la modulación vectorial aplicada en el CMLI. Esta técnica hace uso de los estados de conmutación y la selección de los vectores de conmutación posibles en el puente completo como se muestra en la Figura 1.5. Debido a que un vector de conmutación puede ser generado por diferentes estados de conmutación, es posible realizar una reconfiguración cuando alguno de los interruptores presenta una falla. Al realizar esta reconfiguración de vectores en el CMLI, el sistema puede continuar operando, sin embargo, el inversor presenta un deterioro en sus ondas resultantes.

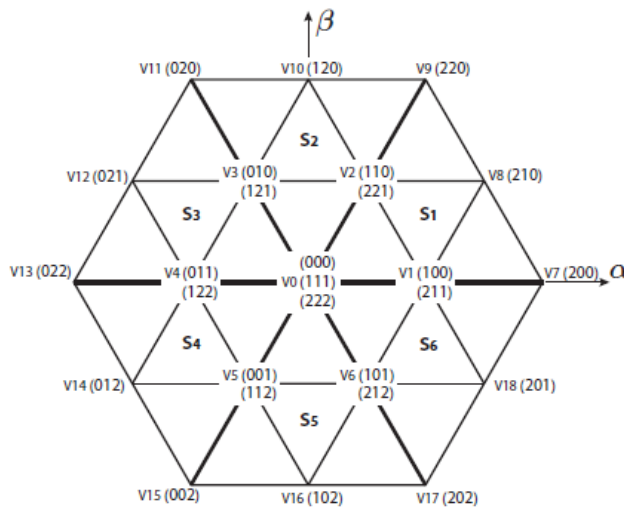


Figura 1.5 Modulación vectorial.

1.2.2 Fuente Z

La fuente Z ha surgido como una nueva alternativa en la conversión de potencia de los últimos años. Siendo utilizada como un acoplamiento entre las fuentes de alimentación y los inversores de puente completo.

En [8] se usa de varias fuentes Z conectadas en serie (SZSI por sus siglas en inglés “*Serie Z Source Inverter*”) mediante la unión de los inductores de cada una de sus redes de impedancia (ver Figura 1.6), conectadas directamente al inversor puente completo, que provoca una baja tensión aplicada en los capacitores de la red de impedancia, así como la capacidad de reducir la corriente de encendido en la misma. A diferencia de las topologías convencionales del inversor fuente Z (ZSI por sus siglas en inglés “*Z Source Inverter*”). El SZSI ofrece una ganancia de tensión superior a los ZSI convencionales con un ciclo de trabajo “*D*” menor.

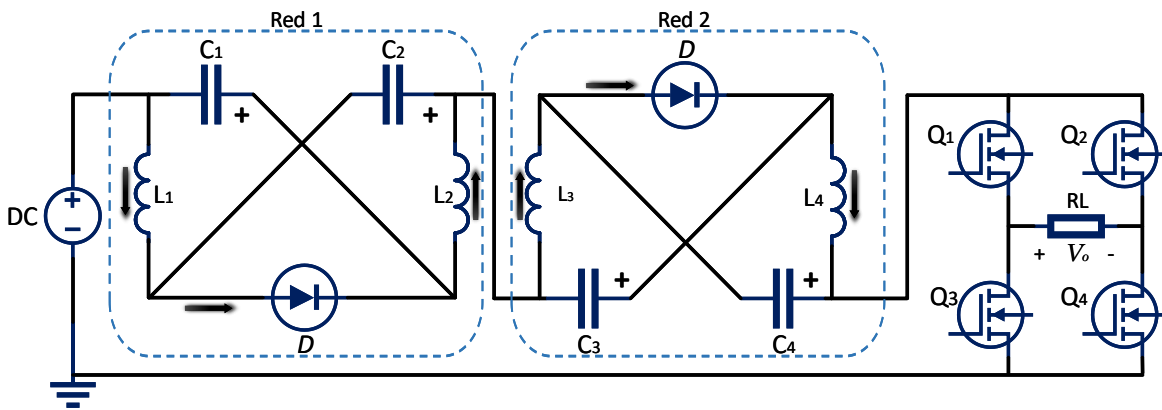


Figura 1.6 Inversor fuente Z en serie SZSI.

En [9] se presenta una estrategia PWM para la maximización de la ganancia de la tensión y la eficiencia en el ZSI trifásico, se realiza un re-ajuste en el estado de cortocircuito aplicando en solo una de las tres ramas que conforman al puente trifásico reduciendo la frecuencia de conmutación en el inversor a $1/3f_s$. Sin embargo, las corrientes del inductor y la tensión en los capacitores presentan un gran rizado ocasionado por la baja frecuencia de conmutación y el uso de elementos pasivos en la red Z de valores mayores a los aplicados en otras aplicaciones convencionales.

Dentro de las aplicaciones más comunes de la fuente Z, está el acoplamiento de sistemas fotovoltaicos con inversores de puente completo, en [10] se usa un sistema híbrido, de 2 baterías y de cuatro ZSI aplicados en un CMLI con el fin de mejorar la eficiencia que proporcionan los paneles fotovoltaicos como se muestra en la Figura 1.7.

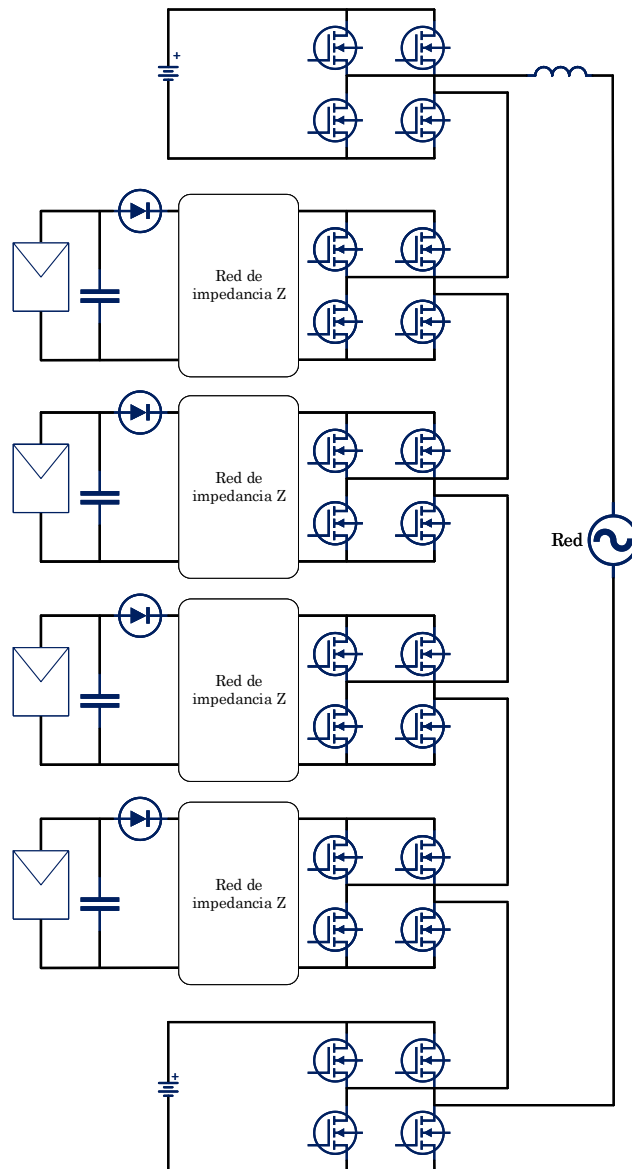


Figura 1.7 Inversor multinivel Híbrido con baterías y paneles fotovoltaicos.

1.3 Problemática.

En una topología modular, tal como el inversor multinivel en cascada, al incrementarse el número de fuentes de CD en la entrada así como módulos empleados, el número de niveles de tensión a la salida aumenta, produciendo una salida escalonada asemejándose cada vez más a una señal sinusoidal.

Aun cuando los inversores multinivel son eficientes en su operación, el incremento de niveles implica el uso de más de un módulo y por lo tanto, más interruptores en la topología; lo cual trae consigo la posibilidad de un fallo (de corto circuito o de circuito abierto) aumente, llegando a degradar la respuesta de salida y por

consecuente, desbalancear el comportamiento del sistema, lo cual podría llegar a destruir el CMLI, dañar al operador o a terceros así como un paro total del proceso.

El incremento de elementos empleados en las topologías multinivel, incrementa la probabilidad de que una falla temprana ocurra reduciendo el índice de tiempo medio entre fallas aplicado a estas topologías. El uso de elementos redundantes podría aumentar considerablemente el índice de tiempo medio entre fallas al igual que los costos de implementación aplicados.

1.4 Propuesta solución.

Las soluciones propuestas en la literatura a la problemática de las fallas ocasionadas en el CMLI por el incremento en el número de interruptores empleados caen en el uso de redundancia material o analítica, las cuales están centradas en los interruptores y ramas del sistema así como a la modulación empleada.

La solución propuesta en este trabajo consta en la combinación de ambas estrategias redundantes, donde la incorporación de un elemento no modifique la estructura del sistema y al mismo tiempo nos permita mantener la calidad de señal de salida después de la presencia de una falla. Sustituyendo una fuente de alimentación de CD por la fuente Z (Figura 1.8 a) operando como un convertidor CD-CD en el CMLI de 7 niveles (ver Figura 1.8 b).

En un CMLI simétrico (de tres módulos) se obtienen 7 niveles de tensión al operar de manera nominal, sin embargo ante la presencia de una falla en alguno de los interruptores, el módulo de puente completo dañado se desconecta, dejando al inversor operar con solo dos de los tres módulos con una tensión de salida de 5 niveles.

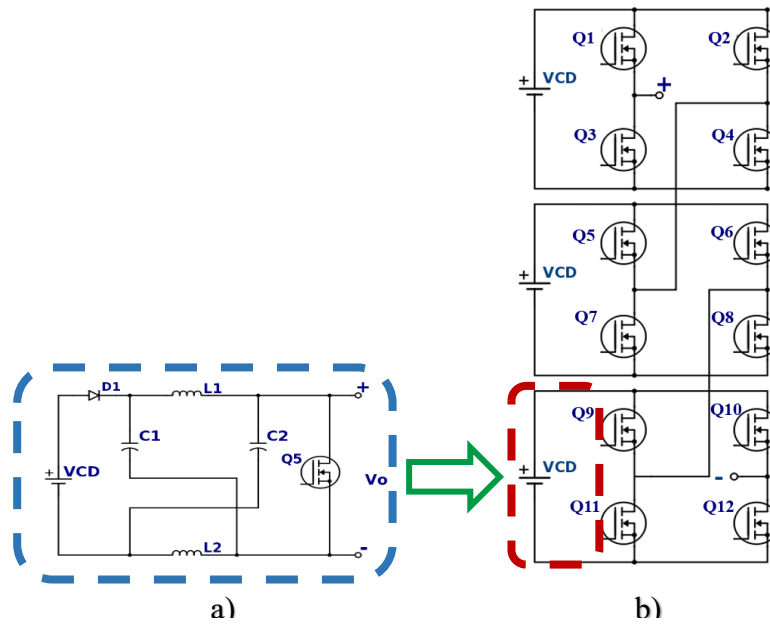


Figura 1.8. a) Convertidor fuente Z. b) CMLI de 7 niveles simétrico.

Con la finalidad de que la tensión de salida no se vea afectada ante la pérdida de un módulo en el CMLI, se pretende cambiar la operación del inversor de un modo simétrico a un modo asimétrico (operando con solo dos módulos) preservando los 7 niveles de la operación nominal.

Se pretende aislar a la fuente Z del puente completo, con la finalidad de utilizarlo como un convertidor de tensión CD-CD, conmutado a alta frecuencia con el propósito de reducir el valor de los capacitores e inductores empleados en la red de impedancia e incrementar la respuesta transitoria del sistema cuando se genere un cambio de operación (en este caso, cuando se presente un falla).

1.5 Objetivo General.

Evaluar la fuente Z como alternativa de reconfiguración ante la presencia de una falla en el inversor multinivel en cascada, con la finalidad de mantener al sistema en operación de régimen degradada, evitando hacer uso de la redundancia material de manera inmediata (elementos extra en el sistema) y tener una respuesta simétrica del inversor.

1.5.1 Objetivos particulares

- Comprender el funcionamiento de los inversores multinivel asimétricos en cascada y la fuente Z.

- Analizar las diferentes técnicas de modulación empleadas en el inversor de 7 niveles simétrico y asimétrico.

1.6 Alcances.

- Diseño, simulación e implementación de la fuente Z para trabajar en dos puntos de operación, operación nominal (libre de falla) y operación con falla.

1.7 Organización de la tesis.

El presente documento ha sido organizado en 5 capítulos. El capítulo 1, contempla los antecedentes, el estado del arte, la problemática a resolver, la propuesta solución, los objetivos generales y específicos así como los alcances en el trabajo de investigación.

En el capítulo 2 se presentan las técnicas de modulación empleadas en los inversores multinivel en cascada, así mismo la modulación aplicada en el ZSI.

El capítulo 3 está dedicado al análisis de la fuente Z como un convertidor CD-CD, tras realizar la separación de la fuente Z del puente completo, siendo analizada como una fuente conmutada.

El capítulo 4 se divide en dos partes. En la primera parte se presenta los resultados de simulación e implementación de los elementos que componen al inversor multinivel en cascada y el convertidor fuente Z, así mismo se presentan el cómo se generan los comandos de conmutación aplicados tanto para el inversor multinivel como en el convertidor fuente Z.

En el capítulo 5, se presentan los resultados obtenidos en la reconfiguración del inversor multinivel en cascada en conjunto con el convertidor fuente Z, antes y después de presentarse la falla.

Finalmente, en el capítulo 6 se presentan las conclusiones del presente trabajo de investigación y la comparación de los resultados obtenidos con respecto a trabajos similares. De igual manera, se proponen recomendaciones y trabajos futuros.

CAPÍTULO 2 INVERSORES DE TENSIÓN

Los inversores alimentados en tensión han surgido como una opción de convertidor para aplicaciones en media y alta potencia, siendo una de sus funciones la síntesis de la tensión de salida deseada a partir de varios niveles de tensión de CD; reduciendo el estrés de tensión en los interruptores así como el contenido armónico generado en la onda de salida.

Un convertidor-inversor es un circuito de potencia cuya función es cambiar la tensión de entrada de corriente continua a un voltaje simétrico de salida de corriente alterna, con una frecuencia y magnitud deseada (ver Figura 2.1). Usados en aplicaciones como computadores o unidades de procesamiento, hasta en aplicaciones industriales en donde se desea controlar una alta potencia, así mismo la corriente generada por los inversores puede ser inyectada a la red eléctrica o usarse en aplicaciones aisladas [11].

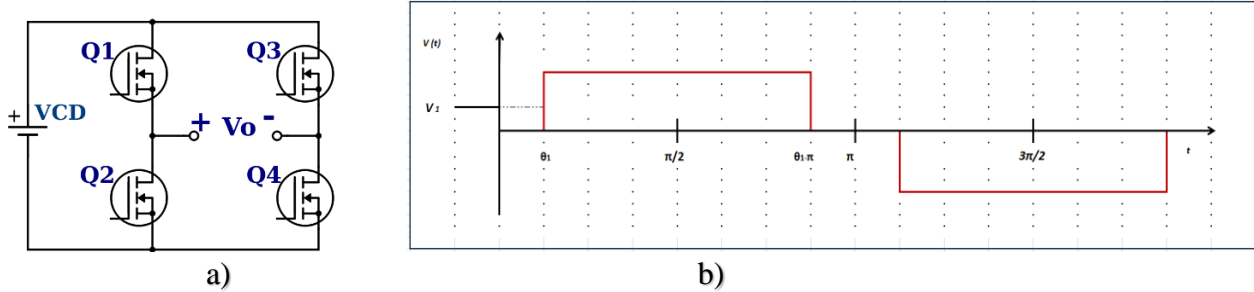


Figura 2.1 a) Convertidor inversor - Puentes completo. b) Señal de salida escalonada de 3 niveles.

Las estructuras más comunes empleadas en los inversores de tensión, son el medio puente y el puente completo, caracterizados por proporcionar una señal tensión de salida de dos o tres niveles, sin embargo, estos inversores convencionales presentan una serie de inconvenientes que provocan daños a la calidad de la energía así como al comportamiento de los sistemas conectados a los mismos, especialmente en aplicaciones de gran potencia [12].

.1 Inversor Multinivel

El término multinivel se aplica debido a la utilización de más de un elemento o módulo en la constitución de estas estructuras (conectados para este tipo de aplicaciones en cascada o serie), lo cual genera una suma de las tensiones de cada uno de los módulos empleados. Estos inversores son integrados por un arreglo de interruptores, diodos y capacitores de potencia según la topología empleada.

Los niveles de tensión a la salida están determinados por el cantidad de módulos empleados, a mayor número de niveles resultantes, mayor es la calidad de la señal resultante así mismo el contenido armónico y el estrés en los interruptores será menor [13]. Sin embargo, los inversores multiniveles tienen desventajas puntuales a diferencia de los inversores convencionales, puesto que al contar con un mayor número de interruptores conectados en serie la confiabilidad disminuye.

Las topologías empleadas en los inversores multinivel de tensión se dividen en:

- Inversor con diodos de enclavamiento (o enclavamiento de punto neutro, NPC, por sus siglas en inglés “*Neutral Point Clamped*”)
- Inversor con capacitores flotantes (FC, por sus siglas en inglés “*Flying Capacitor*”)
- Inversor multinivel en cascada CMLI (Simétricos y asimétricos).

Para este trabajo de tesis se usa el CMLI, debido a la ventaja que tiene sobre los inversores del tipo NPC y FC al ser una topología modular, permitiéndole operar a cada uno de los módulos empleados de manera diferente unos de otros (ya sea con distintos niveles tensión o con diferentes comandos de conmutación), así como una fácil interacción entre ellos mismos.

2.2.1 Inversores multinivel en cascada simétrico.

El CMLI simétrico, emplea “*n*” módulos con estructura de tipo puente completo (ver en la Figura 2.2 a) conectados en serie, los cuales son alimentados por fuentes de CD asiladas entre sí por cada módulo de puente completo empleado. Cada módulo puede generar 3 niveles de tensión en la señal de salida (V_{CD+} , 0 y $-V_{CD}$). La señal de tensión resultante se sintetiza mediante la suma de tensiones de cada celda. Por lo tanto, la señal de salida en un CMLI mostrado en la Figura 2.2 b) presenta una señal resultante de 7 niveles: $3V_{CD}$, $2V_{CD}$, V_{CD} , 0, $-V_{CD}$, $-2V_{CD}$ y $-3V_{CD}$.

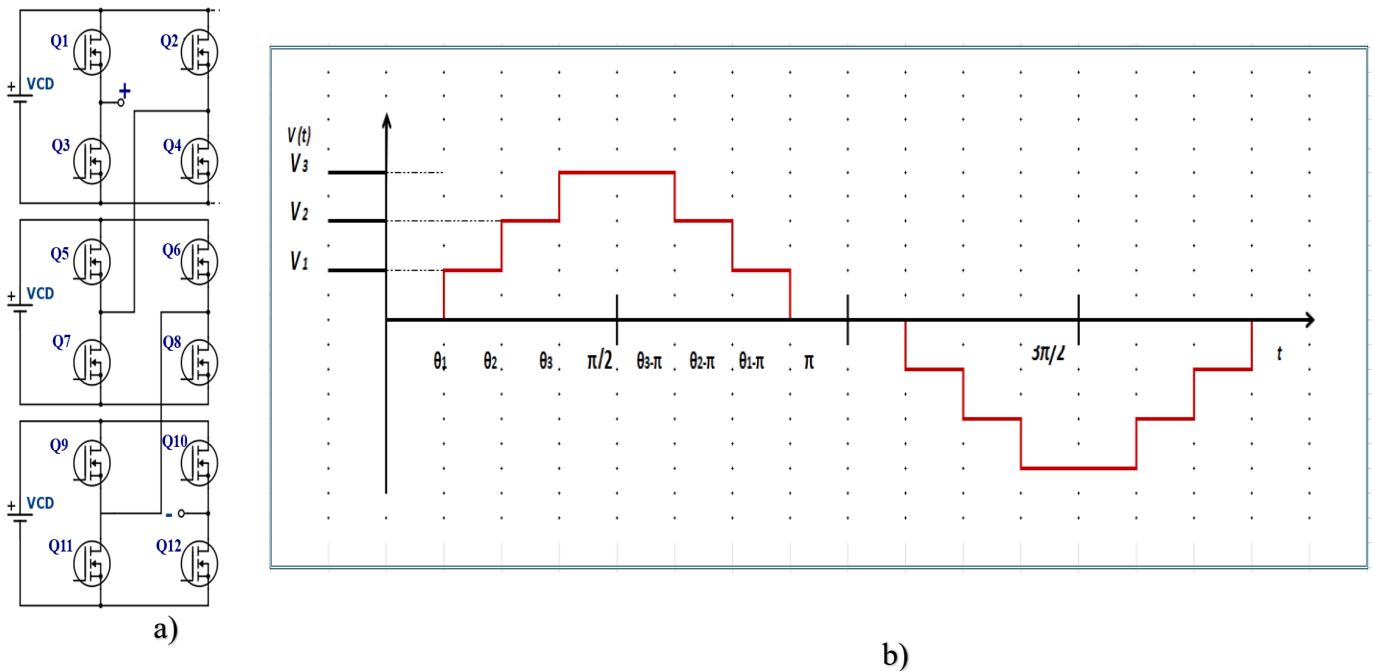


Figura 2.2 a) MCLI (Conformado por tres módulos de puente completo). b) Salida del CMLI de 7 niveles.

El número de niveles resultantes en el CMLI siempre es impar, el cual se calcula mediante la ecuación (2.1); donde n representa el número de niveles en la señal de salida y H representa el número de módulos empleados.

$$n = 2H + 1 \quad (2.1)$$

A continuación se describen las ventajas y desventajas en esta topología:

Ventajas:

- A diferencia de otras topologías multinivel (NPC o FC) no requieren el uso de tantos elementos para obtener un mismo nivel de tensión.
- Debido a su conexión en cascada, su construcción se vuelve de tipo modular, por lo tanto su complejidad de implementación disminuye notablemente al igual que los costos.
- Al contar con una estructura modular, se vuelve una topología tolerante a fallas, debido a que el convertidor puede continuar operando con n número de módulos aun ante la presencia de una falla o desconexión de alguno de ellos, con una señal de tensión degradada al cortocircuitar el modulo dañado o ausente.
- Minimización del contenido armónico (THD, por sus siglas en inglés "*Total Harmonic Total*") mientras mayor sea el número de niveles.
- El incremento de niveles no afecta a la tensión que soportan los interruptores de potencia.

Desventajas:

- Se requiere usar fuentes de CD completamente aisladas entre cada módulo. Por lo cual en algunas aplicaciones es necesario el uso de transformadores con múltiples devanados secundarios.
- Las fuentes de alimentación deben estar perfectamente balanceadas.
- El uso de transformadores así como una buena selección de este hace que los costos del convertidor se incrementen notablemente.
- Cuando el número de niveles se incrementa, la complejidad del control se incrementa proporcionalmente.

Los CMLI pueden clasificarse de acuerdo a su modo de operación: simétrico y asimétrico.

2.2.2 Inversores multinivel en cascada asimétrico ACMLI.

El inversor multinivel en cascada asimétrico (ACMLI por sus siglas en inglés “*Asymmetric Cascade Multilevel Inverter*”) Figura 2.3 a), es una modificación de la topología convencional del inversor multinivel (simétrico), diferenciándolos únicamente por la relación de tensión aplicada en las fuente de alimentación de la entrada de cada módulo de puente completo que conforman al inversor [14].

El ACMLI se utiliza principalmente para la generación de un mayor número de niveles (Figura 2.3 b) con una menor cantidad de módulos e interruptores en comparación con otras topologías multinivel; sin embargo cabe destacar que el incremento de niveles en un inversor minimiza no solo la THD, sino también el tamaño de los inductores aplicados en el filtro.

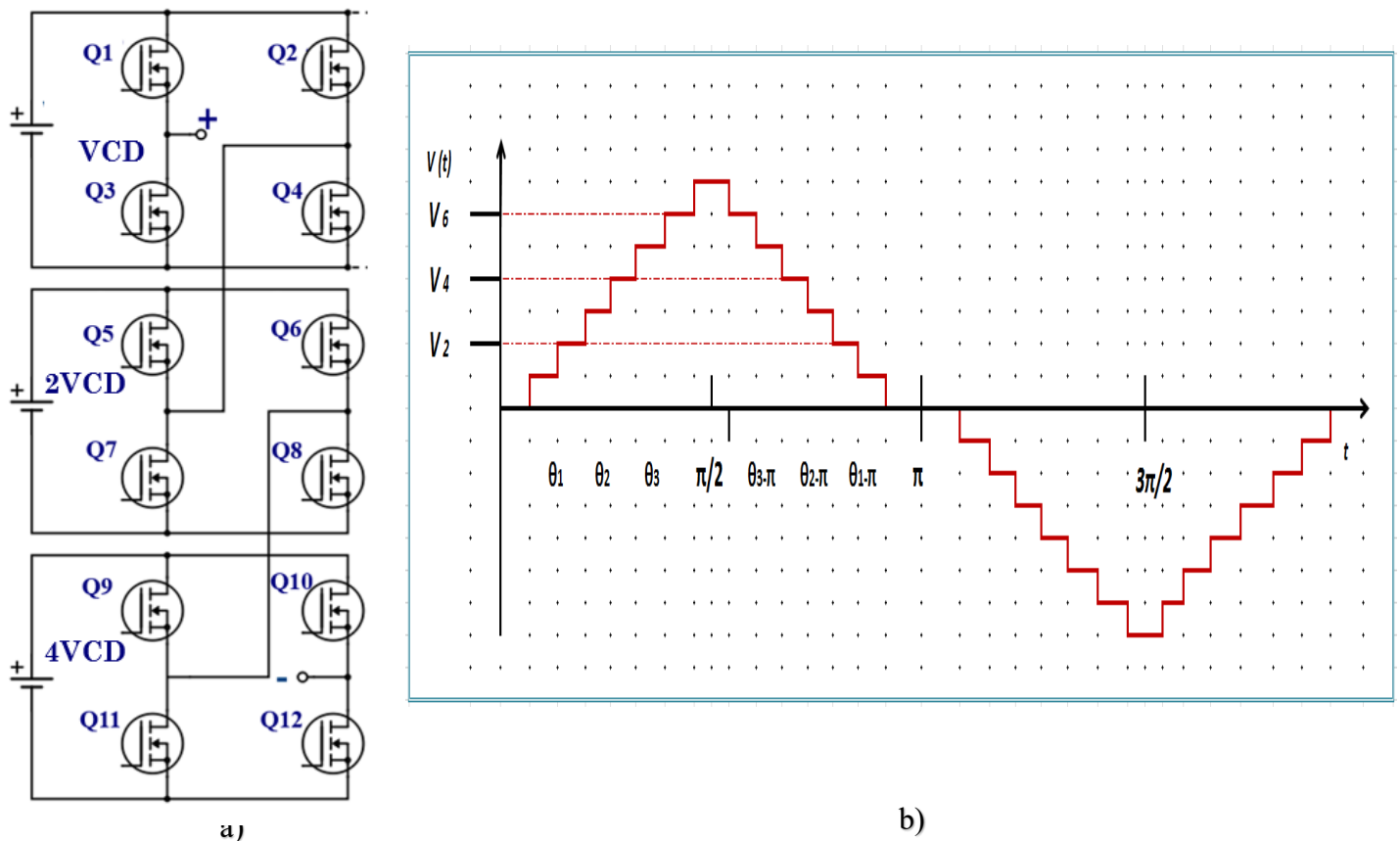


Figura 2.3 a) CMLI asimétrico de 15 niveles con fuentes de tensión de V_{CD} , $2V_{CD}$ Y $4V_{CD}$. b) Señal de salida de 15 niveles.

2.2 Estrategias de modulación.

Las técnicas de modulación definen el desempeño de los inversores. Las técnicas de PWM sinusoidales basadas en multiportadoras son las más utilizadas para aplicaciones industriales [15, 16].

La técnica de modulación PWM con multiportadoras consiste en la comparación de una señal moduladora (regularmente por una señal de tipo senoidal) y con señales portadoras (señales triangulares) [7], las cuales pueden aplicarse en los inversores de tipo simétrico o asimétrico.

2.2.1 Modulación en el CMLI.

Estas técnicas pueden clasificarse en disposición de las portadoras:

- Disposición de fase (IPD, por sus siglas en inglés “*In Phase Disposition*”)
- Disposición de fase opuesta (POD, por sus siglas en inglés “*Phase Opposition Disposition*”)
- Disposición de fase opuesta alternada (APOD, por sus siglas en inglés “*Alternative Phase Opposition Disposition*”)
- Corrimiento de fase de portadoras (PS, por sus siglas en inglés “*Phase Shifter*”)

La técnica IPD-PWM se caracteriza por tener todas las portadoras con la misma fase. Es utilizada principalmente en CMLI e inversores de diodos de enclavamiento. En la Figura 2.4 se muestra el ejemplo de la técnica IPDPWM para un convertidor multinivel de 5 niveles.

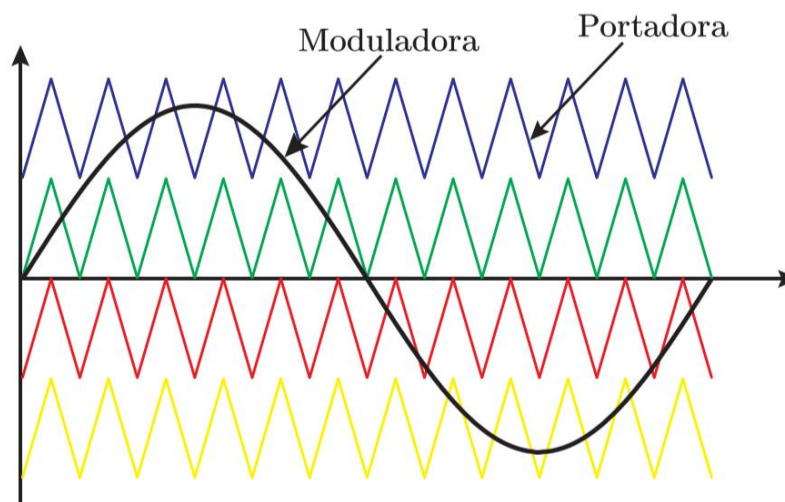


Figura 2.4 Técnica de modulación IPD-PWM aplicada en el inversor de 5 niveles.

La técnica de modulación POD-PWM mostrada en la Figura 2.5 se caracteriza por tener un corrimiento en fase de 180° de las señales portadoras que se encuentran en la parte superior con respecto a las señales portadoras que se encuentran en la parte inferior del eje x.

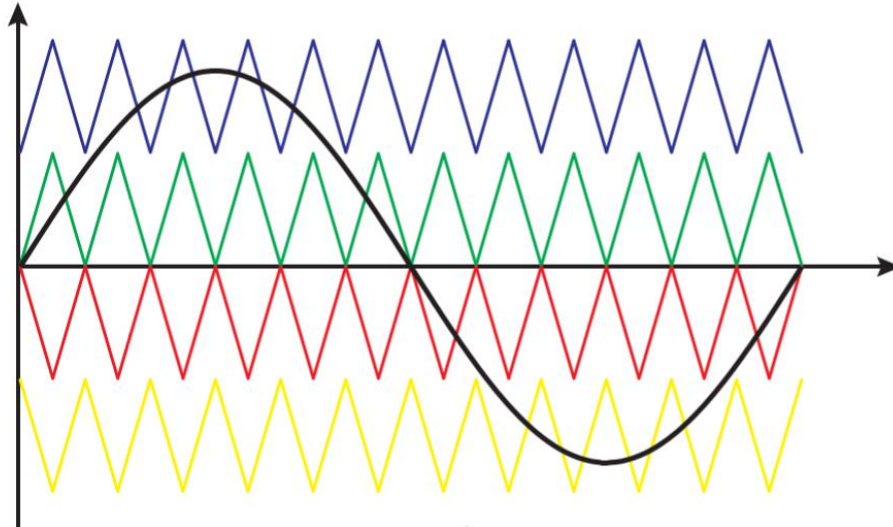


Figura 2.5 Técnica de modulación POD-PWM aplicada en el inversor de 5 niveles.

La técnica de modulación POD-PWM en comparación con la IPD-PWM presenta mejores resultados desde el punto de vista de desempeño armónico a menores índices de modulación.

En la técnica de modulación APOD se realiza un reacomodo en las señales portadoras desfasándolas 180° respecto a la portadora adjunta en cada banda contigua como se muestra en a Figura 2.6, una con respecto a la otra, sin embargo se presenta reacomodo alterno entre cada una de las bandas.

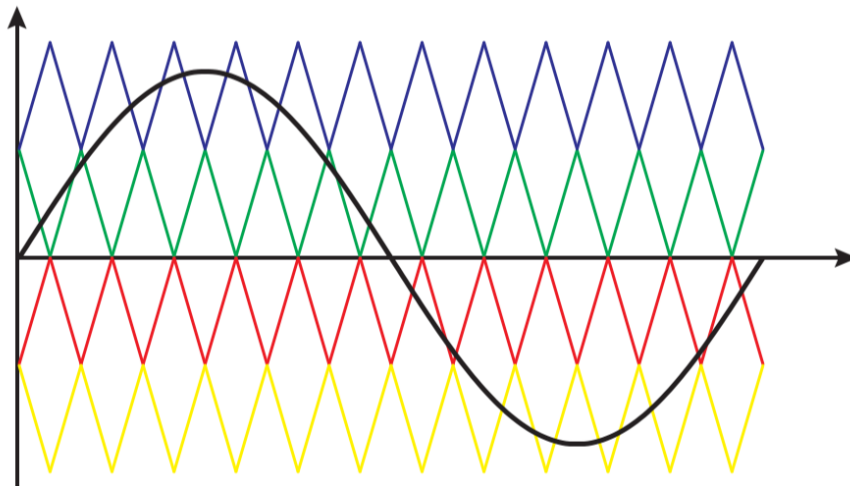


Figura 2.6 Técnica de modulación APOD-PWM aplicada en el inversor de 5 niveles.

En la Figura 2.7 se presenta la técnica de modulación PS-PWM, la cual el emplea usó de todas las portadoras en la misma magnitud y desfasándolas simétricamente dentro de los 360° o 2π de un ciclo.

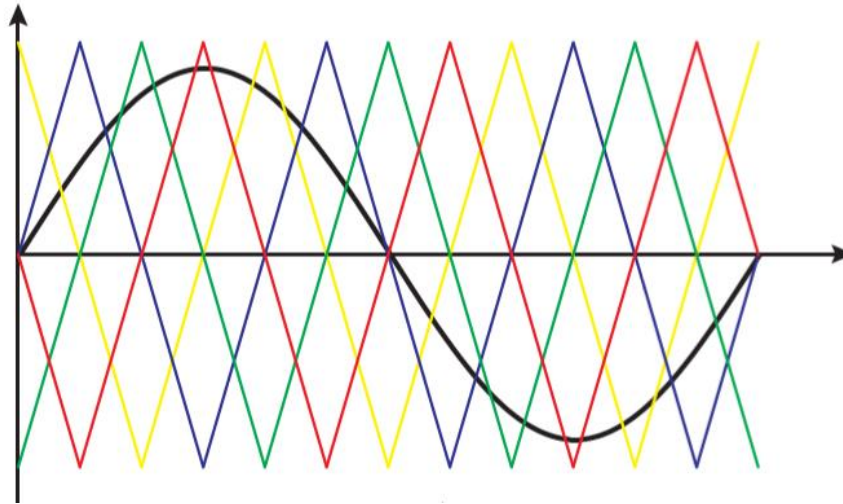


Figura 2.7 Técnica de modulación PS-PWM aplicada en el inversor de 5 niveles.

2.2.1 Modulación en el ACMLI.

Un inversor asimétrico de potencia 2 (ver Figura 2.8) alcanza un valor de 7 niveles en su tensión de salida, sin embargo para que esto se cumpla, se debe operar solo en los 16 estados posibles mostrados en la Tabla 2.1 de conducción de conducción para generar los 7 niveles posibles.

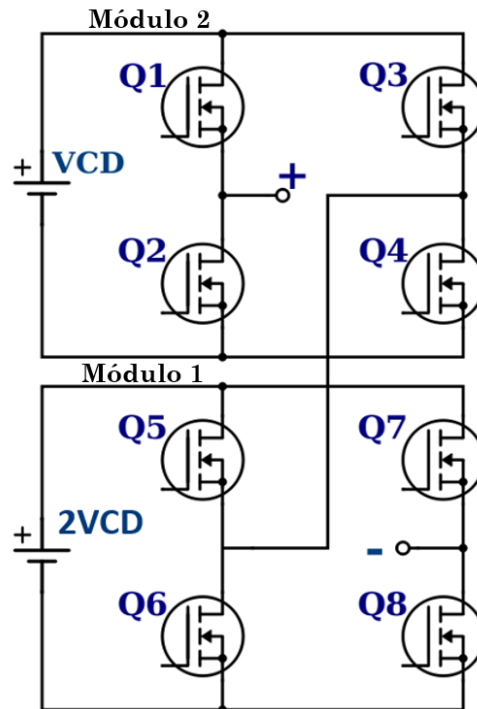


Figura 2.8 Configuración de un ACMLI de potencia 2.

Debido a que el circuito mostrado en a Figura 2.8 contiene 8 interruptores, existen solo dos posibles estados para cada uno de los interruptores (abierto y cerrado), los cuales pueden ser representados en una tabla de verdad binaria [14].

Tabla 2.1 Estados de conducción para el ACMLI de 7 niveles.

Tensión de salida	Estados de conmutación								Tensión H1	Tensión H2
	Q1	Q2	Q3	Q4	Q5	Q6	Q7	Q8		
3VCD	1	0	0	1	1	0	0	1	VCD	2VCD
2VCD	1	0	1	0	1	0	0	1	0	2VCD
	0	1	0	1	1	0	0	1	0	2VCD
VCD	1	0	0	1	1	0	1	0	VCD	0
	1	0	0	1	0	1	0	1	VCD	0
	0	1	1	0	1	0	0	1	- VCD	2VCD
2450	0	1	0	1	0	1	0	1	0	0
	0	1	0	1	1	0	1	0	0	0
	1	0	1	0	0	1	0	1	0	0
	1	0	1	0	1	0	1	0	0	0
- VCD	1	0	0	1	0	1	1	0	VCD	-2VCD
	0	1	1	0	1	0	1	0	- VCD	0
	0	1	1	0	0	1	0	1	- VCD	0
-2VCD	1	0	1	0	0	1	1	0	0	-2VCD
	0	1	0	1	0	1	1	0	0	-2VCD
-3VCD	0	1	1	0	0	1	1	0	- VCD	-2VCD

Para poder lograr la suma y resta de tensiones de salida deseados en el ACMLI, es necesario comandar adecuadamente el encendido y el apagado de cada interruptor. Por lo cual se hace uso de las diferentes estrategias de modulación para comandar a los interruptores.

Estas técnicas pueden clasificarse en:

- Eliminación selectiva de armónicos (SHE, por sus siglas en inglés “*Selective Harmonic Elimination*”).
- Modulación híbrida.

❖ SHE eliminación selectiva de armónicos.

La SHE es una estrategia de modulación la cual opera a la frecuencia fundamental, elimina armónicas de bajo orden, las cuales son las que más afectan a la carga [17, 18].

Esta técnica emplea el principio de simetría de cuarto de onda, el cual consiste en:

- Calcular con anticipación ciertos ángulos para generar el primer cuarto (90 grados) de ciclo de la onda de salida.
- El segundo cuarto de la onda es el espejo del primer cuarto de onda generado y la parte negativa es el espejo de la onda positiva generada.
- Para encontrar los ángulos se hace por medio de la expansión de las series de Fourier.
- El número de ángulos a ser calculados dependerá del número de niveles requeridos y está dado por la siguiente ecuación:

$$m = \frac{l - 1}{2} \quad (2.2)$$

Donde:

l : Número de niveles requeridos.

m : Número de ángulos necesarios.

La Figura 2.9 presenta el principio de la simetría de cuarto de onda para generar los 7 niveles de tensión en el ACMLI, los ángulos necesarios, y las formas de onda de la tensión de salida.

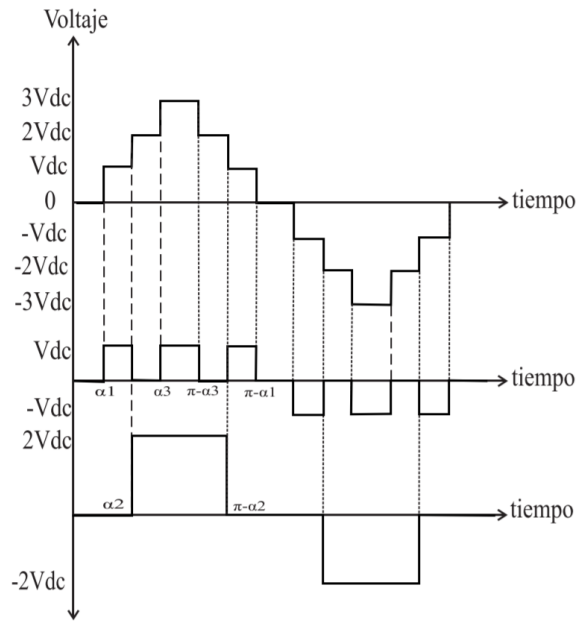


Figura 2.9 Eliminación selectiva de armónicos de 7 niveles.

❖ **Modulación híbrida.**

Esta técnica es una extensión de las estrategias PWM (aplicadas en los CMLI) y SHE; aplicada únicamente en los inversores multinivel asimétrico. Esta técnica es empleada principalmente con la finalidad de reducir la frecuencia de conmutación en el módulo de mayor potencia y así mismo conmutar en alta frecuencia el puente con menor tensión; reduciendo las pérdidas por conmutación, mejorando la eficiencia del convertidor y reduciendo el espectro armónico de la tensión de salida [14, 19, 20].

La modulación empleada en un ACMLI de potencia 2 (Figura 2.10) puede generar 7 niveles de tensión a la salida, teniendo una relación en sus fuentes de alimentación de 1:2 empleadas en los módulos de puente completo. La figura 2.10 muestra el diagrama a bloques correspondiente a la modulación híbrida.

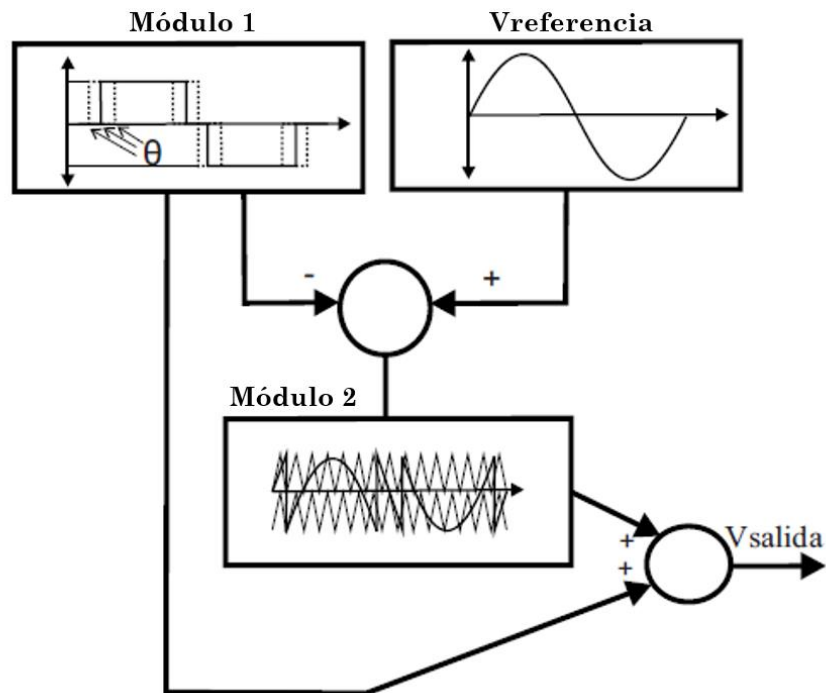


Figura 2.10 Diagrama a bloques empleado en la modulación híbrida [14].

El módulo 1 (definido como el módulo de mayor potencia) conmutará a la frecuencia fundamental, modificando el ángulo de conmutación y el ancho de pulso con la finalidad de generar una señal espectral deseable en la salida del ACMLI. El módulo 2 (de menor potencia) es comandado por la señal moduladora resultante de la sustracción de las dos ondas normalizadas.

Por lo tanto, la señal de salida del módulo 1 es usada para modular el comportamiento del módulo 2 mediante la estrategia de conmutación PWM de tres niveles. Teniendo como resultado una tensión de salida de 7 niveles.

En lo que respecta a las técnicas de conmutación empleadas, la modulación híbrida, nos permite realizar una reconfiguración en el CMLI de 7 niveles, empleando únicamente 2 módulos, con una mejor calidad de la tensión de salida. Sin embargo, es necesario emplear un convertidor CD-CD en la entrada, que permita realizar el cambio de tensión aplicada en el módulo de mayor potencia.

CAPÍTULO 3

FUENTE Z

El capítulo se centra en el estudio de la fuente Z como un convertidor conmutado de tensión, aislando la red de impedancia del ZSI de la configuración puente completo. Se realiza un análisis de los estados de operación en el convertidor fuente Z como una fuente conmutada CD-CD con el fin de operarlo en alta frecuencia, reduciendo su tiempo de repuesta de su señal transitoria, permitiéndole realizar una rápida reconfiguración al ser empleado en el CMLI simétrico.

3.1 Inversor Fuente Z (ZSI).

El inversor fuente Z, ZSI (por sus siglas en ingles “*Z Source Inverter*”), también conocido como red de impedancia Z fue introducido por primera vez en el año 2002 como convertidor de potencia CD-CA (cuando se encuentra conectado a una configuración de tipo puente completo o trifásico) [21].

El convertidor fuente Z surge como una forma de resolver el problema general de los inversores (los cuales son convertidores reductores por naturaleza). Con el auxilio de la fuente Z un inversor tiene la característica de elevar la tensión de entrada e invertir la tensión CD-CA en una sola etapa.

El ZSI emplea una red de impedancia en la entrada la cual está conformada principalmente por elementos pasivos, los inductores (L1 Y L2) y un par de capacitores (C1 y C2) conectados diagonalmente como se muestra en la Figura 3.1. El ZSI usa el diodo D1 y del puente completo trifásico para realizar la interacción entre sus dos estados de operación; los cuales le permiten elevar o reducir su tensión de entrada a través de cortocircuitos generados en el puente trifásico [22].

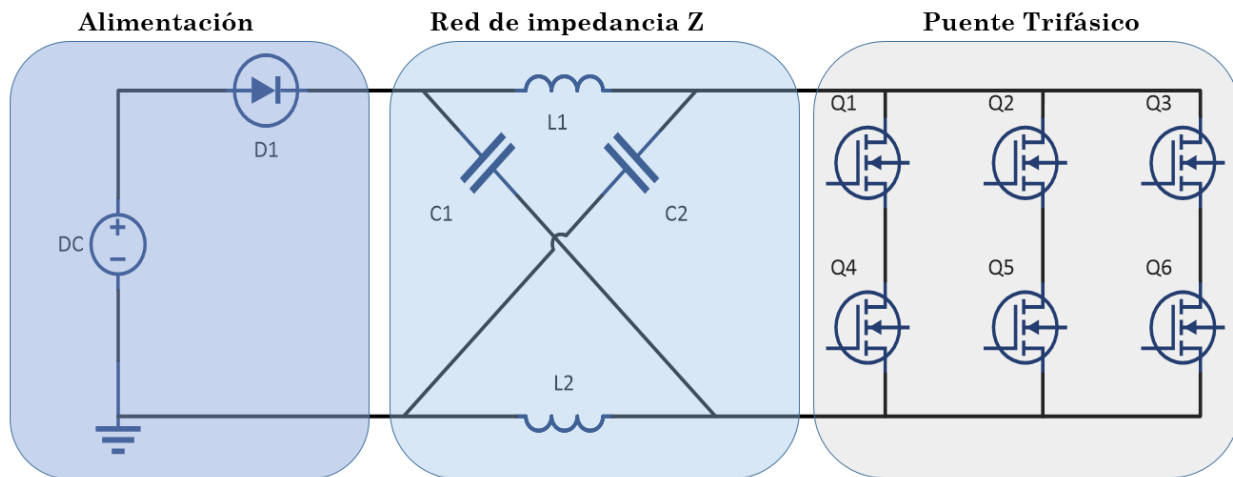


Figura 3.1. Inversor fuente Z.

Los inductores L1 y L2 en conjunto con los capacitores C1 y C2 conforman un filtro de segundo orden en la red de impedancia, el cual también opera como un medio de almacenamiento de energía, esto permite un diseño óptimo de estos elementos empleando valores pequeños y de bajo costo [23, 24]. La red Z se emplea para sobrellevar problemas en los inversores convencionales, empleando solo una etapa de conversión de energía CD-CA y usa su característica principal de elevar la tensión mediante el uso de estados cortocircuitos. Por lo tanto, el ZSI basa su principio de operación en los estados de conmutación del inversor conectado a él.

Un inversor de tensión trifásico cuenta con ocho posibles estados de conmutación (ver Tabla 3.1), de los cuales los estados de S_1 a S_6 se denominan estados de conmutación activo, debido a que la combinación de estos, conectan a la carga con una diferencia de potencial (V_{cc+} , V_{cc-}) [25, 26]. Los dos estados restantes S_0 y S_7 se denominan estados cero, los cuales cortocircuitan a la carga con un diferencia de potencial cero mediante los interruptores superiores o inferiores del puente trifásico (como se muestra en la figura 3.2) [24, 27].

Tabla 3.1 Estados de conmutación del inversor trifásico.

Estados	Función de conmutación		
S0	0	0	0
S1	1	0	0
S2	1	1	0
S3	0	1	0
S4	0	1	1
S5	0	0	1
S6	1	0	1
S7	1	1	1

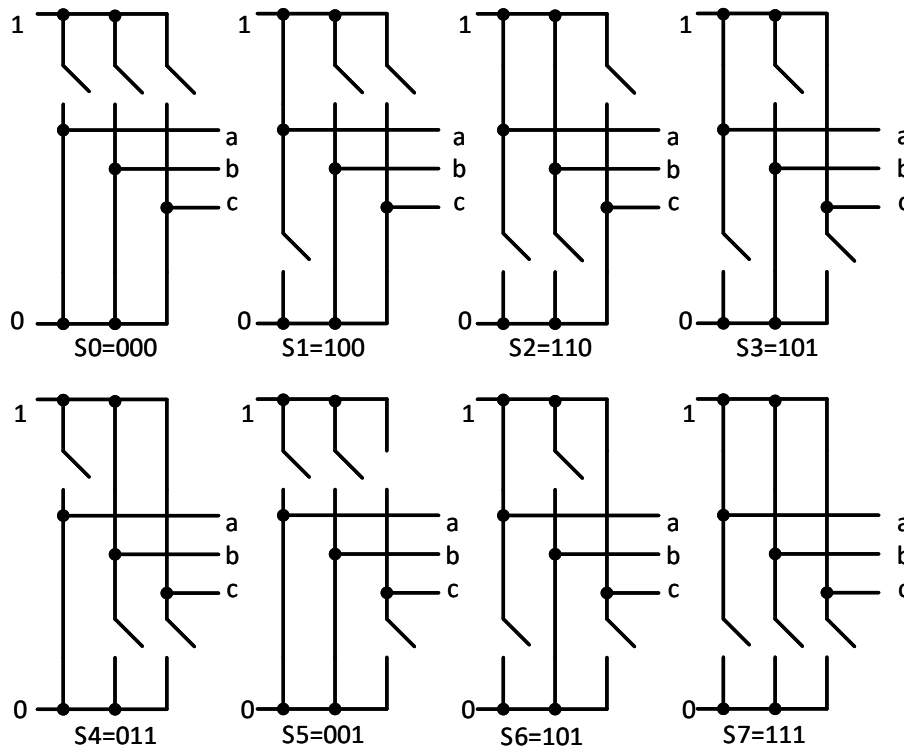


Figura 3.2 Los 8 estados posibles en el inversor trifásico convencional.

Sin embargo, el uso del ZSI en conjunto con el puente trifásico se agrega un estado de conmutación adicional, el cual se genera mediante el cortocircuito por una, dos o las tres ramas del puente trifásico (ver Figura 3.3), cuando este estado es establecido, la tensión aplicada a la carga es cero [28-30]. Este estado de cortocircuito no es permisible en un inversor de tensión convencional debido a que un cortocircuito en el puente trifásico dañaría la fuente de alimentación aplicada a la entrada [31, 32]. Siendo esta una de las principales características del ZSI, ya que al contar con la red de impedancia en la entrada evitar que el cortocircuito dañe a la fuente de alimentación de la entrada.

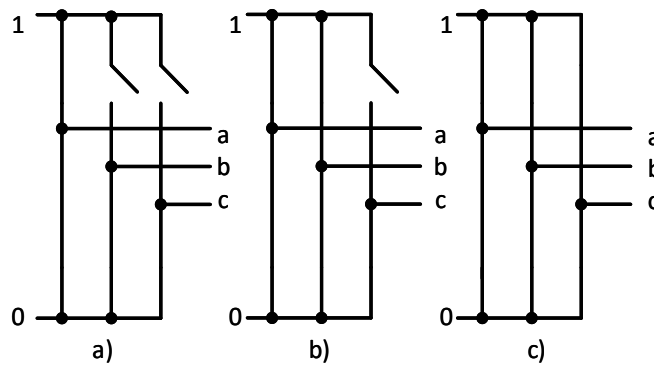


Figura 3.3 Estado de cortocircuito. a) En una pierna. b) En dos piernas. c) En tres piernas.

3.2 Modulación del SZI trifásico.

La modulación empleada en SZI para controlar los interruptores del puente trifásico, opera mediante la comparación de una señal portadora triangular de alta frecuencia con tres señales moduladoras sinusoidales de baja frecuencia, desfasadas 120° grados una de la otra como se muestra en la Figura 3.4 que opera como un inversor trifásico convencional.

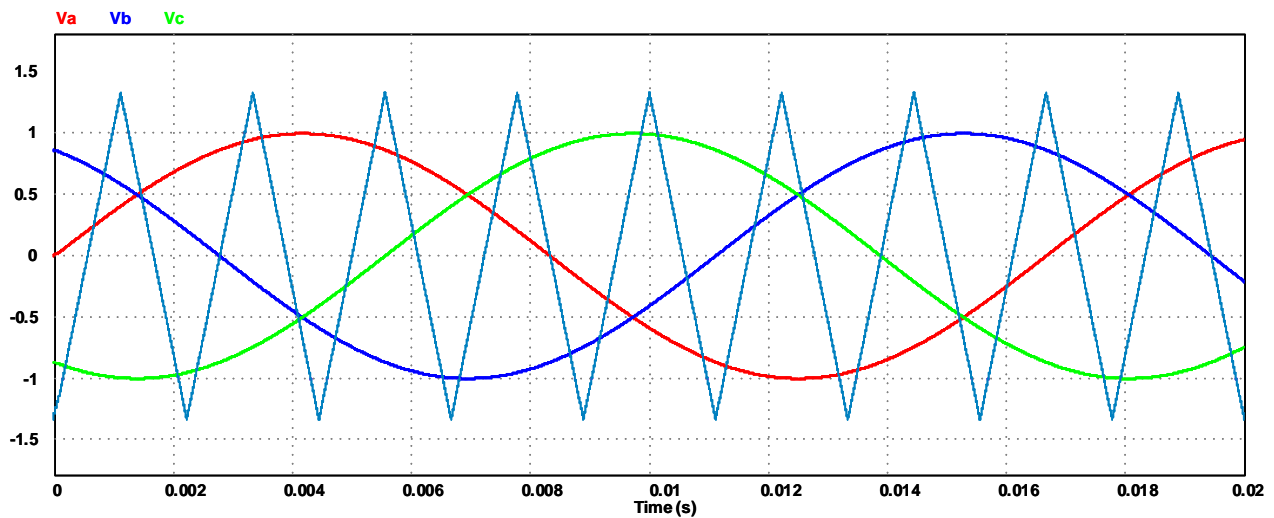


Figura 3.4 Modulación empleada en el inversor trifásico convencional.

Sin embargo, la principal característica del ZSI es la elevación de tensión mediante sus dos estados de conmutación, los cuales son el estado de conducción NST (por sus siglas en inglés “*Non Shoot Through*”) y el estado de cortocircuito ST (por sus siglas en inglés “*Shoot Through*”). Estos son generados mediante el método de “Simple Boost” que consiste en agregar dos niveles adicionales de comparación (V_{p+} y V_{n-}) en la modulación con respecto a la señal portadora (ver Figura 3.5 a). El resultado de esta comparación genera dos señales de disparo “ D_{1y2} ” con una magnitud y frecuencia constantes, que son aplicadas a los seis interruptores del puente trifásico, provocando el estado de ST.

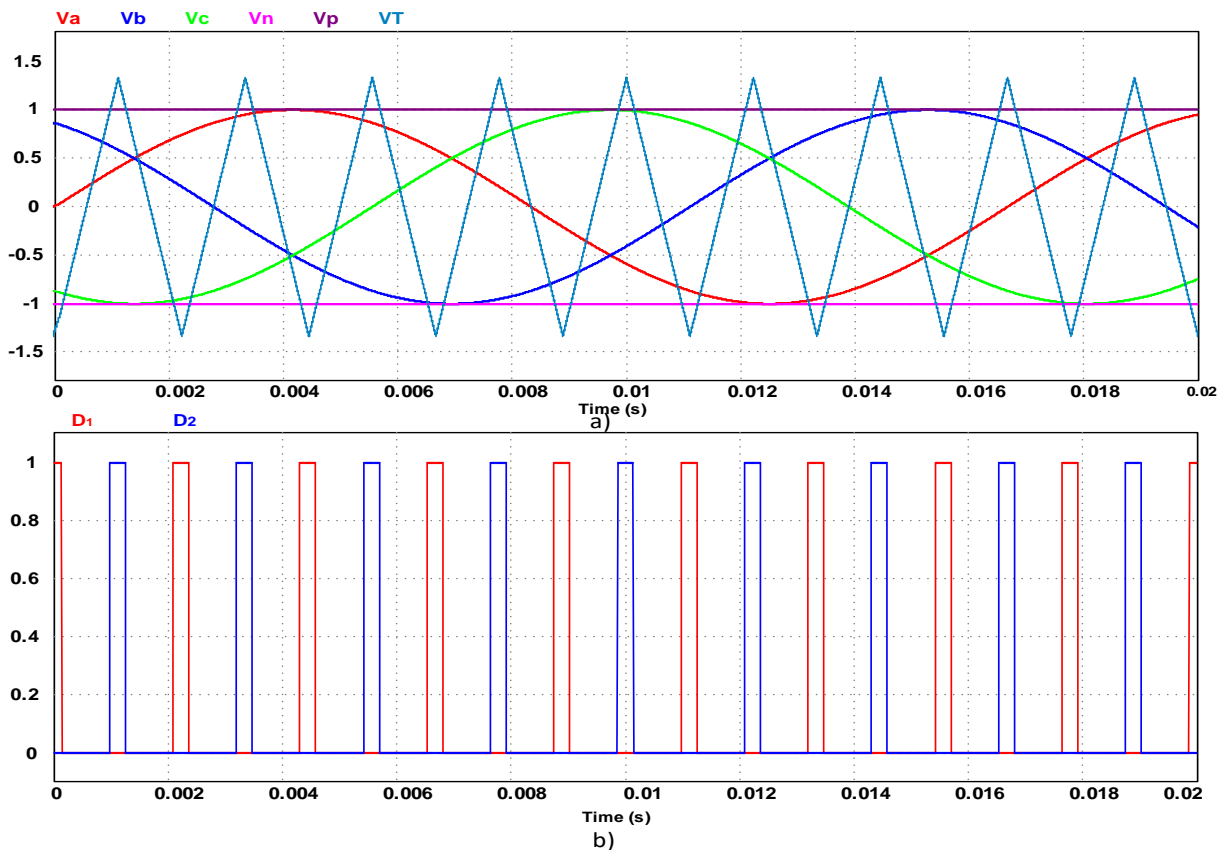


Figura 3.5. a) Modulación empleada en el ZSI trifásico con señales de referencia en cada fase. b) Señales de disparo “ D_{1y2} ” del tiempo de ST.

Cabe señalar que las señales de disparo “ D_1 y D_2 ” al ser empleadas en conjunto en el inversor, se les denomina en conjunto como “ D ”. Por lo tanto se define que la señal de disparo “ D ” está en función del índice de modulación “ M ”, y se tiene que:

$$D = 1 - M \tag{3.1}$$

Para lograr esto, las señales V_{p+} y V_{n-} son posicionadas en la parte superior e inferior de las señales moduladoras (V_a , V_b y V_c) respectivamente como se muestra en la Figura 3.5 b).

El estado cero en el puente trifásico es activado, cuando la señal V_T se encuentra: ya sea por debajo o por arriba de todas las señales moduladoras, debido a que, todos los interruptores superiores o inferiores (según sea el caso), se encuentran encendidos; por lo tanto es justo es este momento cuando es introducido el cortocircuito (ST) en el puente trifásico empleado en la operación de la fuente Z mediante, sin afectar la funcionamiento del PWM en el inversor.

3.3 Convertidor fuente Z.

La finalidad de este trabajo es la separación de la fuente Z del inversor trifásico. El propósito de emplearlo como un convertidor CD-CD, así mismo conmutarlo en alta frecuencia, incrementa la velocidad de la respuesta dinámica mediante un cambio de operación en el convertidor fuente Z. El cual nos permite el incremento de la tensión aplicada en el puente completo y al mismo tiempo, aprovechar sus estados de conmutación (estados de cortocircuito), permitiendo el incremento del tiempo medio entre fallas del inversor.

Para emplear la fuente Z como un convertidor CD-CD se hace uso del método de "Simple Boost", donde el puente trifásico opera como un interruptor el cual controla la activación y desactivación del diodo D1 de la fuente Z, por lo cual, es posible realizar su separación del inversor, agregando un interruptor adicional Q1 a la fuente Z, sustituyendo la función realizada por el puente completo, el interruptor Q1 será controlado por la señal de disparo D, permitiendo a la fuente Z operar como una fuente conmutada de CD-CD (ver Figura 3.6).

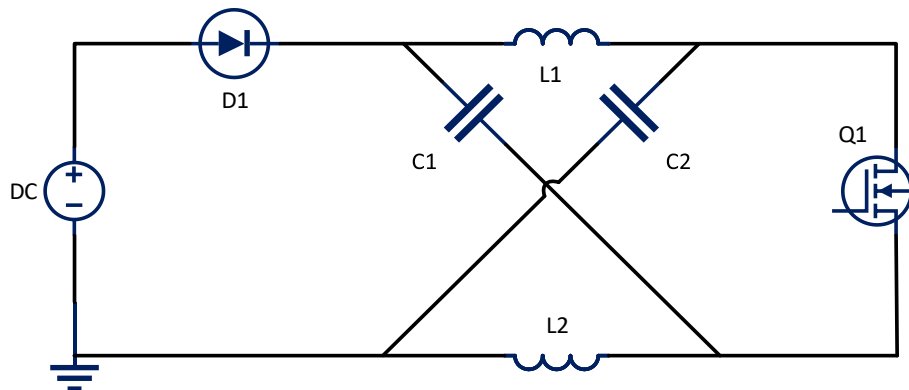


Figura 3.6 Convertidor fuente Z.

El convertidor fuente Z al igual que el ZSI operan bajo los mismos dos estados de operación, NST y ST. Durante el estado de NST, el interruptor Q1 se encuentra apagado, conectado a la red de impedancia con la carga Figura 3.7.

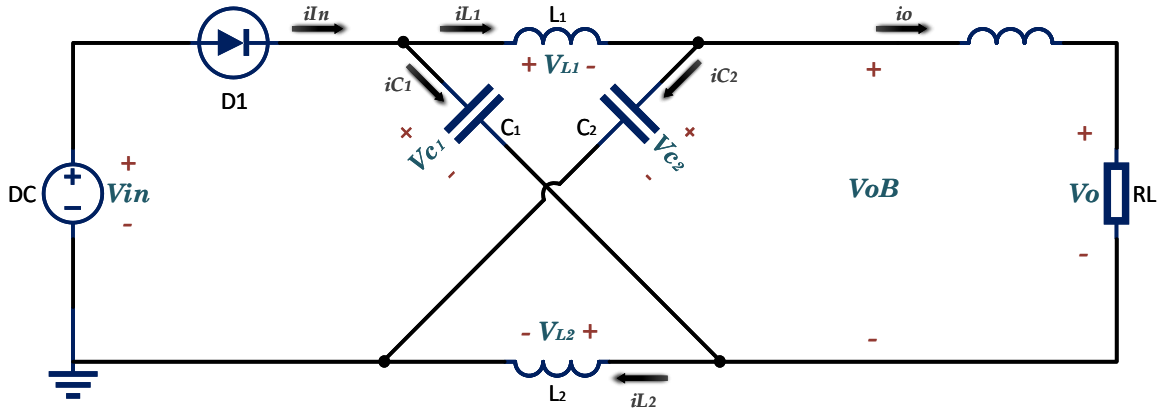


Figura 3.7 Convertidor fuente Z en el estado de Non-Shoot-Through (conducción), con carga, tensiones y corrientes definidas.

Por lo tanto el diodo D1 queda polarizado directamente, ocasionando que los inductores L1 y L2 en conjunto con la fuente de alimentación Vin se ocupen de cargar a los capacitores C1 y C2 [33].

Para entender mejor al convertidor fuente Z, se realiza un análisis de mallas en la entrada, donde:

$$V_{in} = V_{C1} + V_{L2} \tag{3.2}$$

De la misma forma realizando un análisis en la malla en la salida, donde VoB es la tensión de salida cortocircuitada:

$$V_{oB} = V_{C2} - V_{L2} \tag{3.3}$$

Despejando V_{L2} en (3.3):

$$V_{L2} = V_{C2} - V_{oB} \tag{3.4}$$

Sustituyendo (3.4) en (3.2)

$$V_{in} = V_{C1} + V_{C2} - V_{oB}$$

$$V_{oB} = -V_{in} + V_{C1} + V_{C2}$$

Dado que $V_{C1} = V_{C2} = V_C$ se tiene:

$$V_oB = 2V_C - V_{in} \tag{3.5}$$

De igual forma se establecen las ecuaciones de corriente para los nodos de entrada y salida:

$$i_{L1} = i_{C1} + i_o$$

$$i_{C1} = i_{L1} - i_o \tag{3.6}$$

$$i_{in} = i_{L1} + i_{C1} \tag{3.7}$$

En el estado de ST mostrado en la Figura 3.8, el interruptor Q1 se encuentra accionado, dejando cortocircuitada la salida, por lo cual los capacitores C1 y C2 quedan conectados en paralelo con los inductores y en serie con el diodo y la fuente de alimentación V_{in} , polarizando inversamente al diodo D1, por lo que este deja de conducir y los capacitores se ocupen de cargar a los inductores.

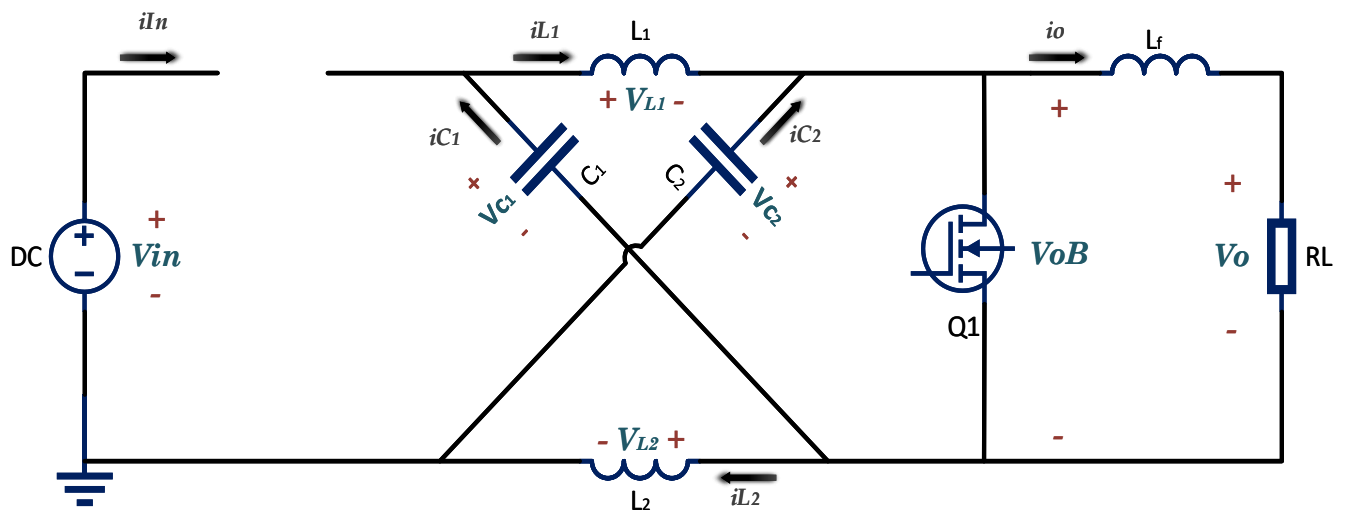


Figura 3.8 Convertidor Fuente Z, en estado de Shoot-Through (cortocircuito) con carga y tensión y corrientes definidas.

Sin embargo el circuito previamente mostrado puede ser redibujado como se muestra en la Figura 3.9, en donde se puede apreciar de mejor manera las corrientes y tensiones de los elementos.

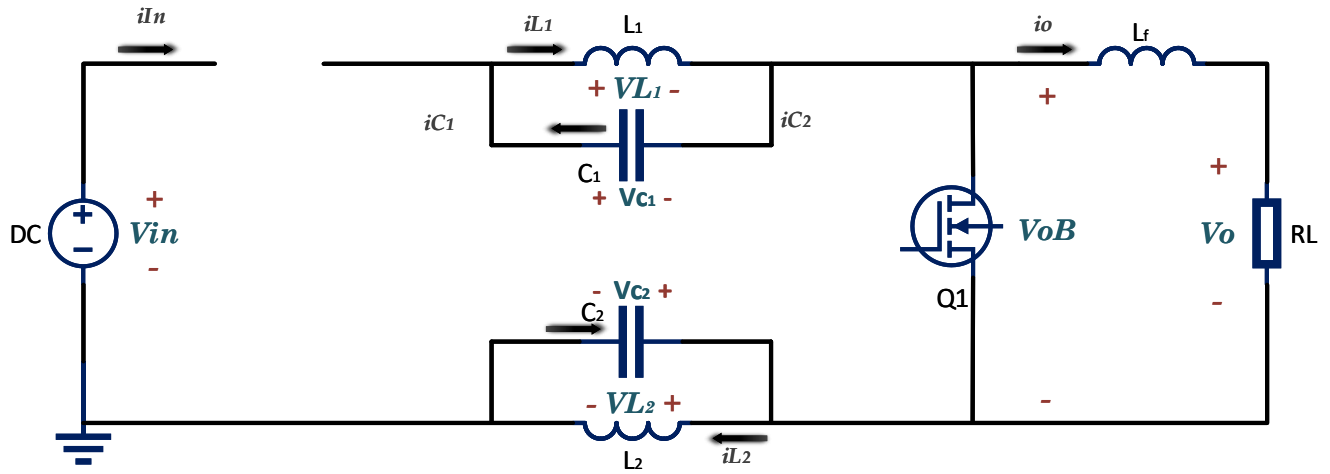


Figura 3.9 Convertidor Fuente Z, en estado de cortocircuito (Shoot-Through).

De la Figura 3.9 tenemos que:

$$\begin{aligned} V_{L1} &= V_{C1} \\ V_{L2} &= V_{C2} \\ i_{L1} &= -i_{C1} \\ i_{L2} &= i_{C2} \\ V_o &= V_o B = 0 \end{aligned}$$

La relación entrada-salida del convertidor fuente Z se realiza mediante un balance de energía en el inductor. En estado estable, la tensión promedio en los inductores durante un periodo completo ($T_S = t_{ST} + t_{NST}$) es 0. Donde t_{TS} es el tiempo de ST y t_{NST} es el tiempo de NST.

La tensión promedio del inductor puede expresarse como:

$$V_L(t)_{TS} = \frac{1}{T_S} [t_{NST}(V_{in} - V_C) + t_{ST} * V_C] \tag{3.8}$$

Donde:

$$D = \frac{t_{TS}}{T_S}; \quad (1 - D) = \frac{t_{NST}}{T_S}$$

Sustituyendo en (3.8):

$$V_L(t)_{TS} = \frac{1}{T_S} [T_S * ((1 - D)(V_{in} - V_C) + D * V_C)] = 0$$

$$V_L(t)_{TS} = [(1 - D)(V_{in} - V_C) + D * V_C] = 0$$

$$V_{in} - V_C - D * V_{in} + D * V_C * V_C = 0$$

$$V_{in}(1 - D) - V_C(1 - 2 * D) = 0$$

$$V_{in}(1 - D) = V_C(1 - 2 * D) \quad (3.9)$$

$$\frac{V_C}{V_{in}} = \frac{1 - D}{1 - 2 * D}$$

Puesto que $V_C = V_o$:

$$G = \frac{V_o}{V_{in}} = \frac{1 - D}{1 - 2 * D} \quad (3.10)$$

Donde G es la ganancia del convertidor fuente Z en función de D (ciclo de trabajo)

Con base en lo anterior, se retoma la ecuación (3.5) para calcular la tensión de V_oB o tensión de impulso máximo. Esta tensión es el valor máximo de tensión al que estará sometido el interruptor Q1 durante el tiempo de NST, puesto que en el tiempo de ST la tensión en este punto es cero. Por lo tanto se tiene que:

$$V_oB = 2V_C - V_{in}$$

Sustituyendo (3.5) en (3.9) se tiene:

$$V_oB = \left(2 * \frac{1 - D}{1 - 2D} - 1\right) * V_{in}$$

$$V_oB = \left(\frac{2 - 2D}{1 - 2D} - \frac{1}{1}\right) * V_{in}$$

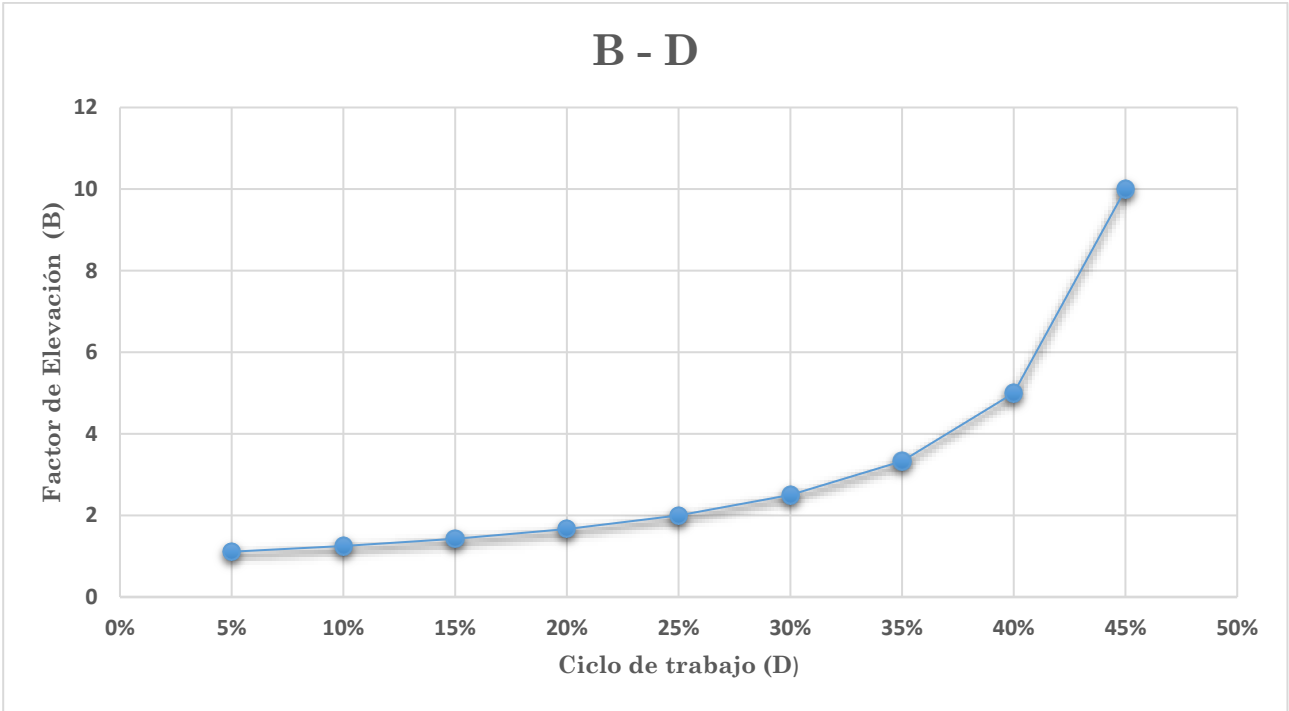
$$V_oB = \left(\frac{2 - 2D - (1 - 2D)}{1 - 2D}\right) * V_{in}$$

$$V_oB = \frac{1}{1 - 2D} * V_{in}$$

$$V_oB = B * V_{in} \quad (3.11)$$

Donde B se define como el factor de elevación y queda expresado de la siguiente manera:

$$B = \frac{1}{1 - 2D}$$

La gráfica de la  presenta el factor de elevación del ZSI en función del ciclo de trabajo D .

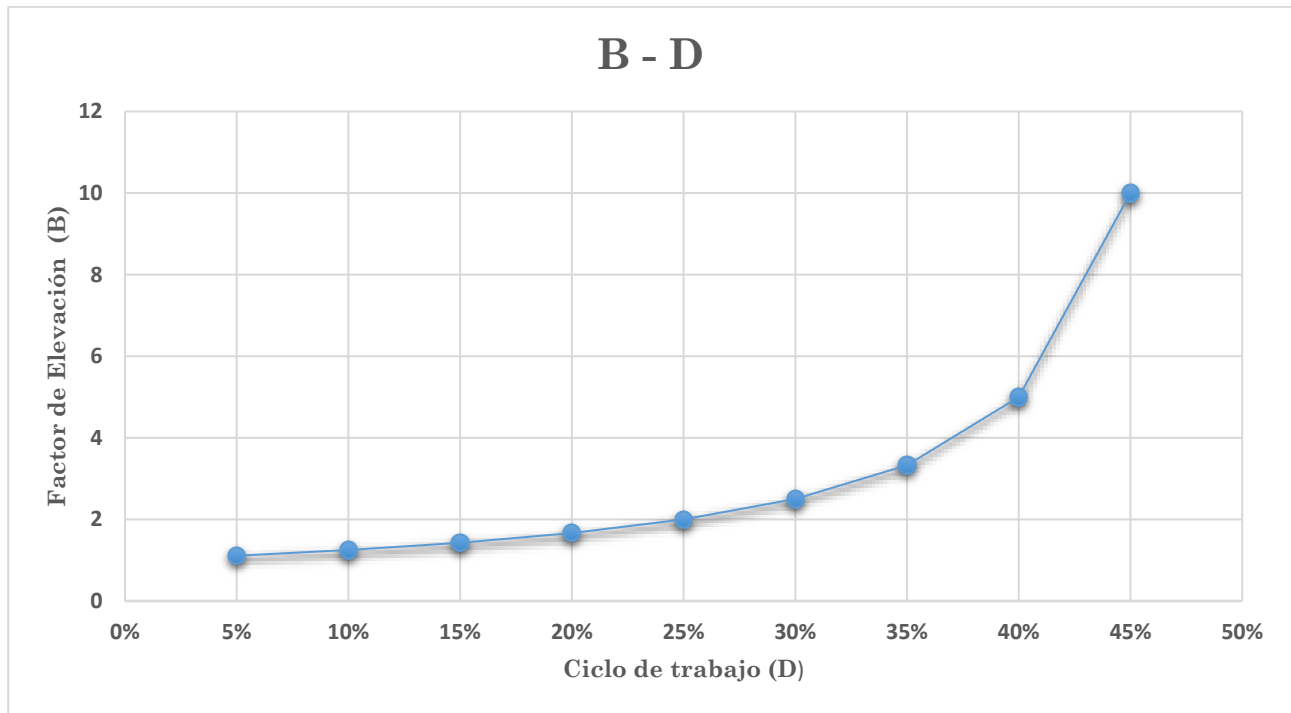


Figura 3.10 Grafica del factor de elevación en función del ciclo de trabajo en el convertidor fuente Z.

Una vez definidas las ecuaciones de la ganancia y de elevación en el convertidor fuente Z, se analiza las formas de onda de corriente y tensión correspondientes de los elementos, para una selección adecuada de los componentes que lo conforman. Se define a T_{ST} como D y a T_{NST} como $1-D$ como se muestra en la Figura 3.11:

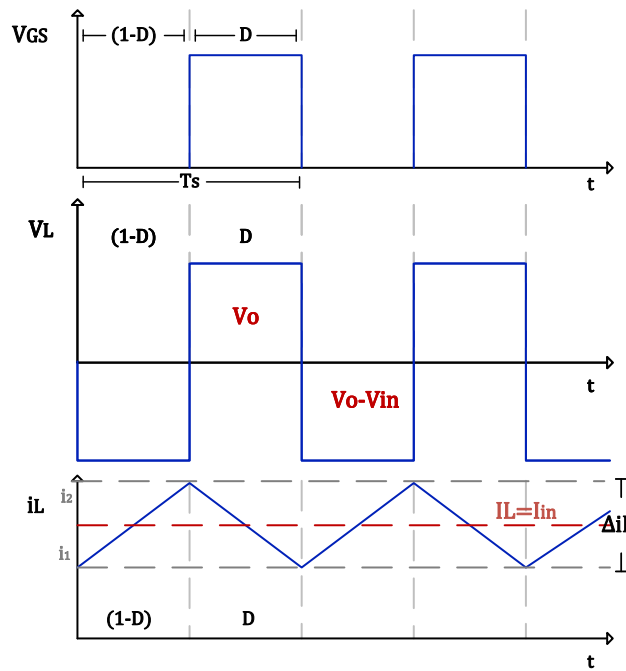


Figura 3.11 Tensión en la compuerta VGS del interruptor Q1. B) Tensión en los inductores L1 y L2. c) Corriente en los inductores L1 y L2.

Debido a que L_1 es igual a L_2 , las corrientes y tensiones promedio son las mismas en ambos elementos. Por lo tanto el valor del inductor se encuentra ligado al nivel del rizado (Δi_L) que se desea permitir y este mismo influye en los esfuerzos pico de los dispositivos semiconductores.

De la ecuación:

$$v(t) = L \frac{di}{dt}$$

Despejando L tenemos:

$$L = \frac{v(t)}{di} dt$$

Donde en el tiempo de T_{ST} :

$$dt = D * T_s$$

Y en tiempo de T_{NST} :

$$T_s = \frac{1}{f_s}$$

Donde f_s es la frecuencia de operación del convertidor, $di = \Delta i_L$ y $v(t)$ es la tensión aplicada en el inductor a analizar, por lo que nos queda que:

$$L_{ST} = \frac{V_o D}{f_s \Delta i_L} \tag{3.12}$$

$$L_{NST} = \frac{(V_o - V_{in})(1 - D)}{f_s \Delta i_L} \tag{3.13}$$

Para el cálculo del inductor, de igual forma se considera las tensiones en C1 y C2 son iguales y su valor está en función del rizado de tensión (Δi_L) que se desea permitir. De las gráficas mostradas en la Figura 3.12.

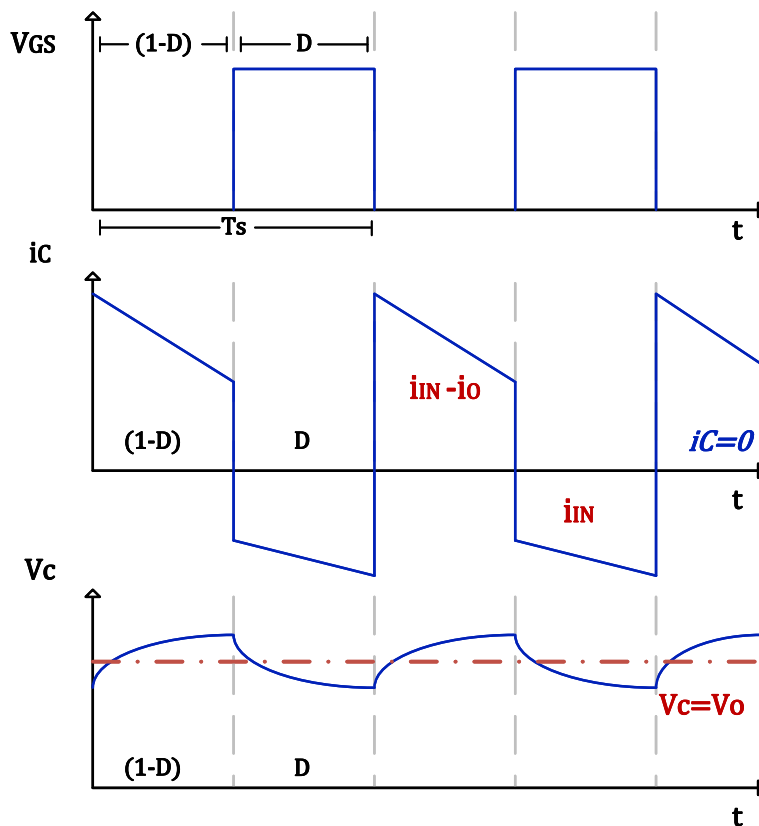


Figura 3.12 Tensión en la compuerta V_{GS} del interruptor Q1. B) Tensión de los capacitores C1 y C2. c) Corrientes en los capacitores C1 y C2.

De la ecuación del capacitor se tiene:

$$i(t) = C * \frac{dv}{dt}$$

Donde al despejar C nos queda:

$$C = \frac{i(t)}{dv} dt$$

Donde $dv = \Delta V_C$ e $i(t)$ es la corriente aplicada en el capacitor en el tiempo a analizar, por lo que nos queda que:

$$C_{ST} = \frac{I_{in} D}{f_s \Delta V_C} \quad (3.14)$$

$$C_{NST} = \frac{(I_{in})(1 - D)}{f_s \Delta V_C} \quad (3.15)$$

Para la selección del interruptor es necesario conocer los esfuerzos de tensión y corriente a los que se encuentran sometidos. La tensión máxima a la que está sometido el diodo D1 se puede calcular mediante un análisis de mallas en el tiempo de NST del circuito equivalente, cuando diodo no conduce Figura 3.9.

La tensión máxima en el diodo está definida como:

$$V_{AK_{off}} = V_{in} - V_o \quad (3.16)$$

La tensión máxima a la que opera el transistor durante el tiempo de apagado está determinado por el valor de la tensión de impulso (3.10)

$$V_{DS_{off}} = V_o B$$

$$V_o B = \frac{1}{1 - 2D} V_{in} \quad (3.17)$$

Para lo cual tenemos que :

$$V_{DS_{off}} = V_{in} B \quad (3.16)$$

Para conocer las corrientes promedio y máximas aplicadas en ellos, por lo que se analizan las gráficas de corriente del diodo Figura 3.13

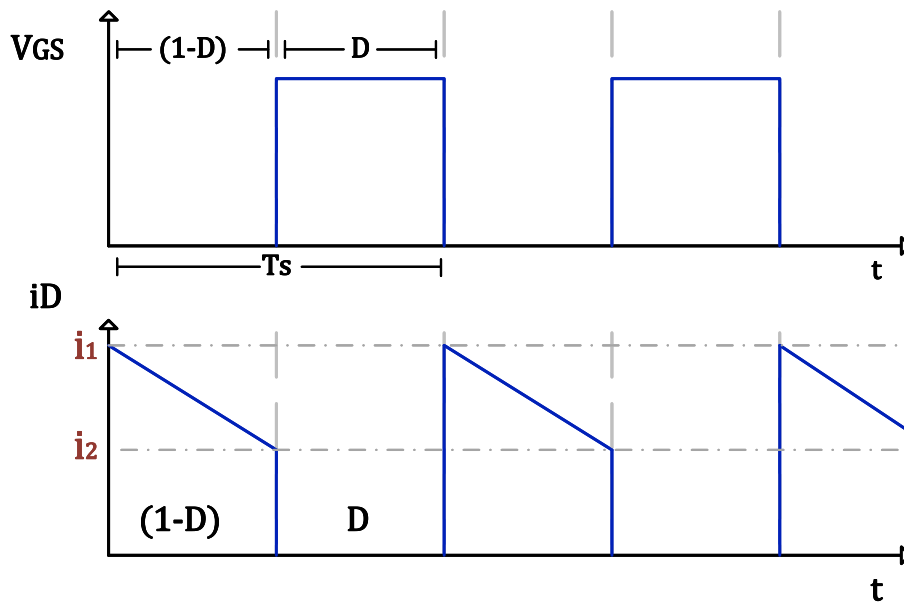


Figura 3.13 Tensión en la compuerta VGS del interruptor Q1. B) Tensión de los capacitores C1 y C2. c) Corriente en el Diodo D1.

Para calcular la corriente promedio del diodo:

$$I_D = \frac{1}{T_S} \int_0^{T_S} i_D dt$$

$$V_{in} = V_{C1} + V_{L2}$$

$$I_D = \frac{1}{T_S} \int_0^{(1-D)T_S} i_D dt$$

$$I_D = \frac{1}{T_S} \int \left[\begin{array}{c} i_1 \\ \text{trapezoidal area} \\ i_2 \\ (1-D)T_S \end{array} \right]$$

$$I_D = \frac{1}{T_S} \left[\left(\frac{i_1 + i_2}{2} \right) (1 - D) \right] T_S$$

Debido a que:

$$i_L = \frac{(i_1 + i_2)}{2} = i_{in}$$

$$I_D = \frac{1}{T_S} \left[\left(\frac{2i_{in}}{2} \right) (1 - D) \right] T_S$$

La corriente promedio de D1 está dada por:

$$I_D = (i_{in})(1 - D) \quad (3.17)$$

Para calcular la corriente I_{pkD} es necesario encontrar el valor de i_2 , con base en la Figura 3.13. Se parte de la relación:

$$i_1 + i_2 = 2i_{in}$$

$$i_1 = 2i_{in} - i_2 \quad (3.18)$$

De la figura 3.10 se puede obtener que:

$$\Delta i_L = i_2 - i_1$$

$$i_1 = i_2 - \Delta i_L \quad (3.19)$$

Igualando la ecuación (3.18) con (3.19)

$$2 * i_{in} - i_2 = i_2 - \Delta i_L$$

$$2 * i_2 = 2 * i_{in} - \Delta i_L$$

$$i_2 = i_{in} - \frac{\Delta i_L}{2} \quad (3.20)$$

De la ecuación (3.12) se despeja Δi_L :

$$\Delta i_L = \frac{V_o * D}{f_s * L_{st}} \quad (3.21)$$

Por lo tanto se tiene:

$$i_2 = i_{in} - \frac{V_o * D}{2 * f_s * L_{st}} \quad (3.22)$$

Debido a que $i_{pkD} = i_2$ tenemos:

$$i_{pkD} = i_{in} - \frac{V_o * D}{2 * f_s * L_{st}} \quad (3.23)$$

Con base en los datos obtenidos en las tablas del anexo B, la Figura 3.14 muestra el comportamiento de la tensión con respecto al ciclo de trabajo en el convertidor fuente z de manera experimental.

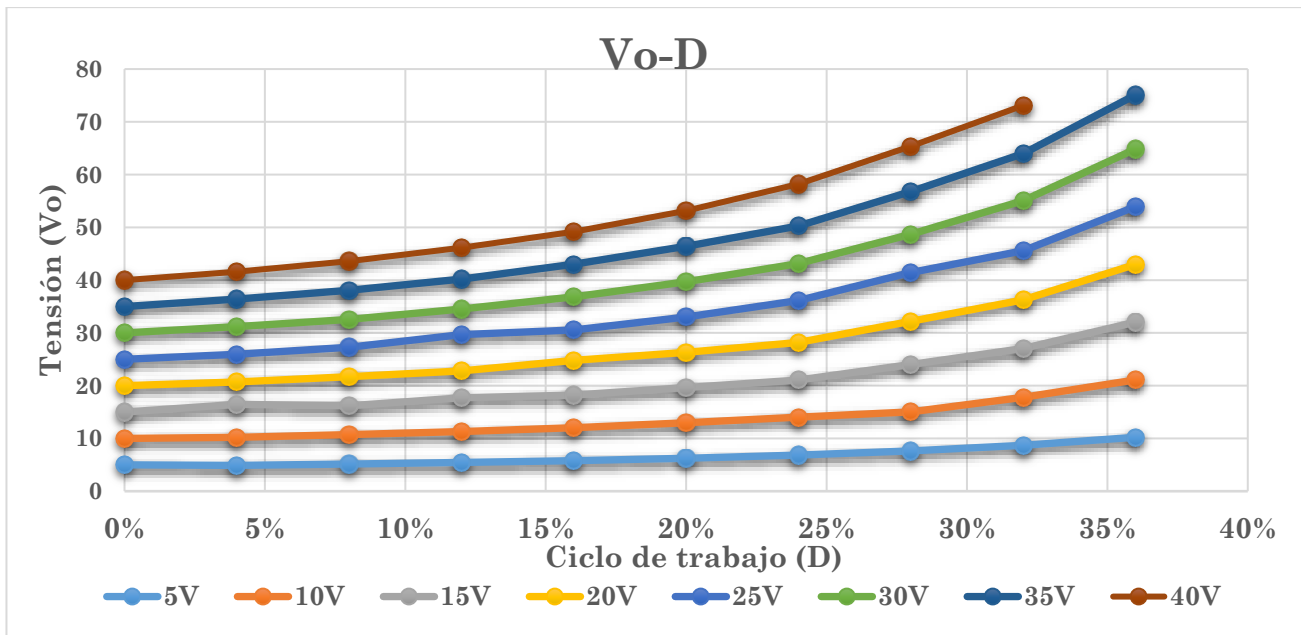


Figura 3.14 Gráfica del convertidor fuente Z. (Tensión de salida - ciclo de trabajo).

La Figura 3.15 muestra el comportamiento de la eficiencia del convertidor fuente Z de manera experimental en función del ciclo trabajo, mostrando un decaimiento en la eficiencia conforme el ciclo de trabajo aumenta, por lo que las corrientes que fluyen los elementos activos aumentan ($D1$ y $Q1$) así como su tiempo de conducción ($D * Ts$) y por consecuente, las pérdidas de conmutación.

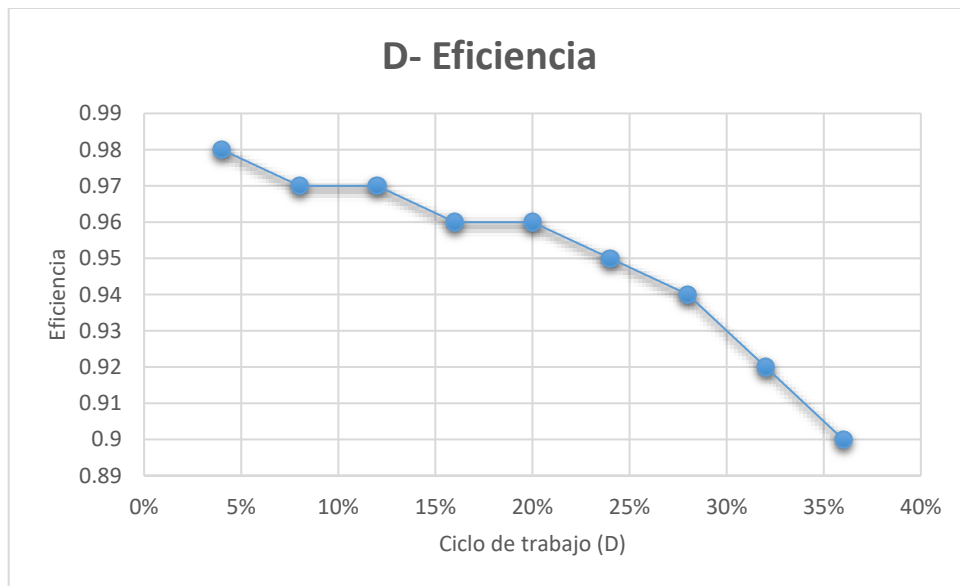


Figura 3.15 Gráfica del convertidor fuente Z (Eficiencia – Ciclo de trabajo).

CAPÍTULO 4

IMPLEMENTACIÓN

El CMLI simétrico de siete niveles implementado en esta tesis en conjunto con el convertidor fuente Z cuenta con la característica de cambiar su operación de modo simétrico a modo asimétrico cuando se presenta una falla en alguno de los módulos de puente completo, desconectando el módulo dañado con el fin de permitir al CMLI continuar su operación con solo dos de los tres módulos iniciales.

4.1 Convertidor fuente Z.

Antes de llevar a cabo la implementación del convertidor fuente Z, es necesario estudiar el comportamiento del convertidor con los parámetros de diseño mostrados en la Tabla 4.1 tanto en el modo de operación nominal como en el modo con falla a nivel simulación. El circuito de simulación fue implementado en el Software PSpice 9.1, para la etapa de potencia como se muestra en la Figura 4.1, mientras que el software PSIM, se encargó para la obtención de los patrones de conmutación tanto en operación normal, como en operación con falla.

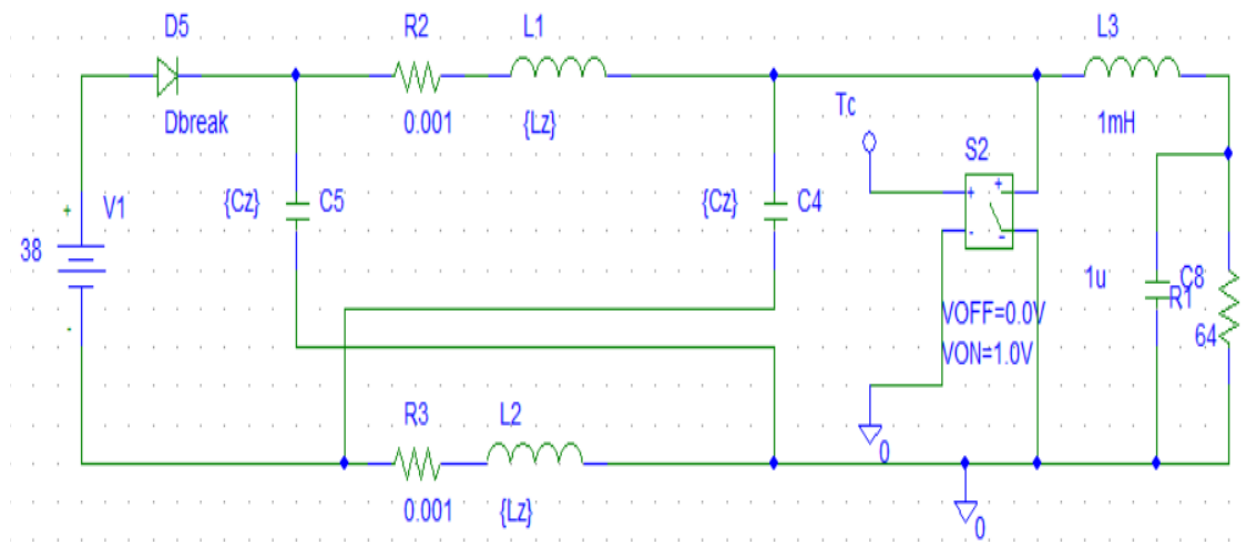


Figura 4.1 Convertidor fuente Z simulado en el Software PSpice9.1.

En la Figura 4.1 se muestra el esquema para la simulación del convertidor fuente Z, este convertidor se emplea en la entrada de módulo de puente completo de mayor potencia (módulo 3 Figura 5.3). En la operación nominal, el convertidor tiene la misma tensión de salida V_{in} aplicada en los módulos restantes del CMLI, permitiendo al inversor operar de forma simétrica.

Al presentarse una falla, el módulo dañado se desconectará, para lo que, el convertidor fuente Z, operará en estado de falla, efectuando un cambio de operación de su ciclo de trabajo D proporcionando una tensión de salida de $2V_{in}$. La Figura 4.2 muestra la tensión de salida del convertidor fuente Z en el cambio de operación de modo nominal a modo con falla en el instante $t=150ms$.

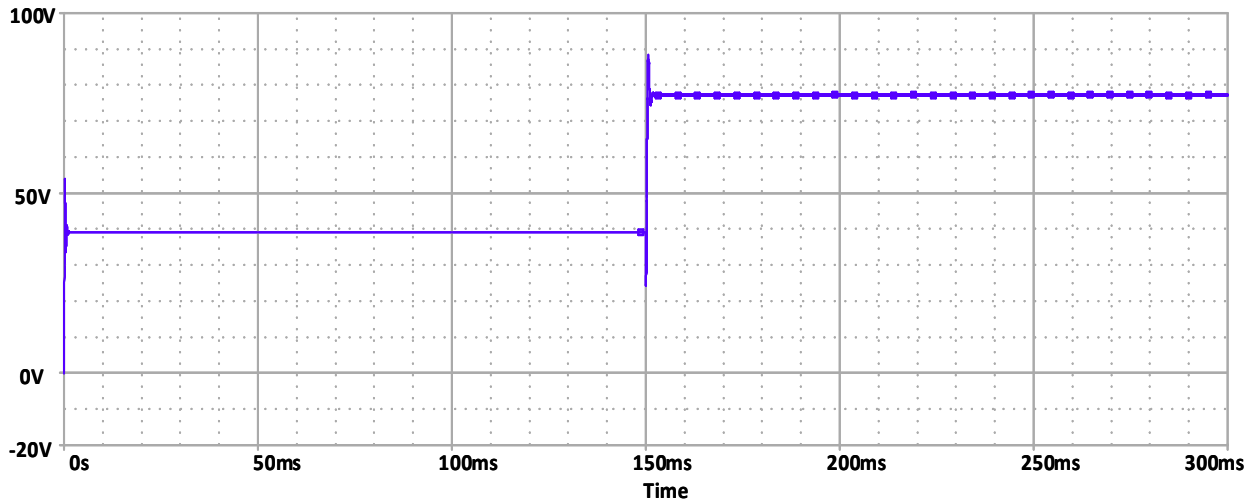


Figura 4.2 Tensión de salida V_o del convertidor fuente Z con cambio de operación en el instante $t= 150\text{ms}$.

La Figura 4.3 presenta el cambio de operación del convertidor fuente Z, y la duración del transitorio de 1.694 ms, con una tensión máxima en la cresta positiva del transitorio de 88.156V y una tensión mínima de 24.489V.

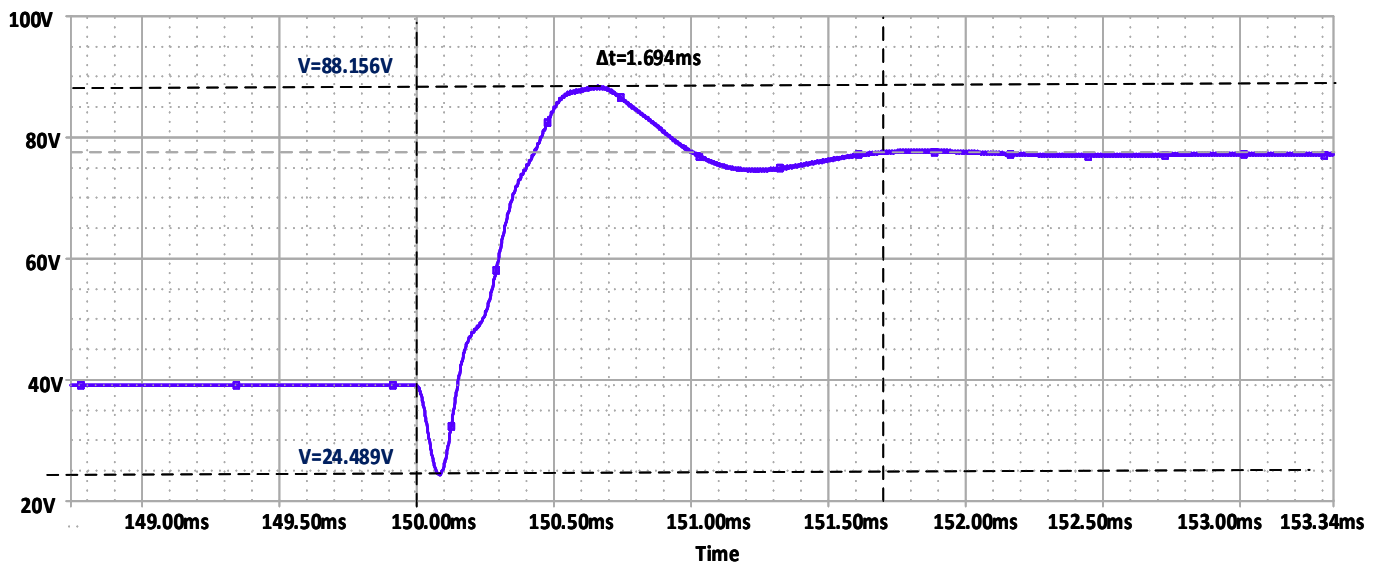


Figura 4.3 Transitorio en el convertidor fuente Z en el cambio de operación (Nominal- falla) simulación.

4.2 Implementación del convertidor fuente Z.

El convertidor fuente Z, se emplea para efectuar el cambio de operación en el CMLI de modo simétrico a modo asimétrico con una relación de 2:1 V_{in} de la tensión nominal aplicada a cada puente completo, por lo cual trabaja en dos puntos de operación, nominal (libre de falla) y con falla.

Debido a que el estado más importante y crítico de operación, tanto para el convertidor fuente Z como para el CMLI, es después de la reconfiguración del sistema cuando se presenta una falla, el convertidor fuente Z se diseña con base en los siguientes valores, mostrados en la Tabla 4.1, en el modo de operación con falla. Siendo este estado donde se le demandara más potencia al convertidor.

Tabla 4.1 Datos de diseño del convertidor fuente Z.

<i>Operación</i>	<i>Nominal</i>	<i>Falla</i>
V_{in}	38V	38V
V_o	40V	80V
P_o	25W	100W
D	0.048	0.344
$C1$ y $C2$	$2.2\mu F$	$2.2\mu F$
$L1$ y $L2$	$1mH$	$1mH$
R_L	64Ω	64Ω
$L_{Filtró}$	$1mH$	$1mH$
$C_{Filtró}$	$1\mu F$	$1\mu F$
Δi_L	0.02A	0.25A
ΔV_c	0.15V	4V
f_s	100KHz	100kHz

Con los datos y valores de los elementos necesarios para la implementación del convertidor fuente Z, se realizó el diseño del PCB en el software Altium Designer 16.0.5 como se muestra en la Figura 4.4 a) se usó el diodo HFA15TB60, el MOSFET IRFP350, y los inductores con el modelo 1140-102-RC. El convertidor fuente Z se presenta en la Figura 4.4 b).

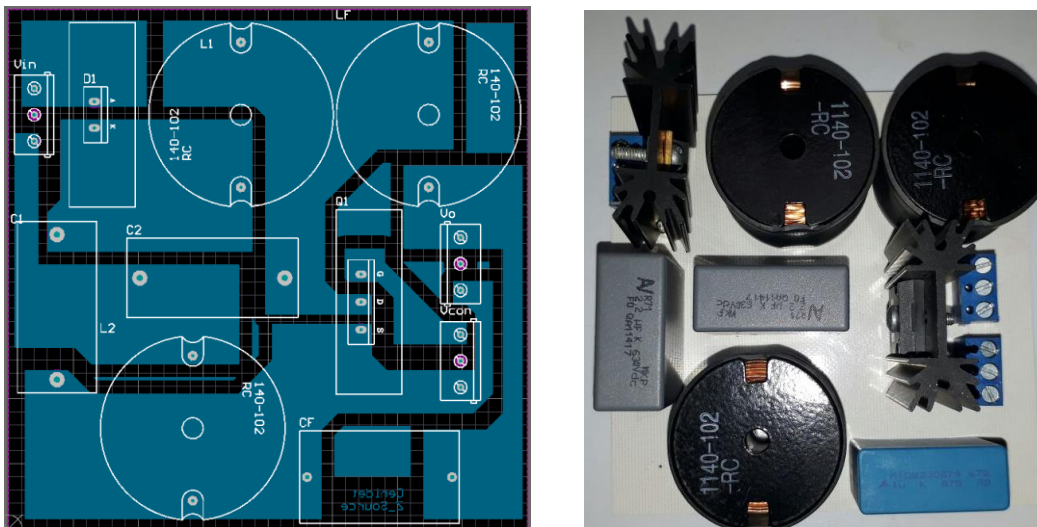


Figura 4.4 a) Diseño en PCB del convertidor fuente Z en el software Altium Designer 16.0.5. b) PCB del convertidor fuente Z.

Una de las consideraciones más importantes en el diseño del convertidor fuente Z, es la elección de los elementos activos empleados en su implementación, en el caso del interruptor Q1, es necesario considerar la tensión de entrada V_{in} multiplicada por el factor de elevación B Ec. (3.11).

En el estado de operación de falla la tensión de entrada del convertidor fuente Z $V_{in} = 38V$ y el factor $B = 3.488$ por lo cual, la tensión máxima a la que estará sometida el MOSFET es de $V_{GS} = 131.034V$ y una corriente $I_{pkD} = 5.013A$.

De manera experimental, la Figura 4.5 presenta la tensión de salida del convertidor fuente Z en el cambio de operación (nominal-falla), donde se muestra una duración del transitorio de 1.624ms con una tensión en la cresta positiva de 90V y una tensión mínima de 28.50V.

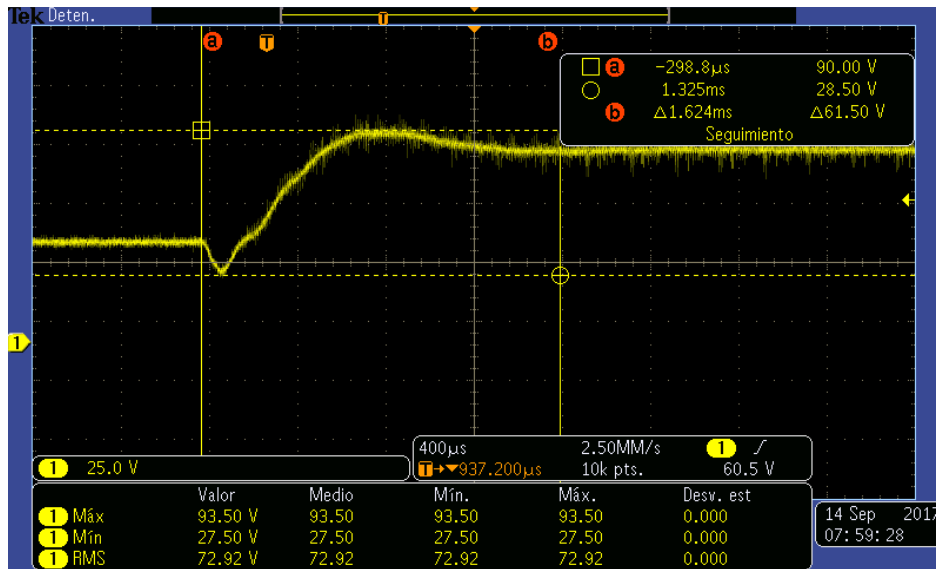


Figura 4.5 Transitorio de la fuente Z en el cambio de operación (nominal-falla) implementación.

En la Figura 4.6 se muestra la tensión de salida del convertidor fuente Z (amarillo) de 77.5V y la corriente empleada en el diodo D1, con un pico de corriente de 5.014A y una corriente RMS de 2.193A de manera experimental (calculados en el Anexo A.1). En el transitorio de encendido la forma de onda del diodo D1 presenta una oscilación, generada por los elementos pasivos conectados a él, así como la presencia de inductancias y capacitancias parasitas en el PCB (visualizado como un efecto “ringing” en la forma de onda). En el transitorio de apagado el efecto de la recuperación inversa del diodo de la misma manera como en el encendido, se presenta un efecto “ringing”.

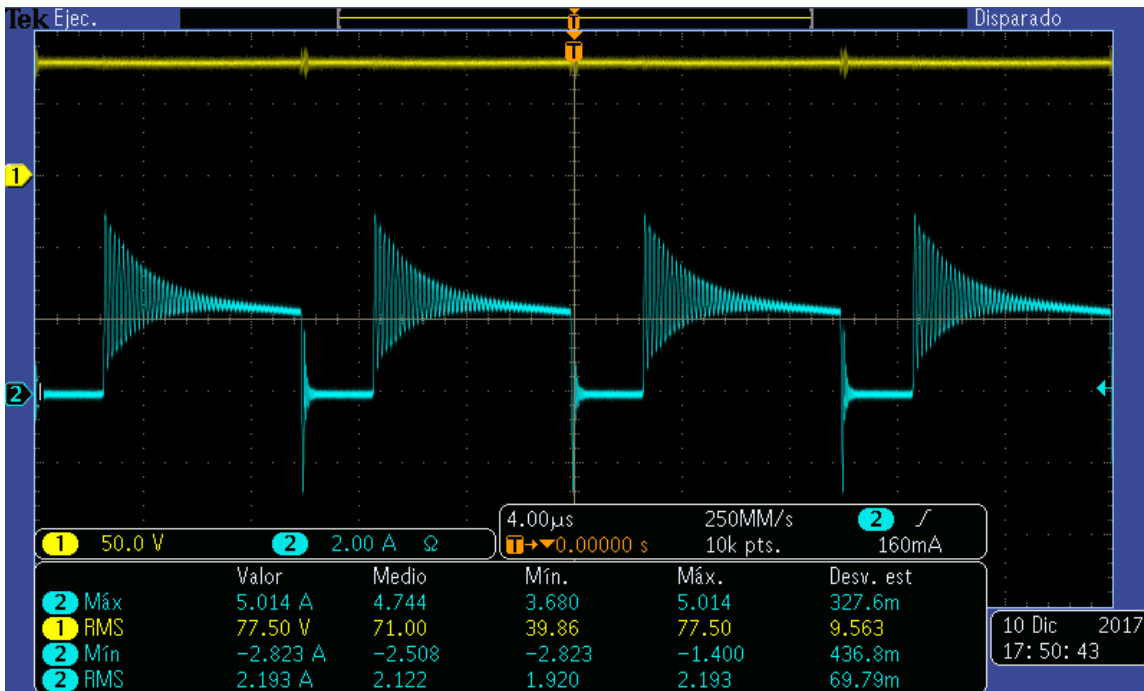


Figura 4.6 Tensión de salida del convertidor fuente Z (Amarillo). Corriente del diodo D1 de la fuente Z (Agua marina) en estado de falla.

La Figura 4.7 muestra la tensión de salida del convertidor fuente Z en el simulador PSpice, donde se tiene que $V_o=80.508V$ y la corriente pico del diodo D1= 4.310A y una corriente RMS =2.1678A.

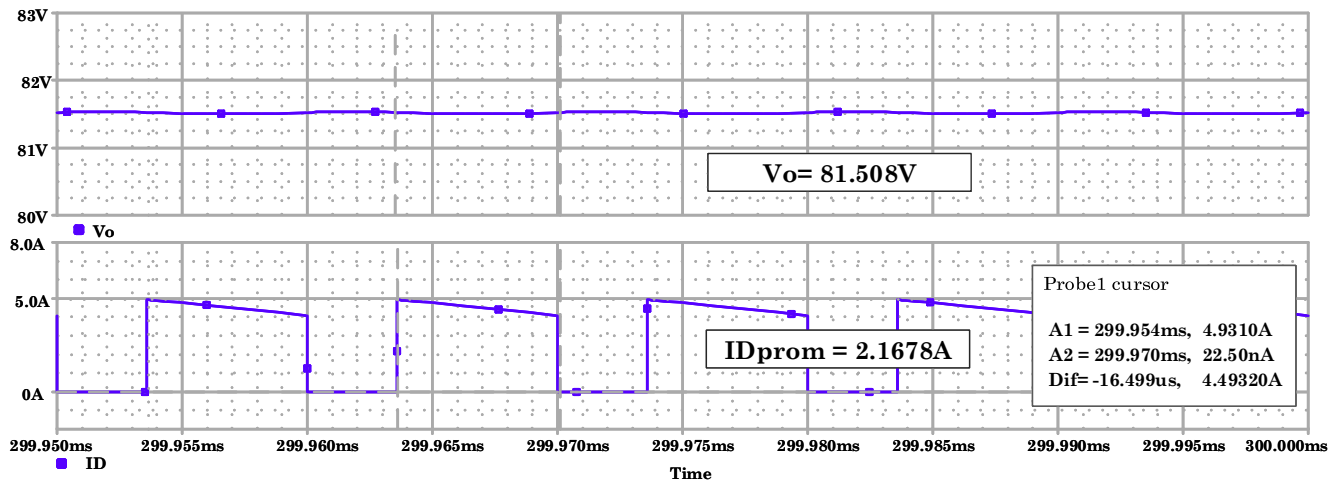


Figura 4.7 Tensión de salida del convertidor fuente Z (superior). Corriente del diodo D1 de la fuente Z (inferior) en estado de falla en simulación.

La Figura 4.8 muestra la delta del tensión del capacitor $C_{1,2}$ en el estado de falla del convertidor fuente Z, con un voltaje RMS de 79.80V (calculados en el anexo A.1).

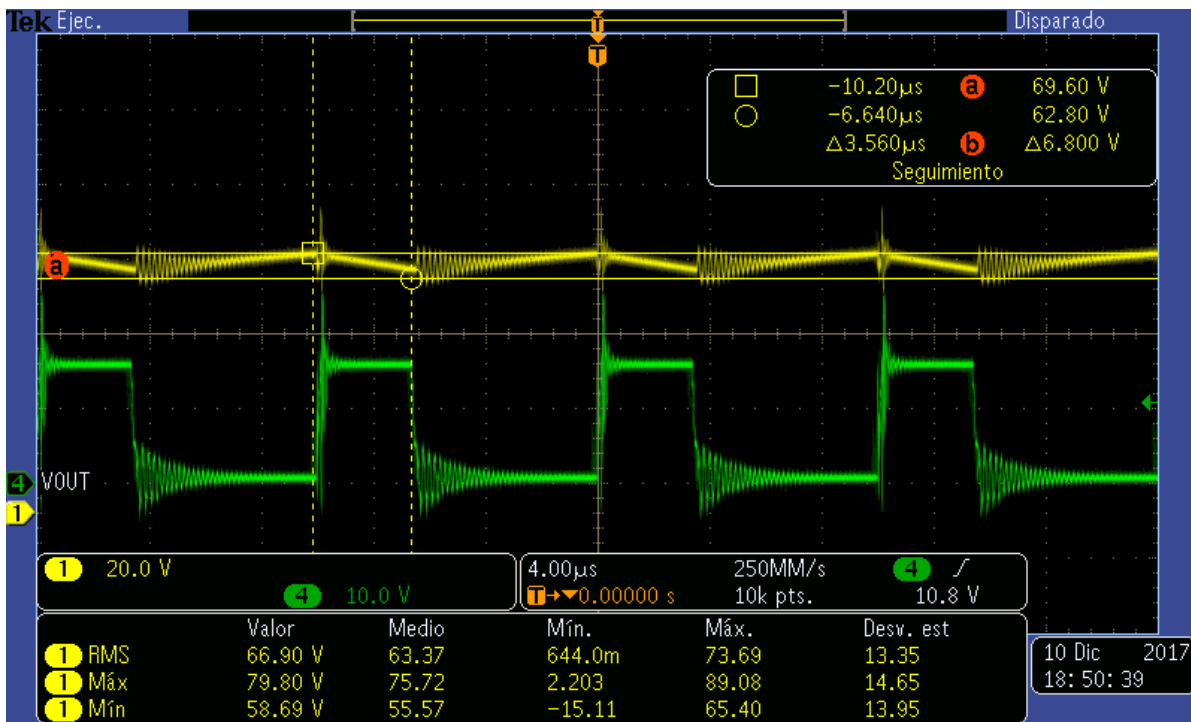


Figura 4.8 Tensión del capacitor C1,2 (amarillo), con delta de tensión $\Delta V_c=6.8V$. Tensión del VGS del MOSFET en operación con falla.

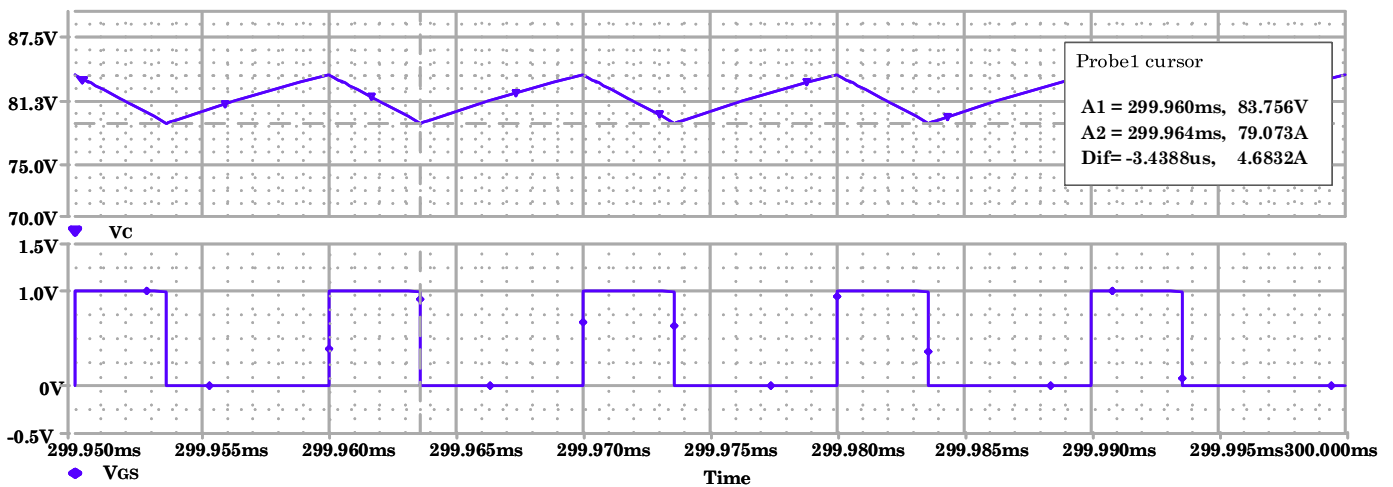


Figura 4.9 Tensión del capacitor C1,2 (superior), con delta de tensión $\Delta V_c=4.6832V$. Tensión del VGS del MOSFET en operación con falla.

De manera experimental, en el anexo B se presenta la caracterización del convertidor fuente Z, variando el ciclo de trabajo y la tensión de entrada con el fin de delimitar el ciclo de trabajo máximo en que el convertidor puede operar.

4.3 Implementación del inversor multinivel en cascada (CMLI).

En la implementación de este trabajo de tesis, se usa el CMLI construido previamente en el laboratorio de CENIDET, el cual está diseñado para proporcionar una salida de tensión de siete niveles a una frecuencia de 60Hz.

El CMLI está constituido por inversores de la topología puente completo conectados en cascada; lo que permite dividir la tensión total del sistema en cada uno de los módulos de puente completo. El número de niveles (n) generados en la tensión de salida depende del número de células (H), donde todas los módulos tienen la misma tensión de entrada.

Donde tenemos que

$$n = 2H + 1 \quad (4.1)$$

Por lo tanto, para un CMLI de siete niveles, se requiere el uso de 3 módulos de puente completo. Puesto que cada uno de estos módulos que conforman al inversor se encuentra conectado de forma aislada, es necesario el uso de fuentes de alimentación aisladas con el mismo de nivel de tensión en cada uno de estos módulos.

Cada uno de los módulos de puente completo emplea IGBT, como elementos de conmutación, para este caso, se emplea el módulo IRAMS10UP60B, el cual cuenta con seis interruptores IGBT conectados en la configuración de inversor puente trifásico como se muestra en la Figura 4.10.

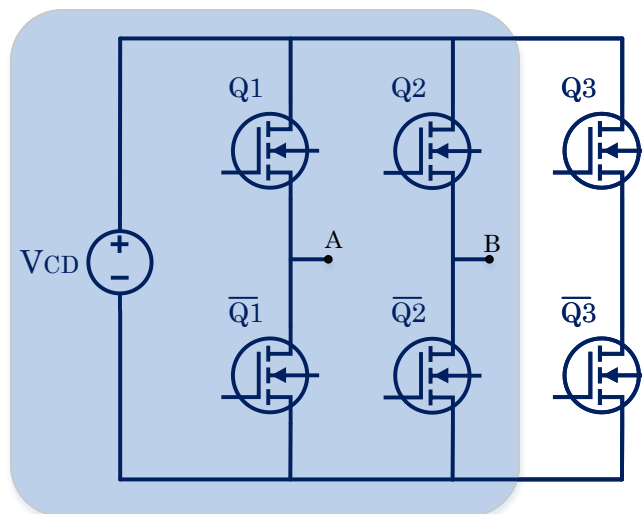


Figura 4.10 Módulo del inversor puente trifásico.

Puesto que el CMLI empleado en esta tesis está compuesto por módulos del tipo puente completo, se usa cuatro de los seis interruptores con los que cuenta el módulo IRAMS10UP60B. Estos módulos se caracterizan por requerir muy pocos elementos

externos para su operación, cabe destacar que estos módulos cuentan con la función de acondicionar las señales de conmutación para la activación de los interruptores, por lo que no es necesario la implementación de circuitos impulsores de manera externa, de la misma manera, no requiere la utilización de fuentes de tensión aisladas para disparar cada uno de los interruptores superiores de los módulos de puente completo, puesto a que cuenta con un modo de operación llamado bootstrap.

Debido a que la configuración puente completo requiere de señales y fuente de alimentación aisladas, es necesario una etapa de aislamiento de las señales de conmutación empleadas en cada interruptor. Por lo tanto, se usa cuatro optoacopladores con salida negada por cada módulo de puente completo. El circuito empleado se muestra en la Figura 4.11 muestra el optoacoplador empleado, así como su acondicionamiento. Cabe mencionar que el IRAM10UP60B opera con lógica negada en sus señales de control, por lo cual no es necesario una etapa extra que invierta las señales de salida de los optoacopladores.

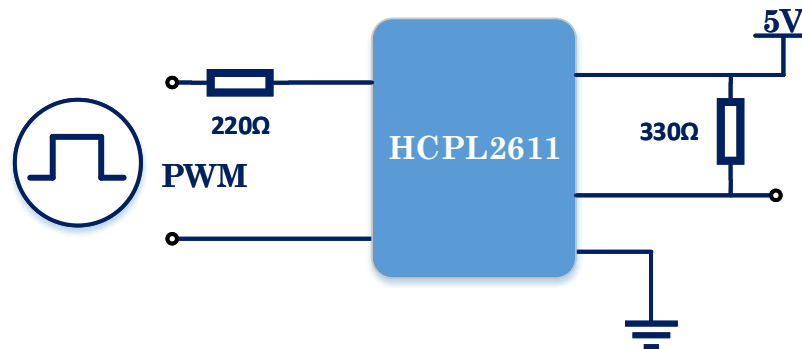


Figura 4.11 Diagrama del circuito optoacoplador.

4.4 Tarjeta Altera Quartus Cyclone IVE.

La tarjeta empleada en la implementación de la modulación en el convertidor fuente Z y en los módulos de IGBT del CMLI es la tarjeta Altera Quartus Cyclone IVE, la cual se muestra en la Figura 4.12. Dicha tarjeta cuenta con:

- FPGA Altera Cyclone® IV EP4CE22F17C6N.
- 153 pines I/O.
- Circuito USB-Blaster incorporado para su programación.
- Dos hileras de 40 GPIO. (72 pines I/O, 2 pines de 5V y 2 de 3.3V y 4 pines de tierra.
- Un convertidor analógico digital de 8 canales a 12 bits de 50 Ksps a 200 Ksps.
- Un bloque de memoria de 32MB SDRAM.

- Una memoria de 2Kb 12C EPROM.
- Un reloj oscilador de 50 MHz.
- Un puerto de alimentación mini-AB de 5V.
- Dos pines de alimentación de 3.6V a 5.7V.
- Un acelerómetro de alta resolución de 13 bits ADI ADXL128S022.

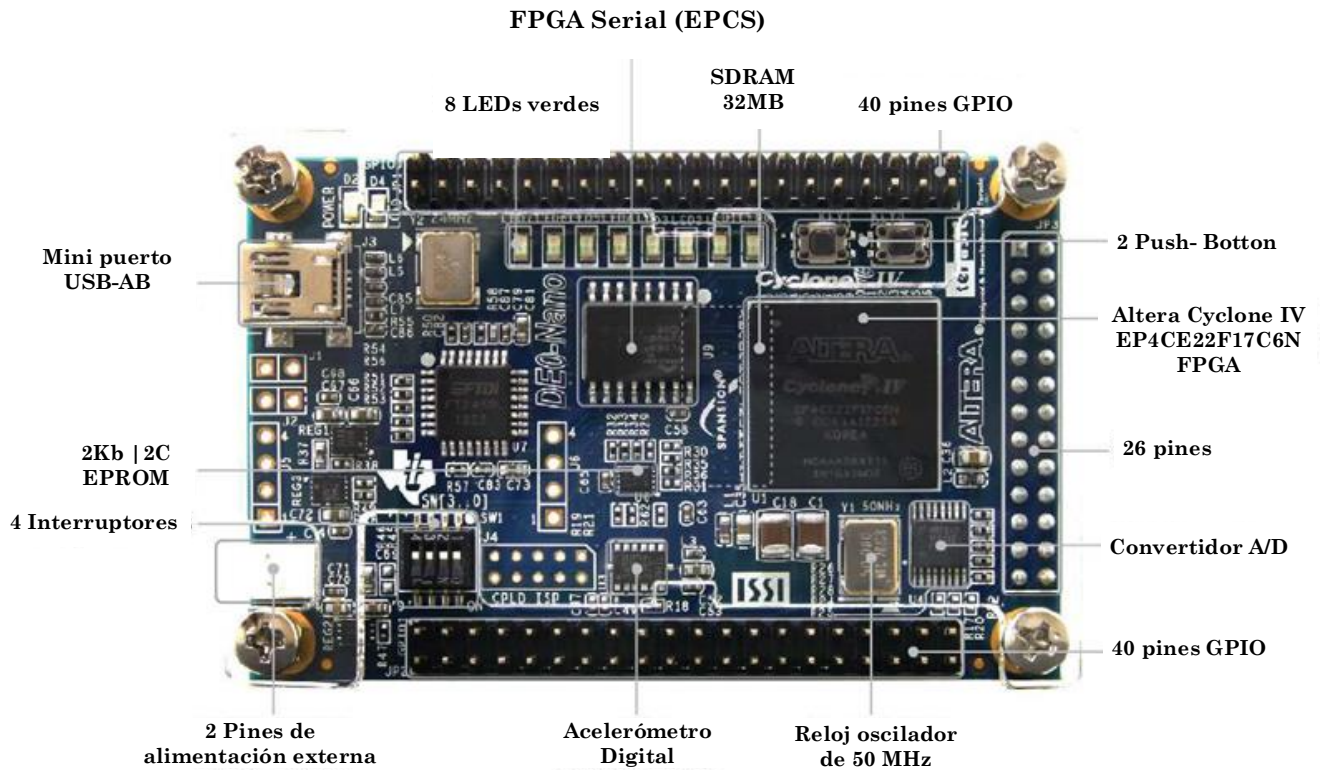


Figura 4.12 Tarjeta Altera Quartus Cyclone IVE.

La tarjeta Altera soporta una programación de forma esquemática (compuertas lógicas, registros, etc.) y de código VHDL (por sus siglas en inglés “*Hardware Description Language*”). La programación efectuada en este trabajo de tesis es realizada mediante la programación en código VHDL.

VHDL es un lenguaje de programación el cual permite la integración de sistemas digitales sencillos o complejos en un dispositivo lógico programable, sea de baja capacidad de integración como un arreglo lógico genérico (GAL, por sus siglas en inglés “*Generic Logic Array*”), o de mayor capacidad como los CPLD (por sus siglas en inglés “*Complex Programmable Logic Device*”) y FPGA (por sus siglas en inglés “*Field Programmable Gate Array*”).

La programación empleada en la tarjeta Altera Cyclone Quartus IVE consta de tres subsistemas anidados a una entidad principal (como se muestra en la Figura 4.13).

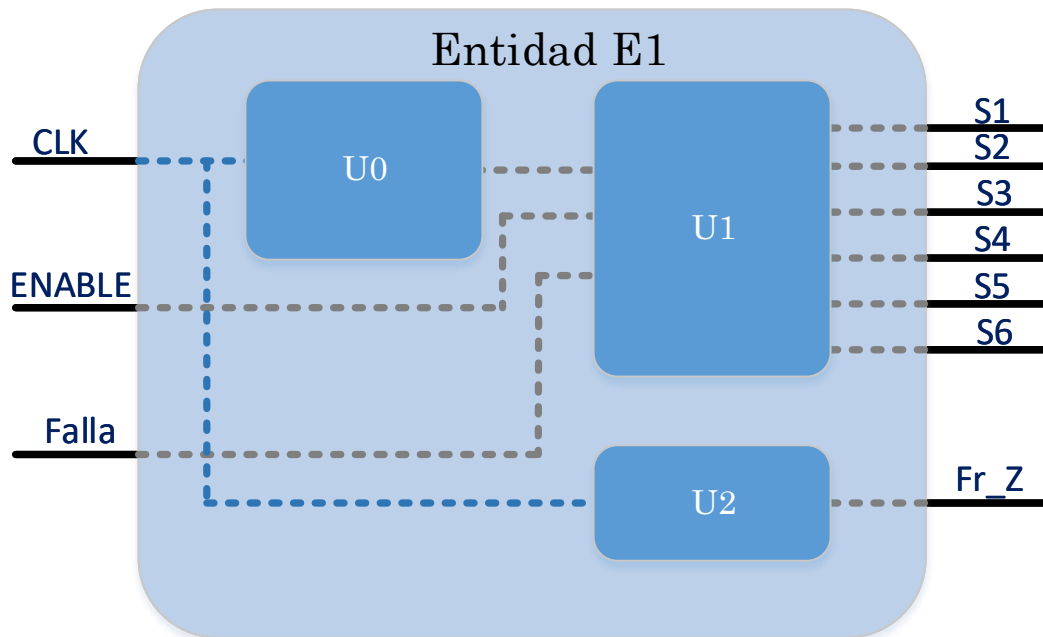


Figura 4.13 Diagrama a bloques de la programación efectuada en la tarjeta Altera Cyclone Quartus IVE.

Las entidades son las configuraciones más importantes dentro de la estructura de programación VHDL, puesto que en ellas se declaran todas las entradas y salidas de un circuito de diseño, es decir, la declaración de las terminales o pines de entrada y salida con las que cuenta la entidad.

A continuación se describen los elementos pertenecientes al diagrama de la Figura 4.13:

- ❖ E1: Es el encargado de la agrupación e interacción entre los subprogramas (U0, U1 y U2), así como la vinculación de los pines de entrada y salida.
- ❖ U0: Se encarga de definir la frecuencia de reloj de 100kHz, señal que es utilizada por el bloque U1.
- ❖ U1: Es el encargado de la modulación del modo simétrico y asimétrico del CMLI controlado por una señal comandada por el usuario.
- ❖ U2: Se encarga de generar un tren de pulsos a 100kHz empleado para disparar al convertidor fuente Z, el cual, mediante el comando ejecutado por del usuario puede cambiar su ciclo de trabajo (cambiar del estado nominal al estado con falla).

La programación realizada en la tarjeta Altera cuenta con dos comandos que habilitan su activación, el primero habilita el accionamiento e inicio de la programación, y el segundo es el encargado de cambiar la operación del CMLI del estado nominal al estado de falla, reconfigurando los pulsos empleados en las compuertas de los módulos de puente completo y el ciclo de trabajo en el convertidor fuente Z, como se muestra en la Figura 4.14.

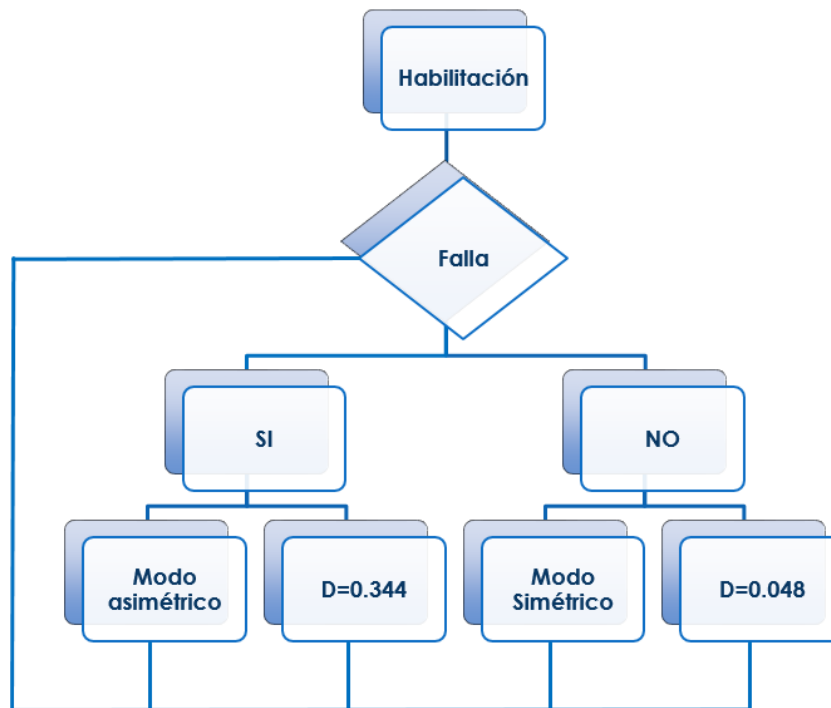


Figura 4.14 Diagrama a bloques de los comandos de programación en la tarjeta Altera.

4.5 Inversor multinivel en cascada CMLI

Para la etapa de pruebas del CMLI, se usan tres módulos IRAMS10UP60 en conexión cascada, con tres fuentes de alimentación de CD aisladas de 40V, el convertidor fuente Z en conjunto con la tarjeta Altera Cyclone Quartus IVE Figura 4.15 a) muestra el CMLI conformado por tres fuentes de alimentación de CD de 40V, realizando la prueba del CMLI para un caso ideal, donde solo se emplean fuentes de CD (sin usar el convertidor fuente Z). La Figura 4.15 b) presenta la señal de salida del CMLI de 7 niveles.

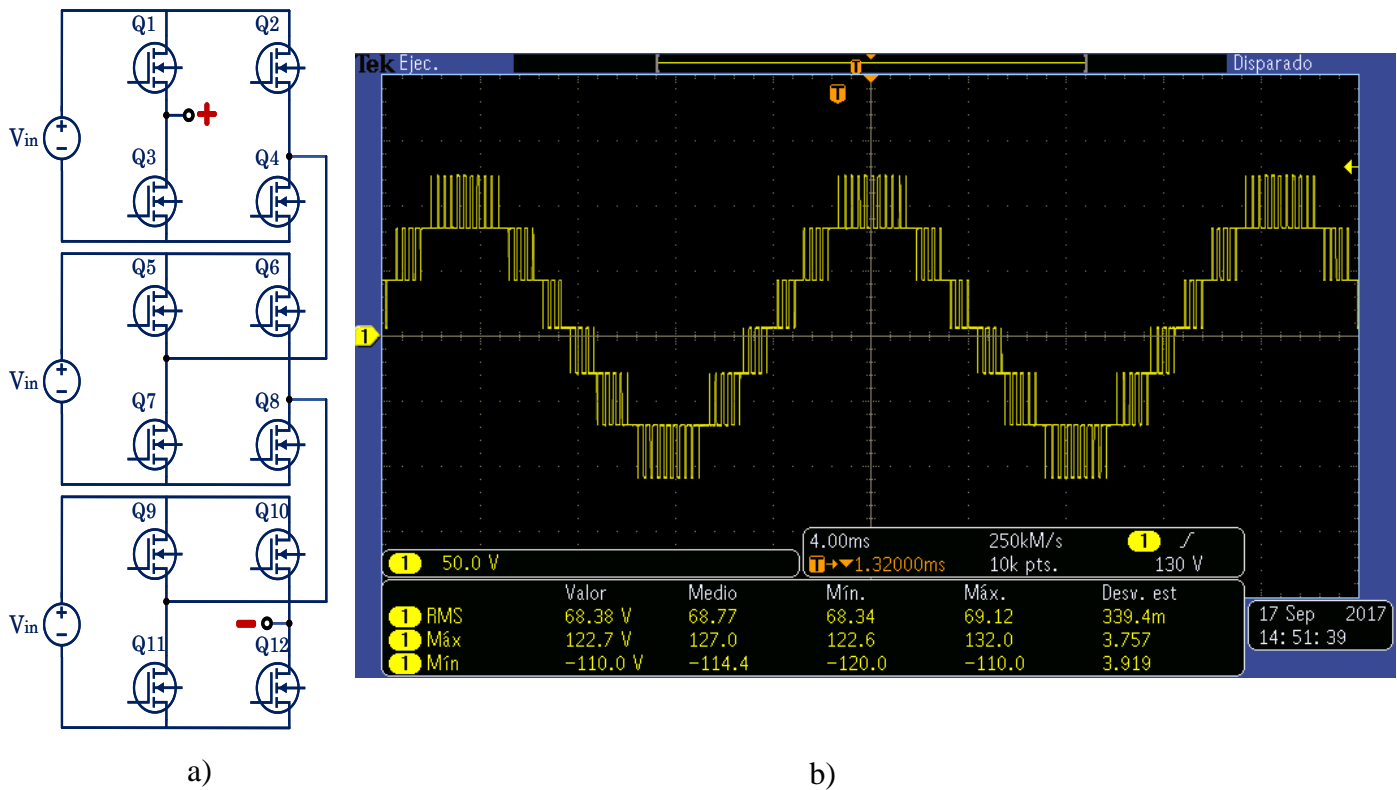


Figura 4.15 a) Inversor multinivel simétrico. b) Respuesta escalonada del inversor multinivel en cascada de 7 niveles en operación libre de falla.

4.6 Generador de tiempos muertos.

En la implementación del CMLI las señales de comando empleadas a cada módulo de puente completo requieren de una señal complementaria para conmutar a los interruptores IGBT de cada una de las ramas del puente completo. Sin embargo, estos dispositivos cuentan con un tiempo de encendido y un tiempo de apagado; los cuales, en la conmutación del tiempo de encendido en la parte superior de la rama y el tiempo de apagado en la parte inferior o viceversa, la fuente de alimentación puede quedar cortocircuitada mediante la interacción de estos interruptores ocasionando la destrucción de la misma, y de igual forma, generar mayores pérdidas por conmutación mediante el traslape de la activación de los interruptores. Por lo tanto se requiere el uso de un circuito que genere un tiempo de apagado (denominado tiempo muerto) entre las conmutaciones del IGBT, con el fin de evitar un traslape en la interacción de los interruptores. Las señales de conmutación complementarias y el tiempo muerto se presentan en la Figura 4.16.

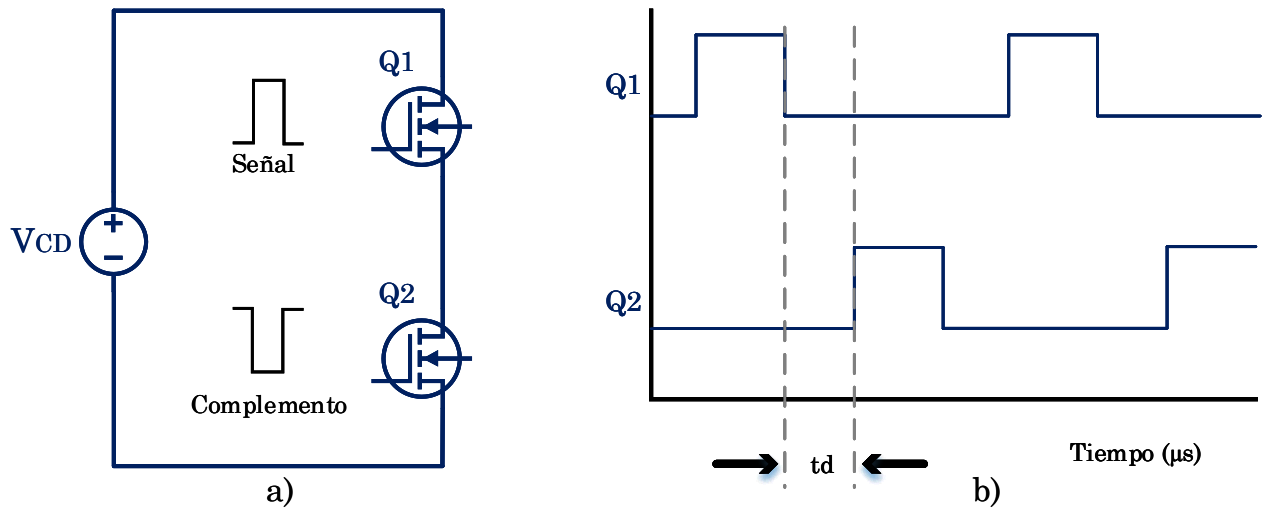


Figura 4.16 a) Señal de conmutación y su completo. b) Tiempo muerto.

El tiempo muerto generado por este circuito, esta funciones de las especificaciones en las que operan los interruptores internos del IRAMS10UP60B empleados en cada uno de los módulos del CMLI, los cuales operan con un tiempo de encendido de 470ns y un tiempo de apagado de 615ns, por lo que el generador de tiempos muertos empleado en este trabajo genera tiempo muerto de 1 μs .

4.7 Implementación de los patrones de modulación del CMLI.

La obtención de los patrones de conmutación se realizó en el software PSIM, la Figura 4.17 a) muestra el diagrama de control empleado en el CMLI simétrico, el cual consiste en la comparación de seis señales triangulares contiguas no traslapadas a una frecuencia de 3.3 kHz con una señal sinusoidal a una frecuencia de 60Hz como se muestra en la Figura 4.18 con un índice de modulación unitario.

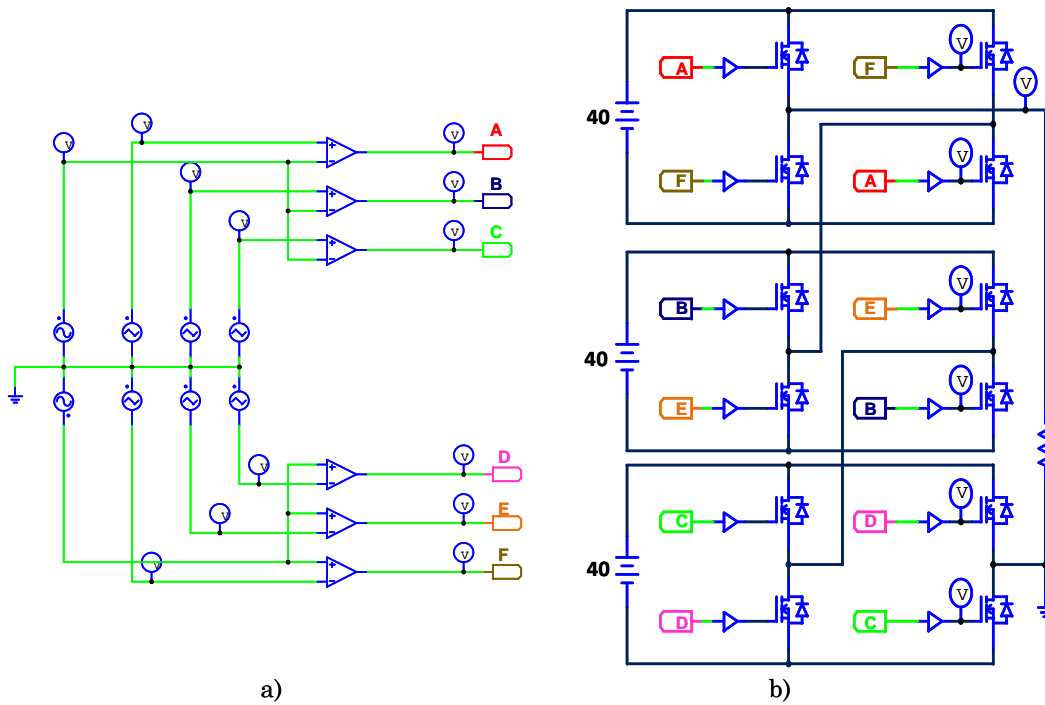


Figura 4.17 a) Diagrama para la obtención de los pulsos de conmutación para el CMLI simétrico de 7 niveles. b) Diagrama del CMLI de 7 niveles simétrico.

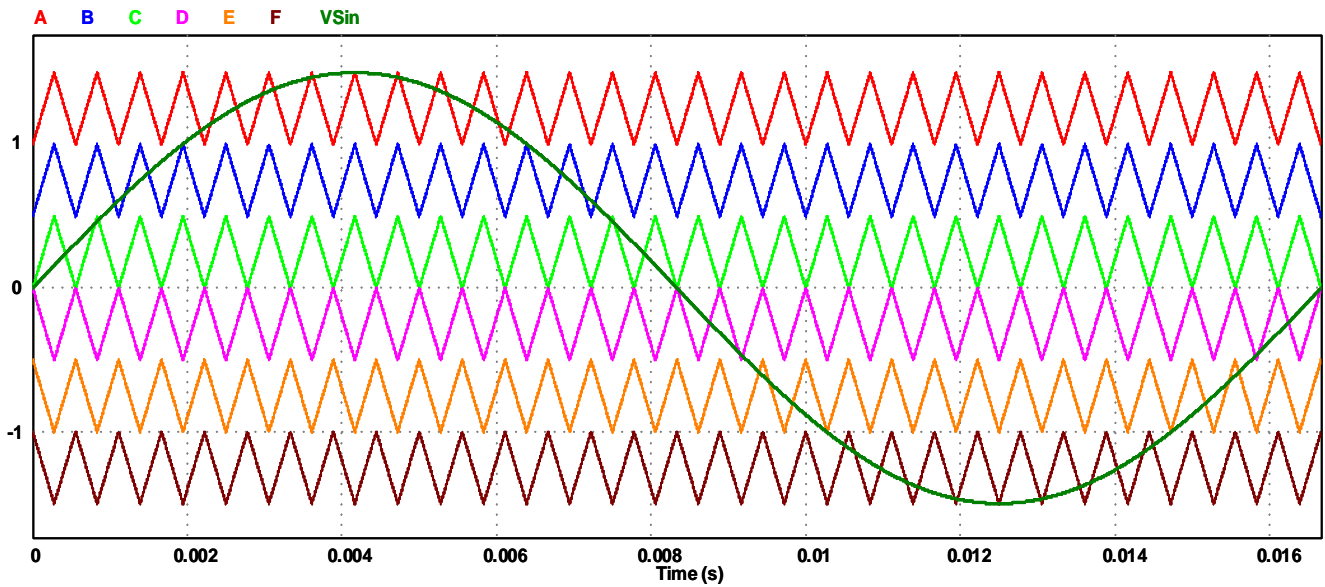


Figura 4.18 Comparación de las señales aplicadas en la modulación APOD empleada en el CMLI simétrico.

En la Figura 4.19, se muestran los patrones de modulación resultantes para cada uno de los IGBT de los módulos IRAMS10UP60B para el estado nominal.

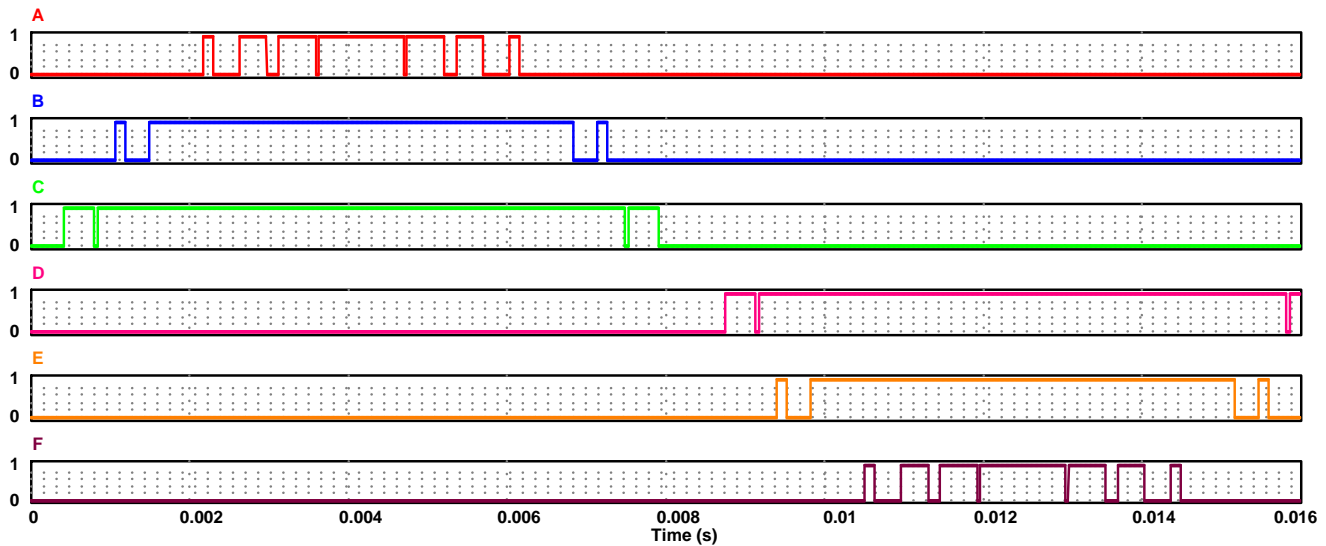


Figura 4.19 Señales resultantes de la comparación portadoras-moduladora para el CMLI simétrico.

La modulación resultante se programó en la tarjeta Altera Quartus Cyclone IVE, aplicando lógica negada Figura 4.20 (debido a que el módulo IRAMS10UP60B opera con lógica negada en sus señales de control).

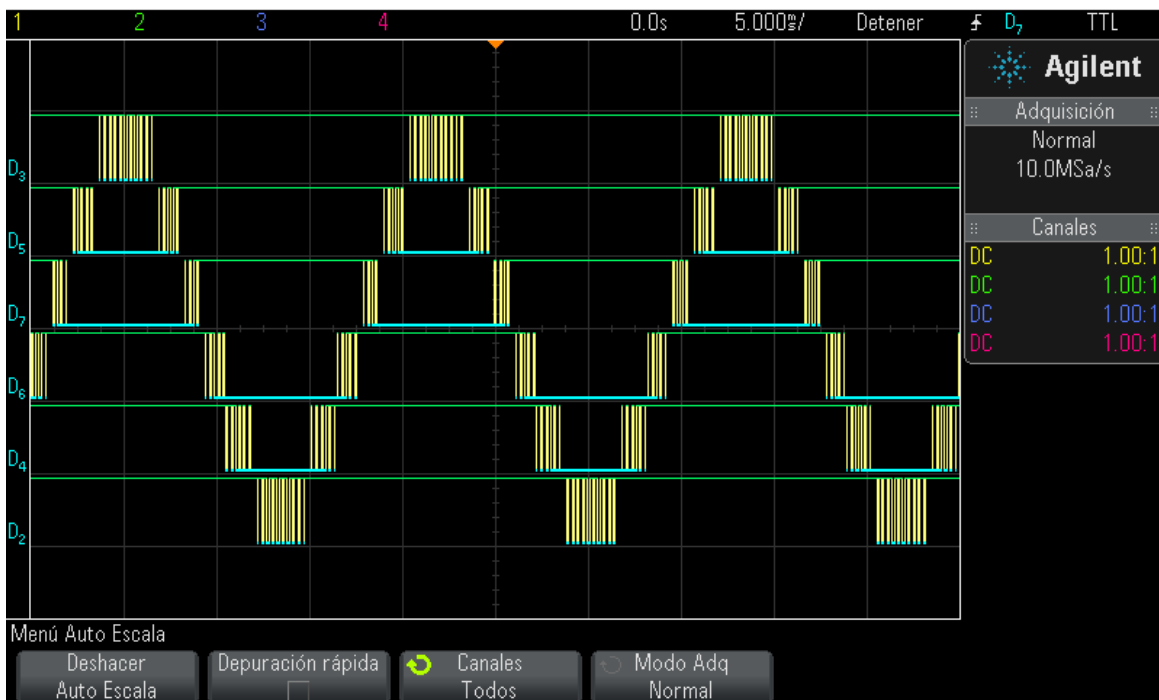


Figura 4.20 Pulsos implementados en la tarjeta Altera Quartus Cyclone IVE de la modulación simétrico aplicada en el CMLI.

En el caso del CMLI asimétrico, se implementa la técnica de modulación híbrida Figura 4.21, donde el puente de menor potencia es comandado mediante la señal resultante $V_{s_asimetrico}$ Figura 4.21 c) de la sustracción de la señal de referencia V_{SIN}

Figura 4.21 a) y la señal de referencia V_C empleada en el módulo de mayor potencia Figura 4.21 b).

Donde:

- La señal de referencia V_{SIN} cuenta con una amplitud pico a pico de 3V a una frecuencia de 60Hz.
- La señal demoduladora V_C está formada por un señal cuadrada de una amplitud de 2V pico a pico con un ángulo de desfase $\theta = 19.41^\circ$ a una frecuencia de 60 Hz.

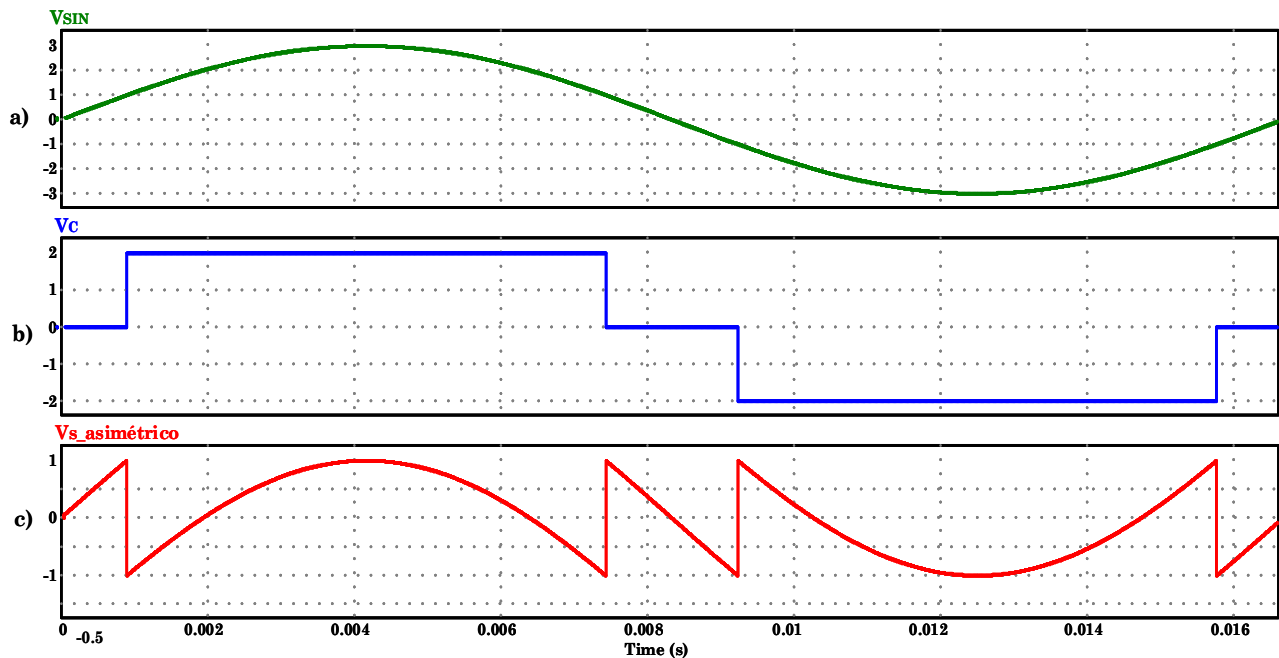


Figura 4.21 a) Señal de referencia. b) Señal moduladora del módulo mayor potencia (módulo 1) c) Señal de moduladora del módulo de menor potencia.

La modulación híbrida basa su funcionamiento en la suma y resta de tensión entre los módulos de puente completo, conmutando al puente de mayor potencia a baja frecuencia mientras que el puente de menor potencia es comandado con la señal moduladora resultante $Vs_asimétrico$. Esta señal es comparada con dos señales portadoras de triangulares a 3.3 kHz Figura 4.22.

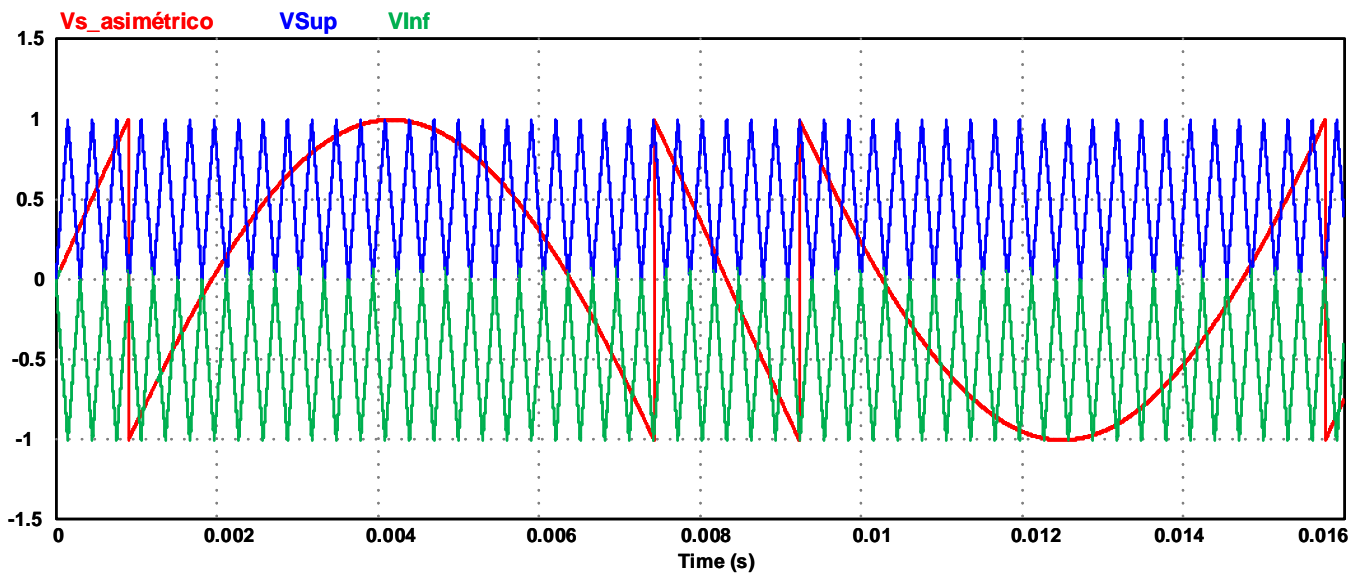


Figura 4.22 Comparación de las señales aplicadas en la modulación APOD empleadas en el CMLI asimétrico

Los comandos de conmutación resultantes de la modulación híbrida aplicada en el CMLI se presentan en la Figura 4.23.

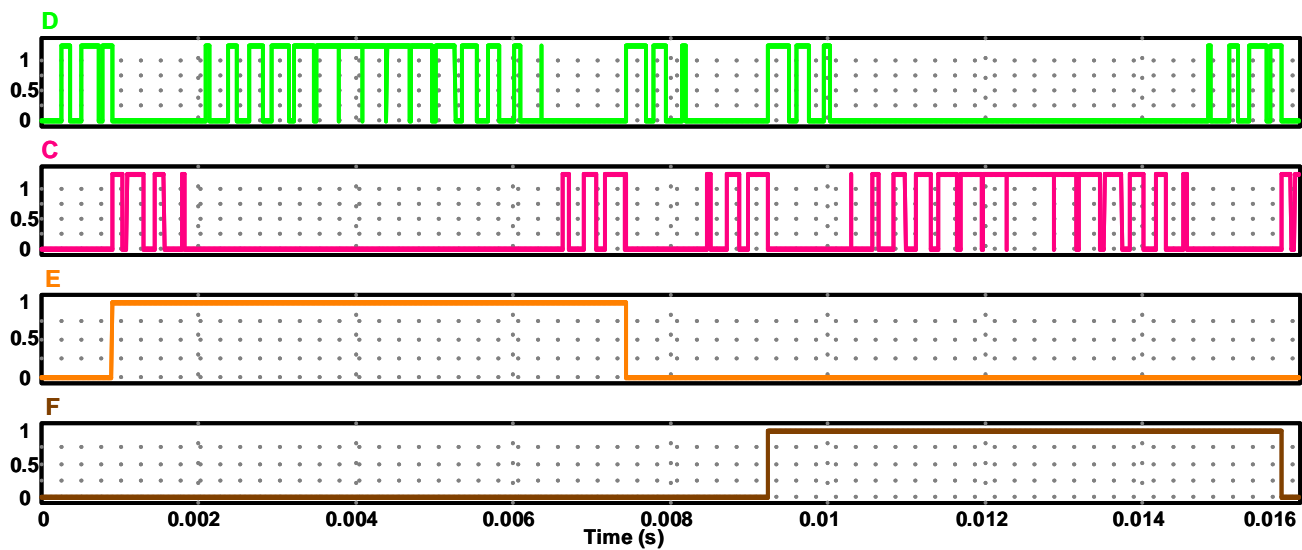


Figura 4.23 Señales resultantes de la comparación híbrida aplicada.

Los pulsos resultantes de la modulación híbrida programada se muestran en el CMLI son presentado en la Figura 4.24.

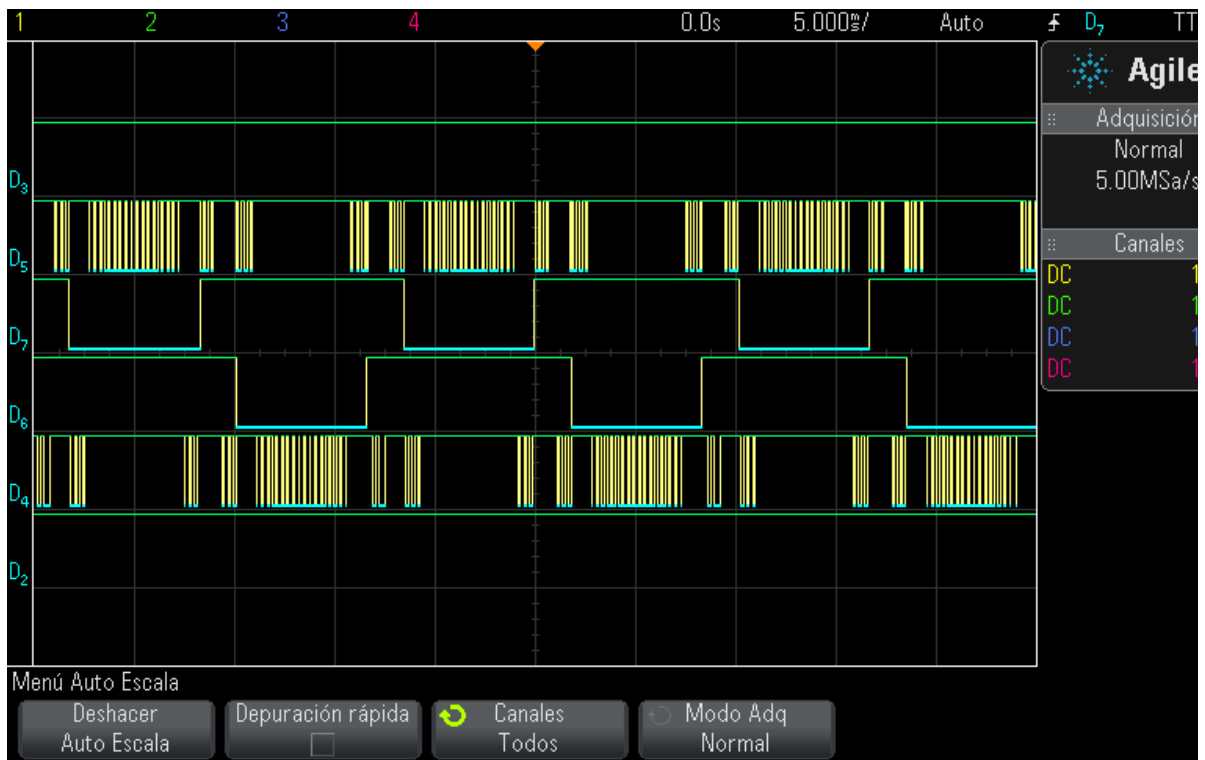


Figura 4.24 Pulsos implementados en la tarjeta Altera Quartus Cyclone IVE de la modulación asimétrica aplicada en el CMLI.

En el Anexo B, se presenta la caracterización del convertidor fuente Z, realizando pruebas de manera experimental con variaciones en el ciclo de trabajo y la tensión de entrada aplicada al convertidor.

CAPÍTULO 5

RECONFIGURACIÓN EN EL CMLI

La operación principal del convertidor fuente Z aplicado en este trabajo, consiste en la reconfiguración del CMLI ante la presencia de una falla en alguno de los módulos aplicados en el CMLI haciendo uso de la fuente Z para aumentar la robustez del sistema y al mismo tiempo disminuir las fallas provocadas por algún error en las señales de conmutación.

5.1 Introducción.

Debido a la gran importancia que tienen los inversores multinivel, existe un creciente interés de mantener operando al sistema con un cierto nivel de calidad de energía, aún después de haberse presentado una falla en los dispositivos de potencia. Por lo cual son implementadas estrategias tolerantes a fallas.

La operación tolerante a fallas aplicada en los sistemas se realiza mediante la combinación de técnicas desarrolladas para incrementar la disponibilidad del sistema y así mismo disminuyendo los riesgos probables de falla. Estas fallas pueden efectuarse en los actuadores, sensores, en el controlador del sistema, las cuales pueden provocar un paro del sistema, llegando a provocar grandes pérdidas económicas [6].

5.1.1 Fallas en los convertidores de potencia

Los convertidores utilizados en electrónica de potencia presentan una gran confiabilidad, sin embargo al estar compuesto por un gran número de componentes electrónicos, no se encuentra exento de fallas. Dentro de las fallas más comunes en los convertidores CD-CA se tiene [6, 34]:

- Fallas en la fuente de CD. (Diodo rectificadores, paneles fotovoltaicos, baterías, etc.)
- Fallas de alimentación en la red eléctrica
- Fallas en los dispositivos electrónicos de potencia.
- Fallas en las técnicas de control o modulación empleadas.
- Sobrecalentamiento en los elementos activos (transistores, diodos, MOSFETs, etc.).
- Fallas en la carga.
- Fallas en los sensores.

Algunas de las fallas más comunes en los convertidores de potencia, son las fallas en los interruptores, las cuales se pueden presentar con cierta probabilidad en:

- Dispositivos de circuito abierto (c.a.): 18%.
- Dispositivos en cortocircuito (c.c.): 15%.
- Fallas de control: 30%.
- Fatiga térmica: 25%.
- Otras fallas: 12%.

Al presentarse alguna de estas fallas, se tiene una degradación en los voltajes de fase y línea respectivos: lo cual ocasiona una respuesta de salida desbalanceada.

5.1.2 Fallas en los interruptores.

Debido a que los interruptores aplicados en las topologías empleadas en la electrónica de potencia son los encargados de realizar la transferencia de energía entre la fuente de entrada y la carga, una falla en los interruptores producirá un comportamiento diferente. Puntualmente las fallas en los dispositivos pueden clasificarse puntualmente en:

Fallas de circuito abierto.

Las fallas de circuito abierto se presentan cuando el interruptor empleado en el convertidor permanece apagado (aun si la señal de comando este en alto), por lo cual la transferencia de energía hacia la carga no es realizada.

Este tipo de fallas pueden ser provocadas por diferentes causas, ya sea por error en la señal de comando o si no, una falla interna en el dispositivo, siendo la probabilidad de que una falla de este tipo ocurra de un 18%. Cuando esta tipo de fallas ocurren, la tensión de salida del convertidor es modificada, de modo que los niveles de tensión de la salida permanecen nulos.

Fallas de cortocircuito.

Este tipo de fallas se presentan cuando un interruptor es accionado cerrando la trayectoria de la corriente en el inversor, inclusive si otro interruptor se encuentra activado en el mismo instante. Por lo tanto, la transferencia de energía hacia la carga tampoco es posible y así mismo se presenta una sobre corriente entre la tensión de alimentación y los dispositivos de potencia.

Esta falla se presenta cuando ocurre un problema o error en las señales de conmutación aplicadas en la compuerta del interruptor o bien a causa de una falla interna en el dispositivo de potencia. Siendo la ocurrencia de este tipo de fallas de un 15%. Cuando este tipo de fallas, la energía suministrada por la fuente de alimentación es disipada en los dispositivos potencia en las ramas del inversor donde el corto circuito es generado.

Ambos casos pueden ocasionar que el sistema se colapse y así mismo dañar tanto a la carga como a la fuente de alimentación.

5.2 CMLI de 7 niveles sin fallas.

Para la etapa final de prueba del trabajo presente, se hace del CMLI ideal de siete niveles simétrico Figura 5.1 a), en operación nominal (libre de falla), teniendo como resultado una respuesta escalonada de 7 niveles de tensión a la salida (

Figura 5.1 b).

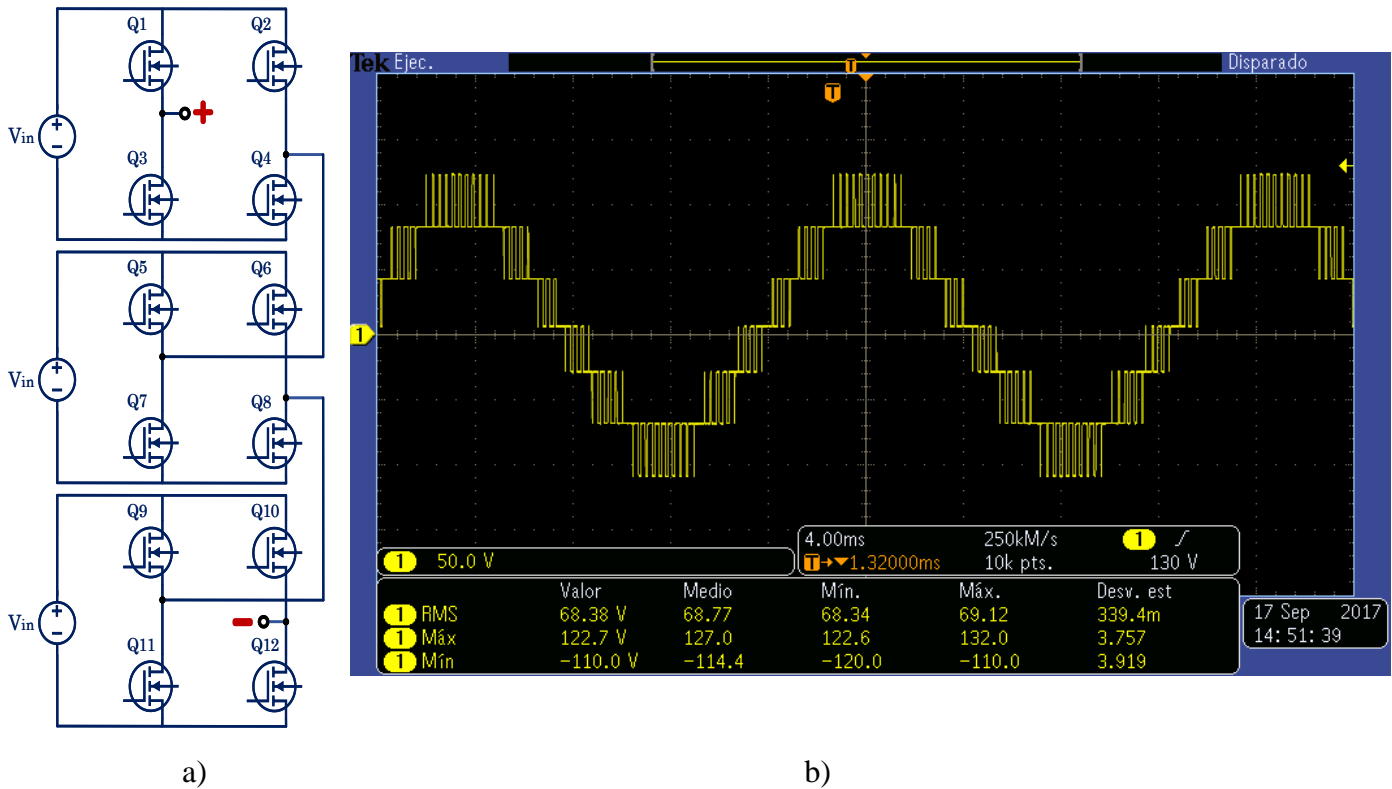


Figura 5.1 a) Inversor multinivel ideal simétrico. b) Respuesta escalonada del inversor multinivel en cascada de 7 niveles en operación libre de falla.

En la Figura 5.2 se muestra la captura de pantalla en el analizador de calidad de energía PW3198, con el cual se analizó el contenido armónico de tensión de salida del CMLI simétrico de 7 niveles en operación libre de falla, en modo ideal (tres fuentes de alimentación simétricas independientes).

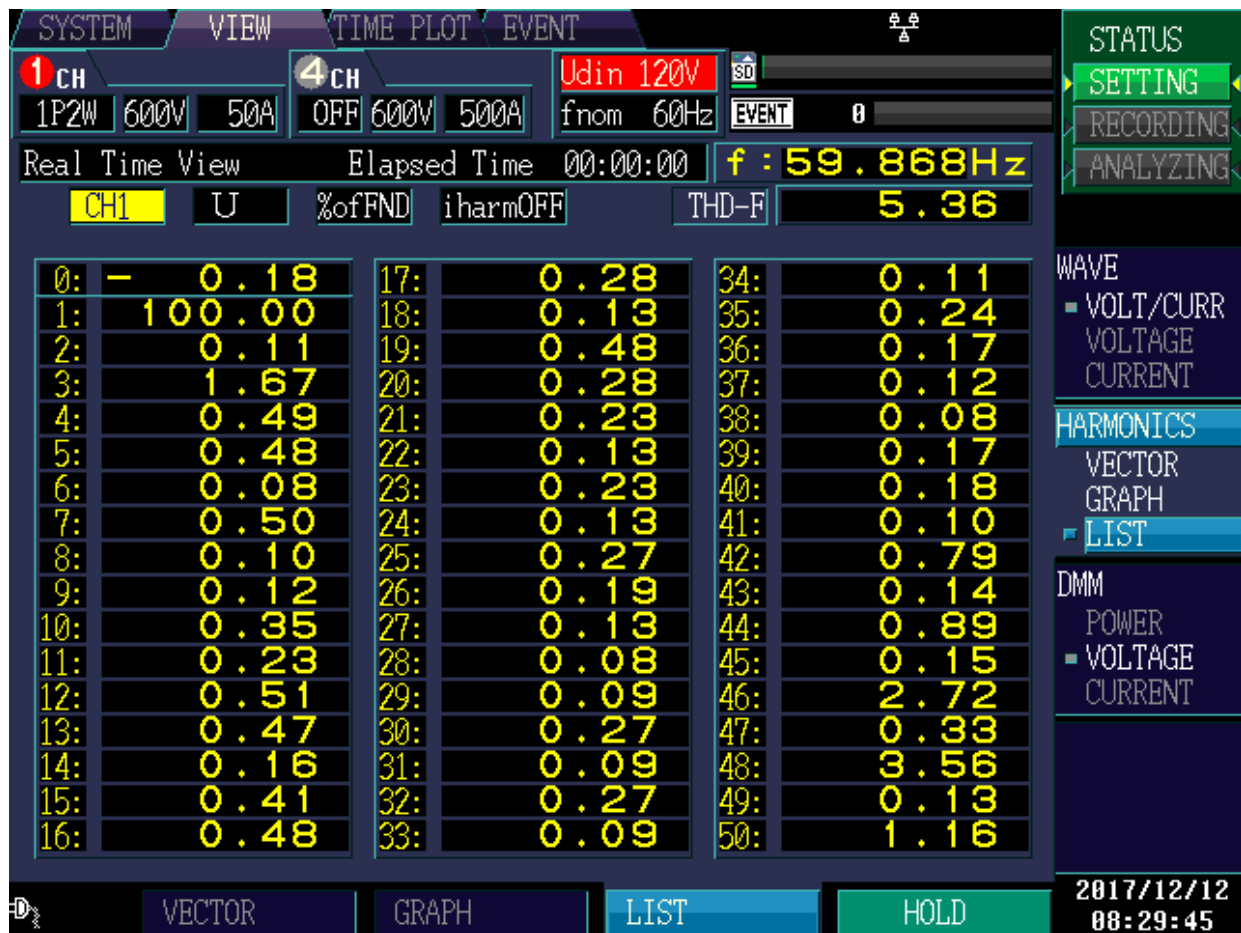


Figura 5.2 THD del CMLI en caso ideal (fuentes de alimentación iguales).

Se observa que el contenido armónico total en el caso ideal es $HTD = 5.36\%$ a una frecuencia de 59.868Hz , cumpliendo la norma IEEE 519, la cual especifica que el contenido armónico total máximo permisible es de $THD = 8\%$.

5.3 Circuito de fallas.

Para la realización del cambio de operación en el CMLI de 7 niveles del modo simétrico al modo asimétrico, es necesario agregar dos interruptores (S1 y S2) en la estructura del CMLI, los cuales al presentarse la falla, permitan la desconexión del módulo de menor potencia, (para este caso el módulo 3) y de la misma manera, cortocircuitar la salida del este módulo, tal y como se muestra en la Figura 5.3. Por consecuente, el convertidor fuente Z es agregado a la estructura multinivel.

Logrando con esto que el CMLI continúe operando con solo 2 módulos funcionales con una respuesta escalada a la salida de 5 niveles.

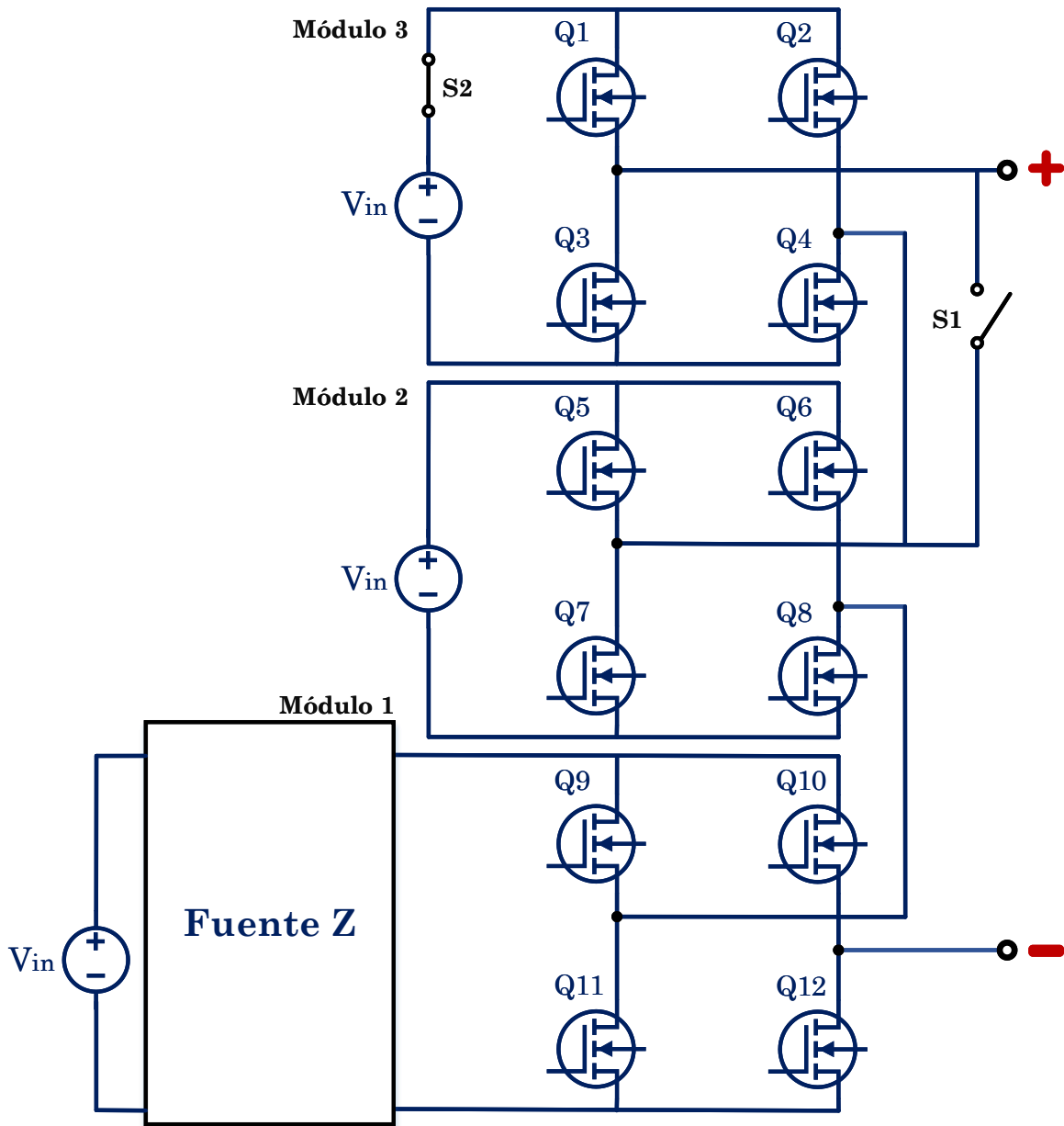


Figura 5.3 CMLI simétrico con interruptores S_1 y S_2 para aislar y desconectar los módulos de puente completo y la fuente de alimentación V_{in} en conjunto con el convertidor fuente Z.

Al agregar el convertidor fuente Z al CMLI, es necesario agregar a la señales de conmutación, la señal de disparo “D” empleada en el convertidor, provenientes de la tarjeta Altera Cyclone Quartus IVE tal y como se muestra en la Figura 4.14, con el fin de realizar el cambio de operación (nominal - falla).

5.4 CMLI simétrico-asimétrico con falla.

Por consiguiente se introduce la falla en el CMLI ideal, desconectando uno de los tres módulos que lo componen Figura 5.4 a); lo cual trae como consecuencia la pérdida de los niveles superior e inferior del inversor, teniendo como resultado una respuesta degradada de 5 niveles Figura 5.4 b).

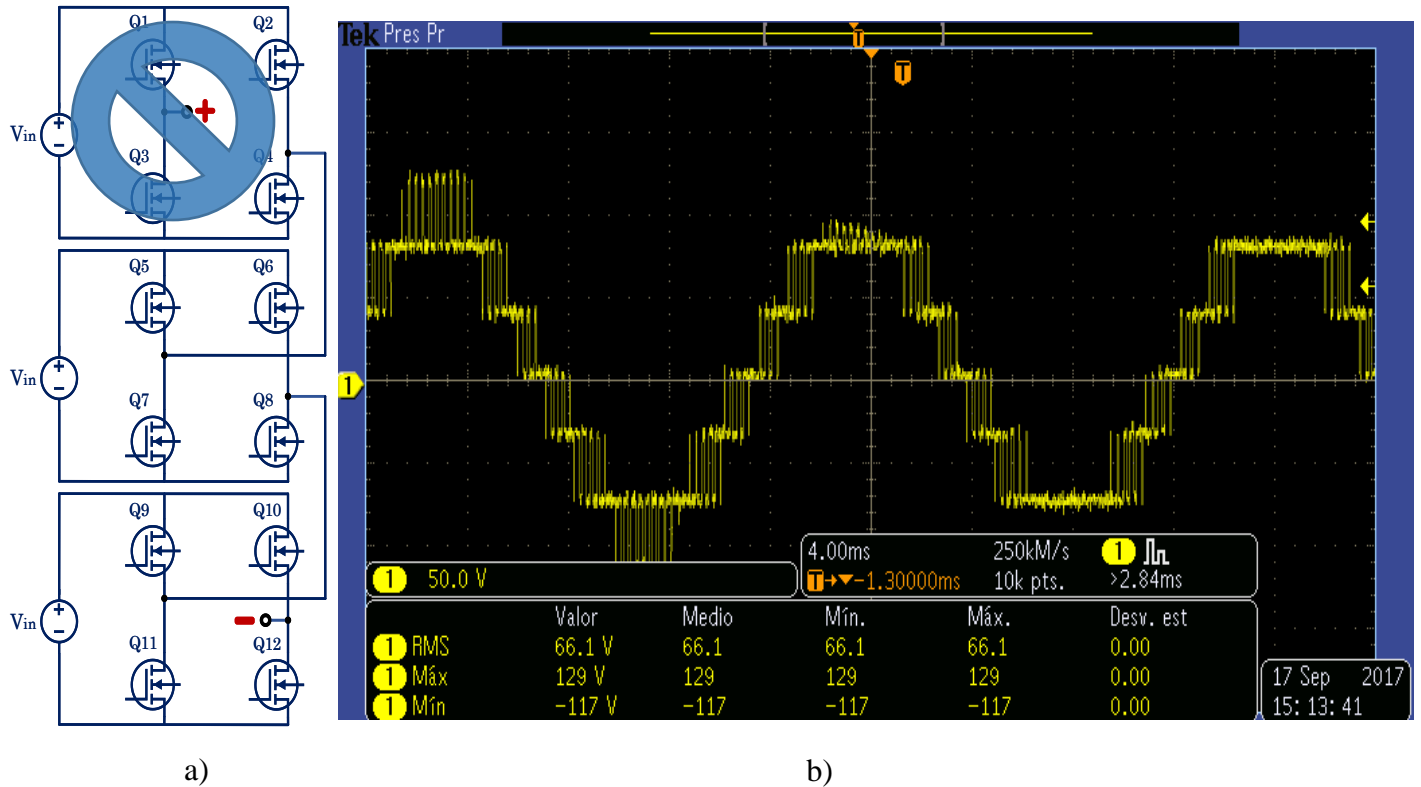
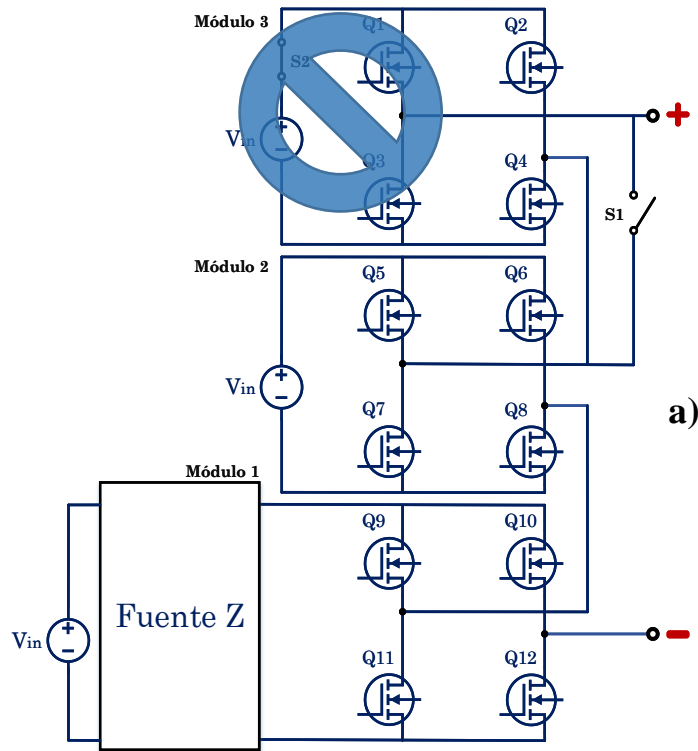
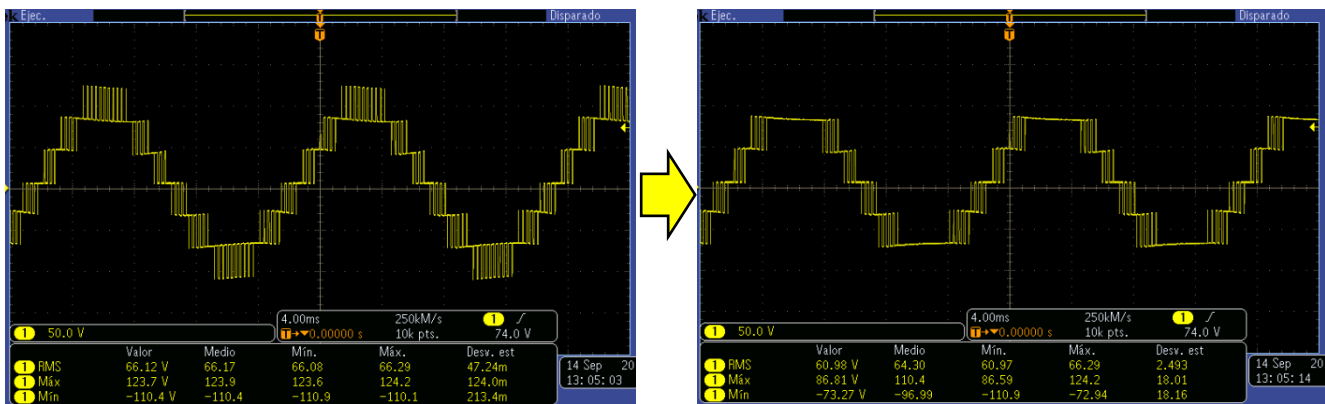


Figura 5.4 a) CMLI ideal simétrico con falla. b) Respuesta degradada de 5 niveles.

Sin embargo, al agregar el convertidor fuente Z en el módulo 3 (el cual soporta la mayor potencia en el CMLI de 7 niveles simétrico como se muestra en la Figura 5.5a), y al presentarse la falla, se desconecta el módulo dañado (módulo 1) accionando el interruptor S2 de la fuente de alimentación, y de la misma manera, el interruptor S1 es accionado, cortocircuitando la salida del módulo 3, dando como resultado una señal de salida de 5 niveles (Figura 5.5 b).



a)



b)

Figura 5.5 a) CMLI con fuente Z. b) Pérdida de un módulo en el CMLI y 2 niveles de tensión (7 niveles – 5 niveles).

El cambio de operación (simétrico-asimétrico) del CMLI se presenta en la Figura 5.6, en $t=0$, se ejecuta el comando en la tarjeta Altera Cyclone Quartus IVE, realizando el cambio de operación en el convertidor fuente Z, logrando obtener los 7 niveles iniciales de la operación nominal del inversor.

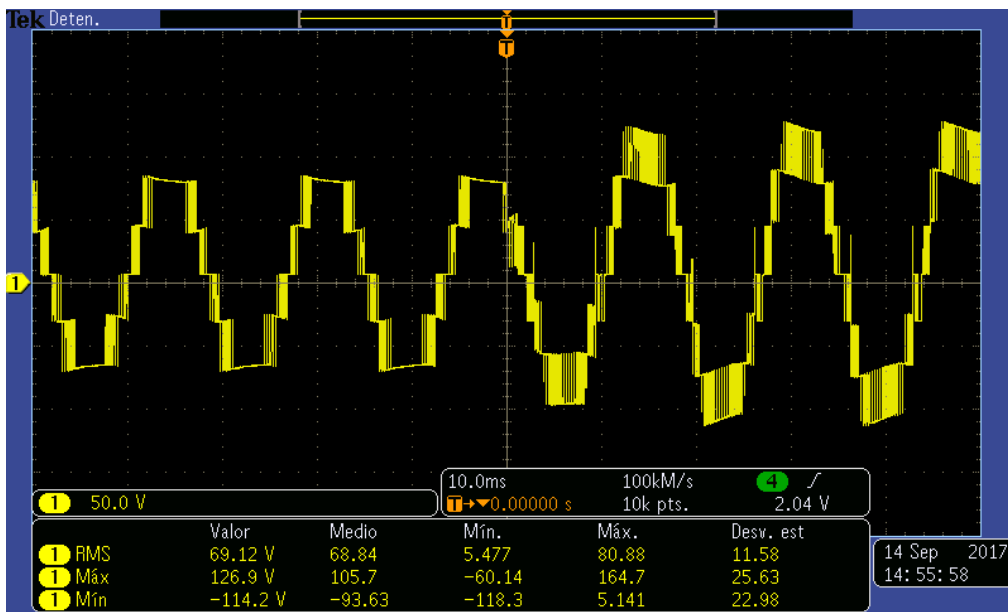


Figura 5.6 Reconfiguración de la respuesta del CMLI de modo simétrico-asimétrico.

En la Figura 5.7 se muestra la forma de onda del inversor operando sin falla, en el instante $t=0$ se realiza la reconfiguración de la operación del inversor de modo simétrico a modo asimétrico, presentando el transitorio en que el inversor cambia del estado nominal al estado con falla, el cual opera de manera continua al activare la falla cortocircuitando automáticamente el modulo dañado (módulo 1) del inversor, y a su vez, reconfigurando (en un tiempo menor a un ciclo 60 Hz) al CMLI preservando los 7 niveles iniciales en un $t < 2\text{ms}$, manteniendo al CMLI operando en régimen degradado.

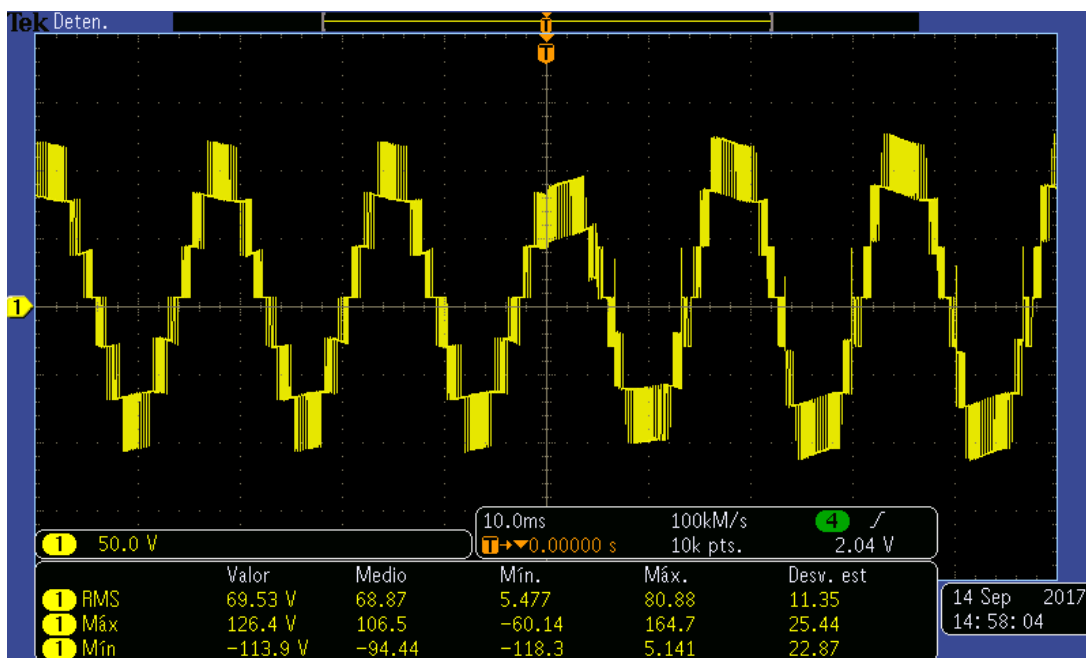


Figura 5.7 Reconfiguración en el CMLI de 7 niveles en el cambio de operación (nominal-falla).

En la Figura 5.7 se muestra el análisis de la degradación de la tensión de salida cambiando el modo de operación de simétrico a modo asimétrico del CMLI al emplear el convertidor fuente Z.

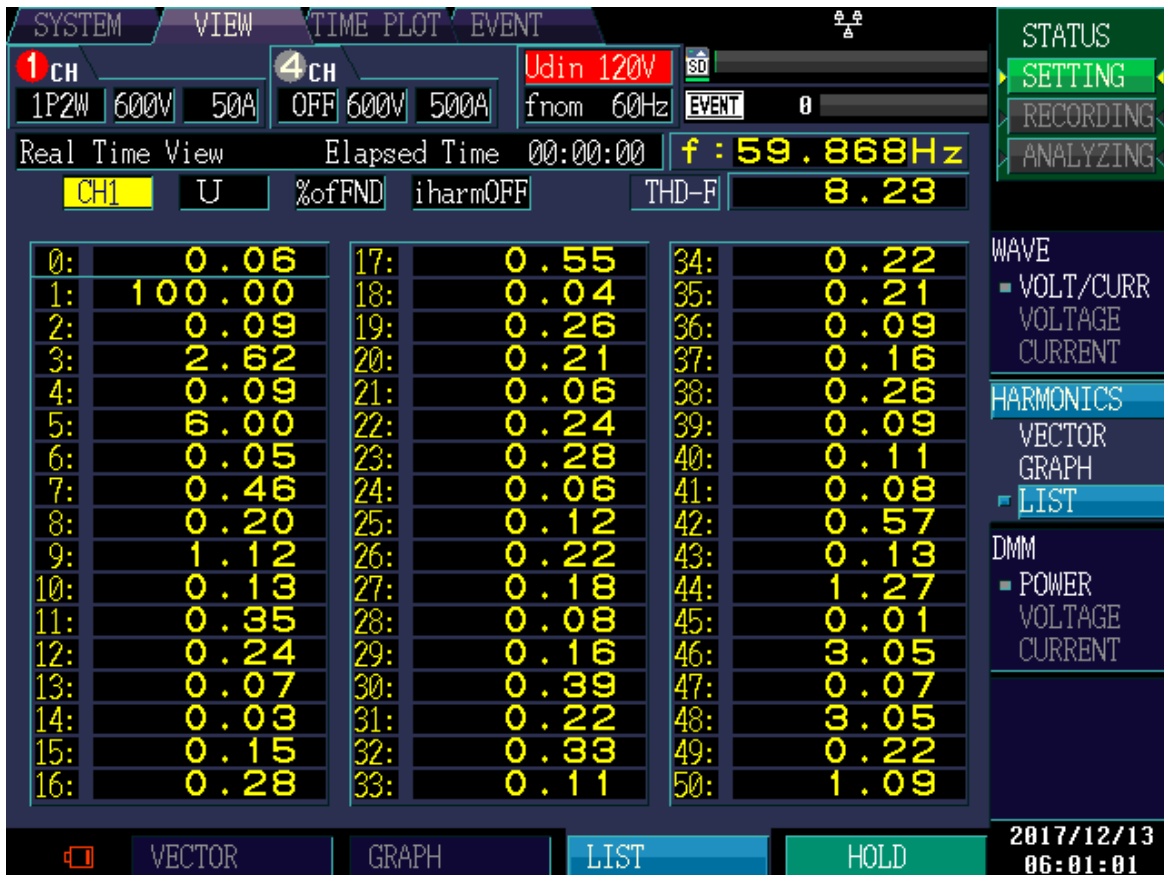


Figura 5.8 THD del CMLI en el estado con falla.

Se observa que el contenido armónico después de la reconfiguración del CMLI empleando el convertidor fuente Z es $THD = 8.23\%$ a una frecuencia de 59.868Hz , estando por arriba de la norma. Lo cual nos indica que al realizar la reconfiguración del estado nominal al estado con falla, la señal se degrada un 2.87% . Así mismo, la velocidad de respuesta del convertidor fuente Z, nos permite realizar una reconfiguración en el CMLI, con un $t < 2\text{ms}$, lo cual nos permite efectuar una falla aleatoria de la onda sinusoidal y restablecer la señal sin tener problemas de desfase o que se vea afectado alguno de los ciclos de la señal de salida.

5.5 Discusión de resultados.

Este trabajo muestra el uso del convertidor fuente Z como una alternativa para implementar una técnica de reconfiguración (enfoque señal) ante la presencia de fallas en los dispositivos semiconductores que componen al inversor multinivel en cascada, permitiendo operar al sistema en régimen degradado conservando la respuesta escalonada.

La discusión de resultados se divide en tres secciones, por un lado los resultados de la fuente Z, por otro lado los resultados empleando la técnica de reconfiguración y finalmente los resultados del conjunto fuente Z-inversor multinivel.

a) Convertidor fuente Z.

En [35, 36] se muestra al convertidor fuente Z conectado directamente a una configuración de tipo inversor puente completo (en conjunto). La operación de la fuente Z queda a cargo del inversor en donde la frecuencia de conmutación de la fuente Z está limitada al doble de la frecuencia de conmutación del inversor. Como consecuencia los elementos pasivos que se utilizan en la implementación de la fuente Z son proporcionalmente mayores que los empleados en este trabajo.

En [35] se presenta una respuesta dinámica de 250ms como resultado de la tensión de salida al escalón unitario (de 0 a plena carga) del conjunto convertidor fuente Z-Inversor. En [36] se presenta la misma respuesta dinámica pero solo del convertidor fuente Z. En este trabajo se tiene una respuesta dinámica alrededor de 2ms realizando un cambio de operación del 50% al 100% de la tensión de salida.

b) Técnicas de reconfiguración.

En [7] se presenta una estrategia de modulación de tipo vectorial, la cual basa su funcionamiento en el reacomodo de sus estados y vectores de conmutación redundantes, realizando un reordenamiento en sus señales de conmutación en el inversor ante la presencia de una falla en alguno de sus interruptores. Sin embargo cuando se presenta una falla y la reconfiguración es realizada se tiene un deterioro en las señales de salida del inversor. En este trabajo se hace uso de la redundancia analítica a través del cambio de operación en el inversor multinivel en cascada, pasando de modo simétrico a modo asimétrico preservando la respuesta escalada del inversor incluso ante la ausencia de un módulo de puente completo.

c) Conjunto fuente Z-inversor multinivel.

La literatura presenta a la fuente Z como un enlace entre la fuente de alimentación (fuente de CD, baterías, paneles fotovoltaicos, Etc.) y el inversor multinivel operando de manera nominal, sin embargo no se encontraron aplicaciones en el uso de esta como reconfiguración ante la presencia de una falla.

CAPÍTULO 6

CONCLUSIONES Y TRABAJOS FUTUROS

A continuación se presentan las conclusiones del trabajo realizado en esta tesis así como los trabajos futuros y los aspectos que se pueden trabajar en el CMLI y el convertidor fuente Z.

6.1 Conclusiones.

En este trabajo se cumplieron los objetivos planteados en esta tesis, al presentar el uso del convertidor fuente Z como una alternativa para implementar una técnica de reconfiguración (enfoque señal), ante la presencia de fallas de conmutación en los dispositivos semiconductores que componen al CMLI. Esta reconfiguración permite operar al sistema en régimen degradado conservando la respuesta escalonada inicial, aun después de perder uno de los tres módulos con los que está conformado el CMLI utilizado en este trabajo.

Se presentó una estrategia redundante para la compensación en el CMLI cuando ocurre una falla en alguno de los módulos empleados en el inversor 7 niveles. Para tolerar la falla. Se realiza una reconfiguración el sistema, al cambiar de modo de operación simétrico a modo asimétrico, separando el módulo dañado correspondiente; y así mismo, se efectúa un cambio de la modulación APOD-PWM empleada en el estado nominal (libre de falla) a la modulación híbrida usada en el estado de falla, apoyándose en el convertidor fuente Z para cambiar el CMLI de potencia 1 a potencia 2 y operar de en modo asimétrico.

La estrategia propuesta, permite al sistema ser tolerante a fallas y operar de manera continua aun cuando se pierde un módulo de puente completo. El CMLI proporciona una forma de onda balanceada de tensión cuando solo se tiene 2 de los 3 módulos iniciales. Esto logró realizando un cambio de operación en el convertidor fuente Z y empleando la modulación híbrida.

Al realizar la separación de la fuente Z de la etapa del inversor (sea este un puente completo o puente trifásico) y emplearlo como un convertidor CD-CD, se logra operar al convertidor fuente Z en alta frecuencia (100kHz), puesto que su frecuencia de conmutación ya no se encuentra limitada por los IGBT empleados en el CMLI, a lo cual, la respuesta dinámica del convertidor es alrededor de los 2ms, realizando un cambio de operación del 50% al 100% de la tensión de salida al efectuar la falla, a diferencia de las aplicaciones donde la fuente Z está conectada directamente al inversor por lo que su respuesta dinámica ronda alrededor de los 250ms; sin embargo la eficiencia en estas aplicaciones se mantiene en 97% [37], mientras que el convertidor fuente Z empleado para la reconfiguración del CMLI decae a un 90% en el estado de falla como se muestra en Figura 3.15.

Es importante mencionar que al operar al a la fuente Z como un convertidor CD-CD y conmutarlo a alta frecuencia, se tienen mayores pérdidas por conmutación, debido a los esfuerzos que presentan en los dispositivos de potencia, a diferencia de las

topologías empleadas en la literatura, las cuales al operar en baja frecuencia, sus pérdidas son menores y así mismo, su eficiencia se mantiene por encima del 95%.

Al emplear el convertidor fuente Z en conjunto con la técnica de redundancia analítica empleando la modulación híbrida en el CMLI, cambiando su operación de modo simétrico a modo asimétrico, se logra conservar los siete niveles iniciales en los que opera el CMLI con una degradación en la calidad de la energía con una diferencia en la THD de 2.87% entre los ambos modos de operación (simétrico – asimétrico).

6.2 Trabajos futuros.

Con base a los resultados obtenidos se plantea:

- Realizar un sensado de corrientes o tensiones en el CMLI con la finalidad de establecer un sistema de control y así mismo cerrar el lazo para la detección de fallas en aplicaciones de convertidor fuente Z en conjunto con el CMLI.
- Aplicar un convertidor fuente Z en cada uno de los módulos que conforman al CMLI, permitiendo realizar una reconfiguración, (simétrico -asimétrico) con cualquiera de los módulos disponibles.
- Al emplear un convertidor fuente Z en cada uno de los módulos es posible alternar a configuraciones de potencia 2 o 3 con el fin de incrementar los niveles de tensión a la salida.
- Se plantea explorar las diferentes alternativas mostradas en la literatura respecto a las variaciones o modificaciones que se han realizado en la fuente Z, con la finalidad de mejorar la respuesta de salida del CMLI, mejorar la respuesta transitoria, la THD, etc.

6.3 Referencias.

- [1] S. Ceballos, J. Pou, I. Gabiola, J. L. Villate, J. Zaragoza, and D. Boroyevich, "Fault-tolerant multilevel converter topology," in *Industrial Electronics, 2006 IEEE International Symposium on*, 2006, pp. 1577-1582.
- [2] J. Chatzakis and E. Antonidakis, "A novel N+k fault-tolerant hot-swap DC/AC inverter design," in *2008 IEEE Power Electronics Specialists Conference*, 2008, pp. 3291-3294.
- [3] D. J. P. Hu, Y. Zhou, Y. Liang, J. Guo, and Z. Lin, "Energy-balancing Control Strategy for Modular Multilevel Converters Under Submodule Fault Conditions," *IEEE Transactions on power electronics*, vol. 29, pp. 5021-5030, 2014.
- [4] J. Dixon, P. Barriuso, M. Ortuzar, L. Moran, J. Pontt, and J. Rodriguez, "Fault Tolerant Reconfiguration System for Asymmetric Multilevel Converters Using Bi-Directional Power Switches," in *IECON 2007 - 33rd Annual Conference of the IEEE Industrial Electronics Society*, 2007, pp. 2124-2129.
- [5] L. V. C. Reyna, and A. Sánchez, "Control tolerante a fallas con modelo de control predictivo en el motor de inducción," Maestría, Departamento de Ingeniería Electrónica, Centro Nacional de Investigación y Desarrollo Tecnológico, Cuernavaca Morelos, 2008.
- [6] D. D. M. Villagarcía, "Análisis de un Convertidor Multinivel en Cascada con Tolerancia a Fallas en los Interruptores Empleando la Técnica IPDWM.," Maestría Electrónica de Potencia, Centro Nacional de Investigación y Desarrollo Tecnológico (CENIDET), 2004.
- [7] M. C. R. A. V. Méndez, "Análisis de un Convertidor Multinivel en Cascada con Tolerancia a Fallas Empleando Control PWM Vectorial " Doctor, Departamento de Electrónica de Potencia, Centro Nacional de Investigación y Desarrollo Tecnológico, Cuernavac, Morelos, 2015.
- [8] E. S. A. Ebrahim Babaei, "Steady-state analysis of high-voltage gain multiple series Z-source inverter," *IET Power Electronics*, vol. 10, pp. 1518-1528, 2017.
- [9] Y. Zhang, J. Liu, X. Li, X. Ma, S. Zhou, H. Wang, *et al.*, "An improved pwm strategy for z-source inverter with maximum boost capability and minimum switching frequency," *IEEE Transactions on Power Electronics*, vol. 33, pp. 606-628, 2018.
- [10] E. Behrouzian and K. D. Papastergiou, "A hybrid photovoltaic and battery energy storage system for high power grid-connected applications," in *Power Electronics and Applications (EPE), 2013 15th European Conference on*, 2013, pp. 1-10.
- [11] M. P. Kazmierkowski, R. Krishnan, and F. Blaabjerg, *Control in power electronics: selected problems*: Academic press, 2002.

- [12] I. Y. Blanco, B. L. C. Martínez, and A. C. Montiel, "Inversores multinivel para aplicaciones de gran potencia. Estado del arte," *Ingeniería Energética*, vol. 25, p. 38 a la 44, 2004.
- [13] C. Turpin, P. Baudesson, F. Richardeau, F. Forest, and T. A. Meynard, "Fault management of multicell converters," *IEEE Transactions on Industrial Electronics*, vol. 49, pp. 988-997, 2002.
- [14] J. L. Coutiño, "Análisis de Técnicas de Modulación en Convertidores Multinivel en Cascada Asimétrico," Maestría, Electrónica de potencia, Centro Nacional de Investigación y Desarrollo Tecnológico, Cuernavaca, Morelos, 2013.
- [15] D. G. Holmes and T. A. Lipo, *Pulse width modulation for power converters: principles and practice* vol. 18: John Wiley & Sons, 2003.
- [16] L. M. Tolbert and T. G. Habetler, "Novel multilevel inverter carrier-based PWM methods," in *Industry Applications Conference, 1998. Thirty-Third IAS Annual Meeting. the 1998 IEEE*, 1998, pp. 1424-1431.
- [17] L. Li, D. Czarkowski, Y. Liu, and P. Pillay, "Multilevel selective harmonic elimination PWM technique in series-connected voltage inverters," *IEEE Transactions on Industry Applications*, vol. 36, pp. 160-170, 2000.
- [18] H. Taghizadeh and M. T. Hagh, "Harmonic elimination of cascade multilevel inverters with nonequal DC sources using particle swarm optimization," *IEEE Transactions on Industrial Electronics*, vol. 57, pp. 3678-3684, 2010.
- [19] L. G. Franquelo, J. Rodriguez, J. I. Leon, S. Kouro, R. Portillo, and M. A. Prats, "The age of multilevel converters arrives," *IEEE industrial electronics magazine*, vol. 2, 2008.
- [20] C. Rech and J. R. Pinheiro, "Impact of hybrid multilevel modulation strategies on input and output harmonic performances," *IEEE transactions on power electronics*, vol. 22, pp. 967-977, 2007.
- [21] F. Z. Peng, "Z-source inverter," *IEEE Transactions on industry applications*, vol. 39, pp. 504-510, 2003.
- [22] P. Fang Zheng, S. Miaosen, and Q. Zhaoming, "Maximum boost control of the Z-source inverter," *IEEE Transactions on Power Electronics*, vol. 20, pp. 833-838, 2005.
- [23] A. S. Priyaa, R. Seyezhai, and B. L. Mathur, "Design and implementation of cascaded Z-Source Multilevel Inverter," in *IEEE-International Conference On Advances In Engineering, Science And Management (ICAESM -2012)*, 2012, pp. 354-360.

- [24] M. S. Pilehvar, M. Mardaneh, and A. Rajaei, "Formulation of phase voltage and calculation of its total harmonic distortion in multilevel Z-source inverter," *IET Power Electronics*, vol. 8, pp. 1509-1518, 2015.
- [25] B. Mirafzal, "Survey of fault-tolerance techniques for three-phase voltage source inverters," *IEEE Transactions on Industrial Electronics*, vol. 61, pp. 5192-5202, 2014.
- [26] L. M. D. Jimena, C. M. G. Alberto, D. Chávez, J. Oscar, and G. L. C. Alberto, "Modulación PWM aplicada a inversores trifásicos dentro del esquema de accionamientos eléctricos AC," *Universidad del Cauca, Facultad de Ingeniería Electrónica y Telecomunicaciones (FIET)*, 2007.
- [27] Y. Tang, S. Xie, C. Zhang, and Z. Xu, "Improved Z-source inverter with reduced Z-source capacitor voltage stress and soft-start capability," *IEEE Transactions on Power Electronics*, vol. 24, pp. 409-415, 2009.
- [28] P. C. Loh, D. M. Vilathgamuwa, Y. S. Lai, G. T. Chua, and Y. Li, "Pulse-width modulation of Z-source inverters," in *Industry Applications Conference, 2004. 39th IAS Annual Meeting. Conference Record of the 2004 IEEE*, 2004.
- [29] Q.-V. Tran, T.-W. Chun, J.-R. Ahn, and H.-H. Lee, "Algorithms for controlling both the DC boost and AC output voltage of Z-source inverter," *IEEE Transactions on Industrial Electronics*, vol. 54, pp. 2745-2750, 2007.
- [30] M. Shen, A. Joseph, J. Wang, F. Z. Peng, and D. J. Adams, "Comparison of traditional inverters and Z-source inverter for fuel cell vehicles," *IEEE Transactions on Power Electronics*, vol. 22, pp. 1453-1463, 2007.
- [31] F. E. R. Díaz, "Diseño y construcción de un inversor trifásico multinivel," *Pontificia Universidad Católica De Chile. Escuela de ingeniería, departamento de ingeniería eléctrica. Santiago De Chile*, 2003.
- [32] K. Zhou and D. Wang, "Relationship between space-vector modulation and three-phase carrier-based PWM: a comprehensive analysis [three-phase inverters]," *IEEE transactions on industrial electronics*, vol. 49, pp. 186-196, 2002.
- [33] U. S. Ali and V. Kamaraj, "Bipolar multicarrier PWM techniques for cascaded quasi-Z-source multilevel inverter," in *2013 International Conference on Circuits, Power and Computing Technologies (ICCPCT)*, 2013, pp. 236-240.
- [34] J. A. Alquicira, "Diagnóstico de fallas en un inversor a partir de los tiempos de conmutación en los dispositivos semiconductores," Doctorado, Departamento de Ingeniería Electrónica, Cenidet, 2004.
- [35] S. Birundha and V. Saravanan, "Design and development of Z source cascaded seven level inverter for solar photovoltaic system," in *2015 International Conference on Computation of Power, Energy, Information and Communication (ICCPEIC)*, 2015, pp. 0087-0092.

- [36] S. Patra, Ankur, A. Mohanty, S. R. Mohanty, and N. Kishor, "Comparative assessment of the improvement of output voltage with increased level quasi-Z Source Multilevel inverter," in *2013 Students Conference on Engineering and Systems (SCES)*, 2013, pp. 1-5.
- [37] B. Gadalla, E. Schaltz, Y. Siwakoti, and F. Blaabjerg, "Thermal performance and efficiency investigation of conventional boost, z-source and y-source converters," in *Environment and Electrical Engineering (EEEIC), 2016 IEEE 16th International Conference on*, 2016, pp. 1-6.

ANEXO

A

Datos de diseño del convertidor fuente Z.

A continuación se muestran los datos de diseño y ecuaciones del convertidor fuente Z en estado nominal (libre de falla).

$$\begin{aligned}V_o &= 80V \\V_{in} &= 38V \\f_s &= 100kHz \\P &= 100W \\I_o &= \frac{P}{V_o} = 1.25A \\I_{in} &= \frac{P}{V_{in}} = 2.632A \\R_L &= \frac{P}{I_o^2} = 64\Omega \\ \Delta_{iL} &= 0.25A \\ \Delta_{vC} &= 0.05 * V_o = 4V\end{aligned}$$

Una vez propuesto los datos de diseño, se parte a calcular la ganancia del convertidor:

$$G = \frac{V_o}{V_{in}} = 2.105 \quad (A.1)$$

Del cálculo de la ganancia:

$$G = \frac{1 - D}{1 - 2D} = 2.105 \quad (A.2)$$

$$D = \frac{G - 1}{2 * G - 1} = 0.344 \quad (A.3)$$

Se calcula el factor de elevación:

$$B = \frac{1}{1 - 2D} = 3.205 \quad (A.4)$$

La tensión máxima de impulso:

$$V_{in} * B = V_{in} * B = 121.795V \quad (4.5)$$

La corriente máxima pico en el inductor:

$$I_{pkaMax} = I_{in} + \frac{\Delta_{iL}}{2} = 2.757A \quad (A.6)$$

La corriente mínima pico en el inductor.

$$I_{pkMin} = I_{in} - \frac{\Delta_{iL}}{2} = 2.507A \quad (4.7)$$

El inductor en el estado de conducción (ST) de la ecuación (3:12):

$$L_{st} = \frac{V_o * D}{f_s * \Delta_{iL}} = 1.102 \text{ mH}$$

El inductor en el estado de cortocircuito (NST) de la ecuación (3:13):

$$L_{nst} = \frac{(V_o - V_{in})(1 - D)}{f_s * \Delta_{iL}} = 1.102 \text{ mH}$$

El capacitor en el estado de conducción (ST) de la ecuación (3:14):

$$C_{st} = \frac{I_{in} * D}{f_s * \Delta_{VC}} = 2.265 \mu F$$

El inductor en el estado de cortocircuito (NST) de la ecuación (3:15):

$$C_{nst} = \frac{(I_{in} - I_o) * (1 - D)}{f_s * \Delta_{VC}} = 2.265 \mu F$$

Las corrientes pico y promedio de las ecuaciones (3:22) y (3:23):

$$i_{pkD} = 2 \left(I_{in} - \frac{V_o * D}{2 * f_s * L_{st}} \right) = 5.103A$$

$$I_{d_{promedio}} = (2 * I_o)(1 - D) = 1.639A$$

A continuación se muestran los datos de diseño y ecuaciones del convertidor fuente Z en estado de falla.

$$V_o = 40V$$

$$V_{in} = 38V$$

$$f_s = 100kHz$$

$$P = 25W$$

$$I_o = \frac{P}{V_o} = 0.625A$$

$$I_{in} = \frac{P}{V_{in}} = 0.658A$$

$$R_L = \frac{P}{I_o^2} = 64\Omega$$

$$\Delta_{iL} = 0.25A$$

$$\Delta_{VC} = 0.05 * V_o = 2V$$

Una vez propuesto los datos de diseño, se parte a calcular la ganancia del convertidor:

$$G = \frac{V_o}{V_{in}} = 1.053$$

Del cálculo de la ganancia de la ecuación (A.1):

$$G = \frac{1 - D}{1 - 2D} = 1.053$$

$$D = \frac{G - 1}{2 * G - 1} = 0.048$$

Se calcula el factor de elevación de la ecuación (A.3):

$$B = \frac{1}{1 - 2D} = 1.106$$

La tensión máxima de impulso:

$$V_{in} * B = V_{in} * B = 42.035V$$

La corriente máxima pico en el inductor (A.6):

$$I_{pkaMax} = I_{in} + \frac{\Delta_{iL}}{2} = 0.783A$$

La corriente mínima pico en el inductor (A.7).

$$I_{pkaMin} = I_{in} - \frac{\Delta_{iL}}{2} = 0.533A$$

Las corrientes pico y promedio de las ecuaciones (3:22) y (3:23):

$$i_{pkD} = 2 \left(I_{in} - \frac{V_o * D}{2 * f_s * L_{st}} \right) = 1.299A$$

$$I_{d_{promedio}} = (2 * I_o)(1 - D) = 1.19A$$

ANEXO

B

Caracterización del convertidor fuente Z.

Para entender el funcionamiento del convertidor fuente Z, se realizó una caracterización, en el cual se hizo un barrido de su ciclo de trabajo en múltiplos del 4%, y a su vez, con una variación de tensión de 5V. Los resultados de la caracterización son presentados en las siguientes tablas.

Tabla B.1 Caracterización del convertidor fuente Z con D= 4%.

Convertidor fuente Z (D=4%)								
Vin(V)	Iin(mA)	Io(mA)	Vo (V)	IDPk(mA)	G	Pin (W)	Po (W)	Eficiencia
5	30	29.6	4.89	340	0.98	0.15	0.1	0.965
10	90	85.5	10.22	414.01	1.02	0.9	0.9	0.971
15	150	133	16.46	478	1.10	2.25	2.2	0.973
20	200	186	20.71	558	1.04	4	3.9	0.963
25	250	229.1	25.95	627	1.04	6.25	5.9	0.951
30	310	291.6	31.2	701.5	1.04	9.3	9.1	0.978
35	360	337.8	36.4	760.1	1.04	12.6	12.3	0.976
40	430	400.9	41.61	820.1	1.04	17.2	16.7	0.970
								0.968

Tabla B.2 Caracterización del convertidor fuente Z con D= 8%.

Convertidor fuente Z (D=8%)								
Vin(V)	Iin(mA)	Io(mA)	Vo (V)	IDPk(mA)	G	Pin (W)	Po (W)	Eficiencia
5	45	42.2	5.14	301.8	1.03	0.225	0.2	0.964
10	110	98.8	10.73	386.7	1.07	1.1	1.1	0.964
15	160	145.4	16.19	465.4	1.08	2.4	2.4	0.981
20	240	215.3	21.71	553.3	1.09	4.8	4.7	0.974
25	290	264.5	27.29	625.4	1.09	7.25	7.2	0.996
30	340	296.6	32.57	725.4	1.09	10.2	9.7	0.947
35	410	374.1	38.08	981.5	1.09	14.35	14.2	0.993
40	460	415.7	43.6	1245	1.09	18.4	18.1	0.985
								0.975

Tabla B.3 Caracterización del convertidor fuente Z con D=12%.

Convertidor fuente Z (D=12%)								
Vin(V)	Iin(mA)	Io(mA)	Vo (V)	IDPk(mA)	G	Pin (W)	Po (W)	Eficiencia
5	55	50.5	5.44	290.6	1.09	0.275	0.3	0.999
10	115	100.3	11.3	386.4	1.13	1.15	1.1	0.986
15	190	154.5	17.7	545.6	1.18	2.85	2.7	0.960
20	250	218.5	22.81	623.5	1.14	5	5.0	0.997
25	330	271.9	29.68	795.8	1.19	8.25	8.1	0.978
30	390	328.2	34.53	956	1.15	11.7	11.3	0.969
35	460	394.3	40.21	1103	1.15	16.1	15.9	0.985
40	530	454.5	46.15	1113	1.15	21.2	21.0	0.989
								0.983

Tabla B.4 Caracterización del convertidor fuente Z con D=16%.

Convertidor fuente Z (D=16%)								
Vin(V)	Iin(mA)	Io(mA)	Vo (V)	IDPk(mA)	G	Pin (W)	Po (W)	Eficiencia
5	55	45.8	5.8	302.5	1.16	2.75	2.7	0.966
10	140	112.3	12.02	441.1	1.20	14	13.5	0.964
15	210	170.7	18.21	657.4	1.21	31.5	31.1	0.987
20	290	227.5	24.81	769.5	1.24	58	56.4	0.973
25	380	309.6	30.57	1046	1.22	95	94.6	0.996
30	450	362.5	36.83	1187	1.23	135	133.5	0.989
35	530	417	43.01	1400	1.23	185.5	179.4	0.967
40	610	480.2	49.19	1463	1.23	244	236.2	0.968
								0.976

Tabla B.5 Caracterización del convertidor fuente Z con D=20%.

Convertidor fuente Z (D=20%)								
Vin(V)	Iin(mA)	Io(mA)	Vo (V)	IDPk(mA)	G	Pin (W)	Po (W)	Eficiencia
5	70	56.28	6.15	322.7	1.23	3.5	3.5	0.989
10	170	127.8	12.97	526	1.30	17	16.6	0.975
15	260	194.5	19.64	752.2	1.31	39	38.2	0.979
20	360	270.4	26.3	1018	1.32	72	71.1	0.988
25	450	325	33.02	1105	1.32	112.5	107.3	0.954
30	550	395.6	39.7	1397	1.32	165	157.1	0.952
35	640	459.1	46.42	1538	1.33	224	213.1	0.951
40	740	532.2	53.14	1817	1.33	296	282.8	0.955
								0.968

Tabla B.6 Caracterización del convertidor fuente Z con D=24%.

Convertidor fuente Z (D=24%)								
Vin(V)	Iin(mA)	Io(mA)	Vo (V)	IDPk(mA)	G	Pin (W)	Po (W)	Eficiencia
5	90	65.26	6.85	370	1.37	4.5	4.5	0.993
10	200	133.7	14.32	648	1.43	20	19.1	0.957
15	310	205.4	21.08	935	1.41	46.5	43.3	0.931
20	430	290.2	28.2	1213	1.41	86	81.8	0.952
25	540	366.7	36.13	1486	1.45	135	132.5	0.981
30	650	442.2	43.14	1733	1.44	195	190.8	0.978
35	760	506.7	50.28	2003	1.44	266	254.8	0.958
40	880	581.8	58.2	2301	1.46	352	338.6	0.962
								0.964

Tabla B.7 Caracterización del convertidor fuente Z con D=28%.

Convertidor fuente Z (D=28%)								
Vin(V)	Iin(mA)	Io(mA)	Vo (V)	IDPk(mA)	G	Pin (W)	Po (W)	Eficiencia
5	110	78.13	7.63	465	1.53	5.5	6.0	1.084
10	245	151.3	15.02	808	1.50	24.5	22.7	0.928
15	420	241.8	24	1199	1.60	63	58.0	0.921
20	560	318.1	32.21	1550	1.61	112	102.5	0.915
25	710	407.9	41.46	1921	1.66	177.5	169.1	0.953
30	860	485.1	48.68	2319	1.62	258	236.1	0.915
35	1010	569.1	56.78	2513	1.62	353.5	323.1	0.914
40	1140	660.8	65.37	2788	1.63	456	432.0	0.947
								0.947

Tabla B.8 Caracterización del convertidor fuente Z con D=32%.

Convertidor fuente Z (D=32%)								
Vin(V)	Iin(mA)	Io(mA)	Vo (V)	IDPk(mA)	G	Pin (W)	Po (W)	Eficiencia
5	160	83.845	8.7	602	1.74	8	7.3	0.912
10	340	180.5	17.8	1125	1.78	34	32.1	0.945
15	510	271.5	27.03	1652	1.80	76.5	73.4	0.959
20	700	361.1	36.27	2187	1.81	140	131.0	0.936
25	890	454.3	45.57	2693	1.82	222.5	207.0	0.930
30	1080	542.2	55.07	2939	1.84	324	298.6	0.922
35	1260	634.3	63.99	3201	1.83	441	405.9	0.920
40	1440	725.2	73.1	3257	1.83	576	530.1	0.920
								0.931

Tabla B.9 Caracterización del convertidor fuente Z con D=36%.

Convertidor fuente Z (D=36%)								
Vin(V)	Iin(mA)	Io(mA)	Vo (V)	IDPk(mA)	G	Pin (W)	Po (W)	Eficiencia
5	240	104.7	10.22	867.7	2.04	12	10.7	0.892
10	470	208.6	21.09	1687	2.11	47	44.0	0.936
15	760	330	32.04	2590	2.14	114	105.7	0.927
20	1030	426.2	42.98	3100	2.15	206	183.2	0.889
25	1300	533.1	53.93	3712	2.16	325	287.5	0.885
30	1580	641.2	64.84	3939	2.16	474	415.8	0.877
35	1860	766.2	75.1	5100	2.15	651	0.0	0.000
40	0	0	0	0	0.00	0	0.0	0.000
								0.901