



# Tecnológico Nacional de México

Centro Nacional de Investigación  
y Desarrollo Tecnológico

## Tesis de Doctorado

Estrategia de modulación multiportadora modificada para balance energético de un convertidor multinivel en cascada monofásico.

presentada por

**M.C. Yesenia Reyes Severiano**

como requisito para la obtención del grado de  
**Doctora en Ciencias en Ingeniería Electrónica**


Director de tesis

**Dr. Jesús Aguayo Alquicira**

Codirector de tesis

**Dra. Susana Estefany De León Aldaco**

Cuernavaca, Morelos, México. Junio de 2023.

 Centro Nacional de Investigación y Desarrollo Tecnológico	<b>ACEPTACIÓN DE IMPRESIÓN DEL DOCUMENTO DE TESIS DOCTORAL</b>	Código: CENIDET-AC-006-D20
	Referencia a la Norma ISO 9001:2008 7.1, 7.2.1, 7.5.1, 7.6, 8.1, 8.2.4	Revisión: 0


Cuernavaca, Mor., a 31 de mayo de 2023


**Dr. Carlos Manuel Astorga Zaragoza**  
**Subdirector Académico**  
**Presente**


**At'n: Dr. Carlos Daniel García Beltrán**  
**Presidente del Claustro Doctoral**  
**del Departamento De Ing. Electrónica**


Los abajo firmantes, miembros del Comité Tutorial de la estudiante Yesenia Reyes Severiano, manifiestan que después de haber revisado el documento de tesis titulado "Estrategia de Modulación Multiportadora Modificada para Balance Energético de un Convertidor Multinivel en Cascada Monofásico", realizado bajo la dirección del Dr. Jesús Aguayo Alquicira y la codirección de la Dra. Susana Estefany de León Aldaco, el trabajo se ACEPTA para proceder a su impresión.


ATENTAMENTE

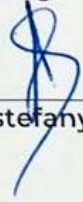
  
 Dr. Abraham Claudio Sánchez  
 CENIDET

  
 Dr. Carlos Aguilar Castillo  
 CENIDET

  
 Dr. Rodolfo Amalio Vargas Méndez  
 CENIDET

  
 Dr. Adolfo Rafael López Núñez  
 Instituto Tecnológico Superior de  
 Irapuato

  
 Dr. Jesús Aguayo Alquicira  
 CENIDET

  
 Dra. Susana Estefany de León Aldaco  
 CENIDET

c.c.p: Lic. Silvia del Carmen Ortiz Fuentes/ jefa del Departamento de Servicios Escolares.  
 c.c.p: Dr. Hugo Estrada Esquivel / jefe del Departamento de Ingeniería Electrónica.  
 c.c.p: Expediente.



Cuernavaca, Mor.,  
No. De Oficio:  
Asunto:

**05/junio/2023**  
**SAC/090/2023**  
**Autorización de**  
**impresión de tesis**

**M.C. YESENIA REYES SEVERIANO**  
**CANDIDATA AL GRADO DE DOCTORA EN CIENCIAS**  
**EN INGENIERÍA ELECTRÓNICA**  
**P R E S E N T E**

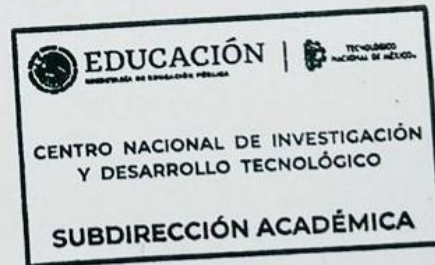
Por este conducto, tengo el agrado de comunicarle que el Comité Tutorial asignado a su trabajo de tesis titulado **“Estrategia de Modulación Multiportadora Modificada para Balance Energético de un Convertidor Multinivel en Cascada Monofásico”**, ha informado a esta Subdirección Académica, que están de acuerdo con el trabajo presentado. Por lo anterior, se le autoriza a que proceda con la impresión definitiva de su trabajo de tesis.

Esperando que el logro del mismo sea acorde con sus aspiraciones profesionales, reciba un cordial saludo.

**ATENTAMENTE**

*Excelencia en Educación Tecnológica®*  
*“Conocimiento y tecnología al servicio de México”*

**DR. CARLOS MANUEL ASTORGA ZARAGOZA**  
**SUBDIRECTOR ACADÉMICO**



C. c. p. Departamento de Ingeniería Electrónica  
Departamento de Servicios Escolares

CMAZ/lmz



## Dedicatorias

---

### **A Dios**

Por siempre estar presente en mi vida, por cuidarme en todo momento y guiarme en mis decisiones.

### **A mi madre**

Por su gran amor y apoyo incondicional para realizar mis sueños a lo largo de mi vida; por enseñarme valores y ser mi ejemplo de mujer fuerte y admirable.

### **A mi padre y Hermana Sara (†)**

Aunque no estén físicamente conmigo, sé que desde el cielo me guían y me protegen.

### **A mi abuela**

Por ser mi segunda madre, por cuidarme desde pequeña y darme su amor incondicional. Por creer en mí.

### **A mi hermana Dani**

Por ser mi apoyo incondicional, porque en estos años de doctorado tuve momentos difíciles y siempre estuvo para darme siempre su apoyo y sacarme una sonrisa en los momentos difíciles.

### **A mi futuro esposo**

Mauricio Carrillo, por ser mi compañero de vida, porque solamente nosotros sabemos lo complicado que fue el camino para terminar los estudios de doctorado. Juntos hemos logrado grandes cosas y a lo largo de los años siempre me ha impulsado a salir adelante en los momentos difíciles, por ser mi apoyo, mi mejor amigo y mi amor.

## Agradecimientos

---

Al Dr. Jesús Aguayo Alquicira, por su dedicación y paciencia para dirigirme en el trabajo de tesis. Por el gran apoyo brindado tanto en lo personal como en lo académico desde que comenzamos a trabajar juntos en maestría.

A la Dra. Susana Estefany De León Aldaco, por sus oportunos comentarios en la realización de la tesis. Le agradezco por su paciencia, por creer en mi e impulsarme a publicar artículos y participar en congresos.

A mis revisores, Dr. Abraham Claudio Sánchez, Dr. Carlos Aguilar Castillo, Dr. Rodolfo Vargas Méndez y Dr. Adolfo Rafael López Núñez por sus consejos, aportaciones y correcciones en la realización de este trabajo de tesis.

Al Centro Nacional de Investigación y Desarrollo Tecnológico (CENIDET) por darme la oportunidad de llevar a cabo mis estudios de Doctorado.

Al personal del departamento de Electrónica, por el apoyo brindado durante mi estancia en CENIDET.

Al laboratorio de Electrónica de Potencia por proporcionarme los recursos requeridos por el trabajo de tesis.

Al Consejo Nacional de Ciencia y Tecnología (CONACyT) por brindarme apoyo económico para realizar mis estudios de Doctorado.

## Resumen

---

Un tema de gran interés en la actualidad es lograr la generación y transformación de energía de manera eficiente, de tal manera que no aumente la complejidad y el costo de un sistema. Dentro de los tipos de conversión de energía, este trabajo de investigación se centra en la conversión de corriente directa a corriente alterna, la cual es empleada en diferentes aplicaciones, por ejemplo, en sistemas fotovoltaicos. Sin embargo, dentro de los componentes que integran a este tipo de sistemas existen inconvenientes, tal como lo es el desbalance energético que se presenta entre las celdas del inversor.

En este trabajo de tesis se aborda el estudio, diseño e implementación de una técnica de modulación modificada con señales moduladoras reconstruidas, cuyo objetivo es asegurar el balance energético en cada celda de un inversor multinivel en cascada monofásico de siete niveles de tensión a la salida y así lograr un impacto positivo tanto en el aspecto económico como en la confiabilidad del sistema. Asimismo, con la finalidad de comprobar el desempeño de la estrategia desarrollada se lleva a cabo la comparación en cuanto a los diferentes parámetros establecidos, tales como distorsión armónica, porcentaje de desbalance, porcentaje de uso de recursos digitales y potencia transferida a la carga, respecto a estrategias de modulación existentes (PSC, LS moduladora, LS portadora) con fines de balance energético.

## Abstract

---

A topic of great interest nowadays is to carry out the generation and transformation of energy efficiently, in a way that does not increase the complexity and cost of a system. This research work focuses on the conversion of direct current to alternating current, which is used in different applications, for example, in photovoltaic systems. However, within the components that integrate this type of systems there are drawbacks, such as the energy unbalance that occurs between the inverter cells.

This thesis work deals with the study, design, and implementation of a modified modulation technique with reconstructed modulating signals, whose objective is to ensure the energy balance in each cell of a single-phase multilevel cascade inverter with seven voltage levels at the output and thus achieve a positive impact on both the economic aspect and the reliability of the system. Also, to verify the performance of the developed strategy, a comparison is carried out in terms of the different parameters established, such as harmonic distortion, percentage of unbalance, percentage of digital resources use, and power transferred to the load, concerning existing modulation strategies (PSC, LS modulator, LS carrier) for energy balancing purposes.

# Contenido

---

Índice de figuras .....	vii
Índice de tablas .....	xii
Nomenclatura .....	xiii
Acrónimos .....	xiv
<b>CAPÍTULO 1: INTRODUCCIÓN .....</b>	<b>1</b>
1.1. Antecedentes.....	1
1.2. Estado del arte .....	3
1.3. Planteamiento del problema .....	5
1.4. Propuesta de solución.....	7
1.5. Objetivos.....	8
1.5.1 Objetivo general.....	8
1.5.2 Objetivos específicos .....	8
1.6. Alcances .....	8
1.7. Aportación .....	8
1.8. Originalidad.....	9
1.9. Organización del documento .....	9
<b>CAPÍTULO 2: ELEMENTOS DE CONVERSIÓN CD-CA.....</b>	<b>10</b>
2.1 Descripción general .....	10
2.2 Inversores multinivel.....	10
2.2.1. Inversor multinivel con capacitores flotantes, FCMLI.....	11
2.2.2. Inversor con punto neutro, NPC .....	12
2.2.3. Inversor multinivel en cascada, CMLI.....	12
2.2.4. Inversor multinivel modular, MMC.....	13
2.3 Estrategias de modulación.....	15
2.3.1. Estrategia de modulación de eliminación selectiva de armónicos.....	15
2.3.2. Estrategia de modulación PWM multiportadora.....	16
2.3.2.1. Estrategias sin fines de balance energético .....	17



2.3.2.2. Estrategias con fines de balance energético .....	18
CAPÍTULO 3: DISEÑO DE ESTRATEGIA DE MODULACIÓN PROPUESTA .....	21
3.1 Descripción general .....	21
3.3 Estrategia “moduladoras reconstruidas” .....	31
CAPÍTULO 4: IMPLEMENTACIÓN DE ESTRATEGIA DE MODULACIÓN EN FPGA .....	35
4.1 Descripción general .....	35
4.2 FPGA Altera Cyclone II.....	35
4.3 Lenguaje de programación empleado .....	37
4.4 Descripción de códigos.....	37
4.4.1. Implementación tipo 1 .....	38
4.4.2. Implementación tipo 2 .....	41
4.4.3. Implementación tipo 3 .....	44
CAPÍTULO 5: RESULTADOS EN SIMULACIÓN .....	47
5.1 Descripción general .....	47
5.2 Especificaciones de prueba.....	47
5.3 Resultados en simulación.....	48
5.3.1. Estrategia sin balance energético .....	48
5.3.2. Estrategias de modulación existentes, con fines de balance energético .....	50
5.3.2.1. Estrategia de modulación PSC .....	50
5.3.2.2. Estrategia de modulación LS PWM con desplazamiento por ciclo de señal moduladora 51	
5.3.2.1. Estrategia de modulación LS PWM con desplazamiento por ciclo de señal portadora 52	
5.4 Discusión de resultados en simulación .....	58
5.4.1. Porcentaje de desviación de acuerdo con el número de conmutaciones y tiempos de conducción por celda .....	58
5.4.2. Distorsión armónica total (THD) y factor de distorsión (DF) .....	58
5.4.3. Desbalance máximo de energía entre celdas .....	59
5.4.4. Energía transferida por cada celda.....	59
CAPÍTULO 6: RESULTADOS EXPERIMENTALES .....	61
6.1 Descripción general .....	61
6.2 Especificaciones de prueba.....	61

6.3	Plataforma experimental .....	63
6.4	Resultados experimentales .....	65
6.4.1	Estrategia sin balance energético, PD .....	65
6.4.1.1	Recursos digitales.....	65
6.4.1.2	Potencia.....	66
6.4.1.3	THD y DF .....	67
6.4.1.4	Temperatura .....	67
6.4.2	Estrategias de modulación con fines de balance energético, PSC .....	68
6.4.2.1.	Recursos digitales.....	68
6.4.2.2.	Potencia.....	69
6.4.2.3.	THD y DF .....	69
6.4.2.4.	Temperatura .....	70
6.4.3	Estrategias de modulación con fines de balance energético, LS moduladora .....	71
6.4.3.1	Recursos digitales.....	71
6.4.3.2	Potencia.....	72
6.4.3.3	THD y DF .....	72
6.4.3.4	Temperatura .....	73
6.4.4	Estrategias de modulación con fines de balance energético, LS portadora.....	74
6.4.4.1	Recursos digitales.....	74
6.4.4.2	Potencia.....	74
6.4.4.3	THD y DF .....	75
6.4.4.4	Temperatura .....	76
6.4.5	Estrategia de modulación alternativa propuesta, “moduladoras reconstruidas” .....	77
6.4.5.1	Recursos digitales.....	77
6.4.5.1	Potencia.....	77
6.4.5.2	THD y DF .....	78
6.4.5.3	Temperatura .....	79
6.5	Discusión de resultados experimentales .....	80
6.5.1	Distorsión armónica total (THD) y factor de distorsión (DF) .....	80
6.5.2	Porcentaje de desbalance máximo de potencia entre celdas.....	81
6.5.3	Energía transferida por cada celda.....	81

6.5.4	Temperatura .....	82
6.5.5	Recursos digitales .....	83
CAPÍTULO 7: CONCLUSIONES Y TRABAJOS FUTUROS .....		86
7.1	Conclusiones .....	86
7.2	Trabajos futuros.....	87
7.3	Trabajos publicados .....	87
REFERENCIAS.....		88
ANEXOS .....		96
Anexo 1.	Obtención de niveles de tensión con estados lógicos mostrados .....	96
Anexo 2.	Código VHDL principal.....	98
Anexo 3.	Estudio de comportamiento de índices de modulación .....	102
Anexo 4.	Resumen de porcentajes de desbalance de energía entre celdas (simulación) 103	
Anexo 5.	Resumen de energía promedio transferida por cada celda (simulación) ..	104
Anexo 6.	Datos de THD obtenidos en implementación con el analizador de energía HIOKI® 105	
Anexo 7.	Resumen de porcentajes de desbalance de potencia entre celdas (experimental) .....	106
Anexo 8.	Constancia de participación a congreso CASE 2022 .....	107
Anexo 9.	Comprobante de publicación de artículo en revista Electronics .....	108
Anexo 10.	Comprobante de publicación de artículo en revista IEEE Embedded Systems Letters 109	

## Índice de figuras

---

Figura 1.1. Diagrama de elementos principales de sistema fotovoltaico.....	1
Figura 1.2. Topologías de convertidores más utilizados. a) CMLI, b) MMC .....	4
Figura 1.3. Construcción independiente de celdas tomando en cuenta la potencia trasferida a la carga .....	6
Figura 2.1. Diagrama esquemático general de convertidor multinivel de tres y n niveles....	10
Figura 2.2. Inversor multinivel con capacitores flotantes (FCMLI) .....	11
Figura 2.3. Inversor con sujeción de punto neutro, NPC.....	12
Figura 2.4. Inversor multinivel en cascada simétrico .....	13
Figura 2.5. Convertidor multinivel modular.....	14
Figura 2.6. Clasificación de estrategias de modulación según su frecuencia de conmutación [12, 75].....	15
Figura 2.7. Ángulos de disparo para simetría de un cuarto de ciclo .....	15
Figura 2.8. Clasificación de estrategias de modulación según su objetivo de balance energético .....	17
Figura 2.9. Señales portadoras de estrategia PD, cinco ciclos .....	17
Figura 2.10. Señales portadoras de estrategia POD, cinco ciclos .....	18
Figura 2.11. Señales portadoras de estrategia APOD, cinco ciclos.....	18
Figura 2.12. Señales portadoras de estrategia PSC, dos ciclos .....	19
Figura 2.13. Señales portadoras de estrategia LS PWM por ciclo de moduladora .....	20
Figura 2.14. Señales portadoras de estrategia LS PWM por ciclo de portadora.....	20
Figura 3.1. Diagramas de topología multinivel empleada a) bloques b) esquemático.....	21
Figura 3.2. Área de comparación de señales moduladoras y portadoras .....	23
Figura 3.3. Distribución de estados de conmutación por celda de inversor multinivel en cascada monofásico de siete niveles .....	23
Figura 3.4. Diagrama a bloques del cálculo de conmutaciones y tiempo de conducción....	24
Figura 3.5. Generación de escala de tiempo de señal moduladora en programa Excel®...25	25
Figura 3.6. Señales portadoras y señal moduladora generadas en Excel®, estrategia de modulación PD .....	26
Figura 3.7. Número de conmutaciones para distintos índices de modulación de la estrategia PD PWM .....	28
Figura 3.8. Comparación de numero de conmutaciones empleando un índice de modulación de 0.9 .....	28
Figura 3.9. Tiempo de conducción para distintos índices de modulación de la estrategia PD PWM.....	29

Figura 3.10. Curva obtenida de tiempos de conducción con regresión polinómica (WolframAlpha®), estrategia PD .....	30
Figura 3.11. Señal senoidal seccionada .....	33
Figura 3.12. Señal moduladora 1 .....	34
Figura 3.13. Señales moduladoras .....	34
Figura 3.14. Señales moduladoras y señales portadoras .....	34
Figura 4.1. Elementos básicos en la arquitectura de FPGA .....	35
Figura 4.2. FPGA Altera Cyclone II EP2C5T144 .....	37
Figura 4.3. Diagrama a bloques general de implementación digital .....	38
Figura 4.4. Diagrama de compuertas de comparación.....	38
Figura 4.5. Diagrama a bloques general de implementación de estrategias de modulación PD y PSC.....	39
Figura 4.6. Diagrama RTL de estrategias de modulación PD y PSC.....	40
Figura 4.7. Señales digitales obtenidas en implementación de estrategia de modulación PD .....	40
Figura 4.8. Señales digitales obtenidas en implementación de estrategia de modulación PSC .....	41
Figura 4.9. Señales de salida de estrategia de modulación PD.....	41
Figura 4.10. Señales de salida de estrategia de modulación PSC.....	41
Figura 4.11. Diagrama a bloques general de implementación de estrategias de modulación LS por ciclo de portadora y LS por ciclo de moduladora .....	42
Figura 4.12. Diagrama RTL de estrategias de modulación LS por ciclo de portadora y LS por ciclo de moduladora .....	43
Figura 4.13. Señales digitales obtenidas en implementación de estrategia de modulación LS por ciclo de portadora .....	43
Figura 4.14. Señales digitales obtenidas en implementación de estrategia de modulación LS por ciclo de moduladora .....	44
Figura 4.15. Señales de salida de estrategia de modulación LS por ciclo de portadora ....	44
Figura 4.16. Señales de salida de estrategia de modulación LS por ciclo de moduladora .	44
Figura 4.17. Diagrama a bloques de implementación de estrategia de modulación propuesta “moduladoras reconstruidas” .....	45
Figura 4.18. Señales moduladoras reconstruidas generadas en Matlab® .....	45
Figura 4.19. Señales digitales obtenidas en implementación de estrategia de modulación propuesta “moduladoras reconstruidas” .....	45
Figura 4.20. Señales de salida de estrategia de modulación LS por ciclo de moduladora .	46
Figura 5.1. Señales portadoras de estrategia de modulación PD PWM .....	48
Figura 5.2. Potencia en cada celda, empleando estrategia de modulación PD .....	49
Figura 5.3. Energía transferida por cada celda en tres ciclos, empleando estrategia de modulación PD .....	49
Figura 5.4. Señales portadoras de estrategia de modulación PSC PWM.....	50
Figura 5.5. Potencia en cada celda, empleando estrategia de modulación PSC.....	50

Figura 5.6. Energía transferida por cada celda en tres ciclos, empleando estrategia de modulación PSC.....	51
Figura 5.7. Señales portadoras y moduladora de estrategia de modulación LS PWM por ciclo de señal moduladora.....	51
Figura 5.8. Potencia en cada celda, empleando estrategia de modulación LS por ciclo de moduladora .....	52
Figura 5.9. Energía transferida por cada celda en tres ciclos, empleando estrategia de modulación LS por ciclo de moduladora .....	52
Figura 5.10. Señales portadoras de estrategia de modulación LS PWM por ciclo de señal portadora .....	53
Figura 5.11. Potencia en cada celda, empleando estrategia de modulación LS por ciclo de portadora .....	53
Figura 5.12. Energía transferida por cada celda en tres ciclos, empleando estrategia de modulación LS por ciclo de portadora.....	53
Figura 5.13. Señales moduladoras y señales portadoras de estrategia “moduladoras reconstruidas” .....	54
Figura 5.14. Circuito de generación de modulación “moduladoras reconstruidas” .....	54
Figura 5.15. Tensión de salida empleando estrategia “moduladoras reconstruidas” .....	55
Figura 5.16. Potencia en cada celda, empleando estrategia de modulación propuesta .....	55
Figura 5.17. Energía transferida por cada celda en tres ciclos, empleando estrategia de modulación propuesta.....	56
Figura 5.18. Relación índice de modulación vs número de conmutaciones por interruptor, estrategia propuesta .....	56
Figura 5.19. Relación índice de modulación vs tiempo de conducción por interruptor, estrategia propuesta.....	57
Figura 5.20. Porcentaje máximo de desbalance de energía procesada entre celdas.....	59
Figura 5.21. Energía promedio transferida por cada celda.....	60
Figura 6.1. Esquema de pruebas experimentales .....	63
Figura 6.2. Plataforma experimental, topología multinivel en cascada .....	64
Figura 6.3. Plataforma de potencia: a) etapa 1;(b) etapa 2 .....	64
Figura 6.4. Plataforma conectada con motor de inducción .....	65
Figura 6.5. Tensión monofásica a la salida del inversor multinivel, modulación PD .....	65
Figura 6.6. Señales de conmutación implementadas en FPGA, estrategia PD .....	66
Figura 6.7. Recursos digitales empleados por la implementación de estrategia de modulación PD.....	66
Figura 6.8. Señales de tensión, corriente y potencia en celda 1, estrategia PD.....	66
Figura 6.9. Señales de tensión, corriente y potencia en celda 2, estrategia PD .....	66
Figura 6.10. Señales de tensión, corriente y potencia en celda 3, estrategia PD .....	66
Figura 6.11. THD de la señal de tensión a la salida, empleando estrategia de modulación PD.....	67
Figura 6.12. Temperatura en celdas obtenida experimentalmente, empleando estrategia PD	67

Figura 6.13. Temperatura máxima obtenida en cada celda, empleando estrategia PD; a) celda 1, b) celda 2, c) celda 3 .....	68
Figura 6.14. Recursos digitales empleados por la implementación de estrategia de modulación PSC .....	68
Figura 6.15. Señales de conmutación implementadas en FPGA, estrategia PSC .....	69
Figura 6.16. Señales de tensión, corriente y potencia empleando estrategia PSC: a) celda 1; b) celda 2; c) celda 3 .....	69
Figura 6.17. THD en la señal de tensión a la salida, empleando estrategia de modulación PSC .....	70
Figura 6.18. Temperatura en celdas obtenida experimentalmente, empleando estrategia PSC .....	70
Figura 6.19. Temperatura máxima obtenida en cada celda, empleando estrategia PSC; a) celda 1, b) celda 2, c) celda 3 .....	71
Figura 6.20. Señales de conmutación implementadas en FPGA, estrategia LS moduladora.	71
Figura 6.21. Recursos digitales empleados por la implementación de estrategia de modulación LS moduladora.....	72
Figura 6.22. Señales de tensión, corriente y potencia empleando estrategia LS moduladora: a) celda 1; b) celda 2; c) celda 3 .....	72
Figura 6.23. THD en la señal de tensión a la salida, empleando estrategia de modulación LS por ciclo de moduladora .....	73
Figura 6.24. Temperatura máxima obtenida en cada celda, empleando estrategia LS moduladora; a) celda 1, b) celda 2, c) celda 3.....	73
Figura 6.25. Temperatura en celdas obtenida experimentalmente, empleando estrategia LS moduladora .....	74
Figura 6.26. Señales de conmutación implementadas en FPGA, estrategia LS portadora ...	74
Figura 6.27. Recursos digitales empleados por la implementación de estrategia de modulación LS portadora .....	74
Figura 6.28. Señales de tensión, corriente y potencia empleando estrategia LS por ciclo de portadora: a) celda 1; b) celda 2; c) celda 3 .....	75
Figura 6.29. THD en la señal de tensión a la salida, empleando estrategia de modulación LS por ciclo de portadora .....	75
Figura 6.30. Temperatura en celdas obtenida experimentalmente, empleando estrategia LS portadora .....	76
Figura 6.31. Temperatura máxima obtenida en cada celda, empleando estrategia LS portadora; a) celda 1, b) celda 2, c) celda 3 .....	76
Figura 6.32. Recursos digitales empleados por la implementación de estrategia “moduladoras reconstruidas” .....	77
Figura 6.33. Señales de conmutación implementadas en FPGA, estrategia alternativa “moduladoras reconstruidas” .....	77
Figura 6.34. Señal de tensión a la salida del inversor multinivel, empleando estrategia alternativa “moduladoras reconstruidas” .....	78

Figura 6.35. Señales de tensión, corriente y potencia empleando estrategia alternativa “moduladoras reconstruidas”: a) celda 1; b) celda 2; c) celda 3 .....	78
Figura 6.36. THD en la señal de tensión a la salida, empleando estrategia de modulación “moduladoras reconstruidas” .....	79
Figura 6.37. Temperatura en celdas obtenida experimentalmente, empleando estrategia alternativa “moduladoras reconstruidas” .....	79
Figura 6.38. Temperatura máxima obtenida en cada celda, empleando estrategia alternativa “moduladoras reconstruidas”: a) celda 1, b) celda 2, c) celda 3 .....	80
Figura 6.39. THD y DF en tensión de salida, $m=0.9$ .....	81
Figura 6.40. Porcentaje máximo de desbalance de potencia entre celdas .....	81
Figura 6.41. Energía promedio transferida por cada celda.....	82
Figura 6.42. Valores máximos y mínimos de temperatura obtenidos experimentalmente.....	82
Figura 6.43. Porcentaje de diferencia de temperatura.....	83
Figura 6.44. Comparación de estrategias de modulación según porcentaje de uso de recursos digitales.....	83
Figura 6.45. Comparación de estrategias de modulación según número de códigos VHDL requeridos.....	84
Figura 6.46. Comparación de resultados de THD, obtenido en simulación y experimentalmente .....	84
Figura 6.47. Comparación de resultados de DF, obtenido en simulación y experimentalmente .....	85
Figura 6.48. Comparación de resultados de desbalance máximo de energía entre celdas, obtenido en simulación y experimentalmente.....	85



## Índice de tablas

---

Tabla 1.1. Ventajas y desventajas de topologías CMLI y MMC .....	3
Tabla 3.1. Estados de conmutación empleados .....	22
Tabla 3.2. Número de conmutaciones obtenidas por interruptor para estrategia de modulación PD PWM .....	27
Tabla 3.3. Ecuaciones características por celda para el número de conmutaciones, PD PWM .....	28
Tabla 3.4. Ecuaciones características por celda para el tiempo de conducción, PD PWM..	29
Tabla 3.5. Resumen de resultados de número de conmutaciones y tiempos de conducción en las diferentes estrategias.....	30
Tabla 4.1. Principales ventajas y desventajas de FPGA vs ASIC .....	36
Tabla 4.2. Especificaciones de FPGA Altera Cyclone II EP2C5T144 .....	36
Tabla 5.1 Especificaciones de diseño de simulación .....	48
Tabla 5.2. Ecuaciones características por celda para el número de conmutaciones, “moduladoras reconstruidas” .....	57
Tabla 5.3. Ecuaciones características por celda para el tiempo de conducción, estrategia propuesta.....	57
Tabla 5.4. Porcentaje de desviación según el número de conmutaciones y tiempos de conducción en las diferentes estrategias.....	58
Tabla 5.5. THD y DF en tensión de salida, $m=0.9$ .....	59
Tabla 6.1. Condiciones de pruebas .....	62
Tabla 6.2. Especificaciones eléctricas de prueba .....	62
Tabla 6.3. Equipamiento empleado en pruebas experimentales.....	63

## Nomenclatura

---

$V_{CD}$	<i>Tensión de corriente directa.</i>
$V_{\alpha}$	<i>Tensión de fase.</i>
$S_n$	<i>Interruptor.</i>
$n$	<i>Número de niveles en la tensión de salida.</i>
$D$	<i>Número de diodos de enclavamiento.</i>
$S_w$	<i>Número de dispositivos de conmutación.</i>
$z$	<i>Número de celdas en cascada.</i>
$\alpha$	<i>Ángulo de conmutación.</i>
$m$	<i>Índice de modulación.</i>
$A_m$	<i>Amplitud de señal moduladora.</i>
$A_p$	<i>Amplitud de señal portadora.</i>
$m_f$	<i>Índice de frecuencia.</i>
$f_m$	<i>Frecuencia de señal moduladora.</i>
$f_p$	<i>Frecuencia de señal portadora.</i>
$S_p$	<i>Número de señales portadoras necesarias.</i>
$\varphi$	<i>Ángulo de corrimiento de fase.</i>

## Acrónimos

---

APOD PWM	<i>Disposición alterna opuesta de fase.</i>
CA	<i>Corriente Alterna.</i>
CD	<i>Corriente Directa.</i>
CMLI	<i>Inversor multinivel en cascada.</i>
DSEP	<i>Dispositivos Semiconductores Electrónicos de Potencia.</i>
DCMLI	<i>Inversor multinivel con diodos de enclavamiento.</i>
FCMLI	<i>Inversor multinivel con capacitores flotantes.</i>
FPGA	<i>Arreglo de compuertas programables en campo.</i>
IGBT	<i>Transistor Bipolar de Compuerta Aislada.</i>
LS PWM	<i>Corrimiento de nivel en portadoras.</i>
PD PWM	<i>Disposición de fase.</i>
POD PWM	<i>Disposición opuesta de fase.</i>
PSC PWM	<i>Disposición de portadoras con corrimiento de fase.</i>
PWM	<i>Modulador de Ancho de Pulso.</i>
SHE	<i>Estrategia de modulación de eliminación selectiva de armónicos.</i>
SV PWM	<i>Estrategia de modulación de espacio vectorial.</i>
THD	<i>Distorsión armónica total.</i>
VHDL	<i>Lenguaje de descripción para circuitos integrados de alta velocidad.</i>
WTHD	<i>Distorsión armónica total ponderada.</i>

---

# CAPÍTULO 1: INTRODUCCIÓN

---

## 1.1. Antecedentes

Actualmente existen diferentes aplicaciones en las que se emplea la conversión de CD-CA, una de ellas es en instalaciones fotovoltaicas para la generación de energía eléctrica, la cual es una tendencia que va en aumento, tanto a nivel mundial como nacional [1, 2]. Algunos de los principales motivos por los que las energías renovables se han establecido como una importante fuente de energía eléctrica son los siguientes [1-4]:

- Aumento de la rentabilidad de las tecnologías renovables.
- Iniciativas de política aplicada.
- Mejor acceso a financiamiento.
- Seguridad energética.
- Ayuda al medio ambiente.
- Demanda creciente de energía en economías en desarrollo y emergentes.
- Necesidad de acceso a una energía modernizada.

Los sistemas de energía renovable ofrecen seguridad y confiabilidad energética a cargas críticas en el ámbito industrial; como por ejemplo a centros de datos e instalaciones médicas. Todo esto llevando a cabo transiciones estables en condiciones de carga y variación de la tensión de alimentación [5].

En la Figura 1.1 se muestra el diagrama esquemático general a bloques que incluye los elementos principales que conforman a un sistema fotovoltaico aislado (sin conexión a la red)[6]. Cabe mencionar que existen otros elementos relacionados a este sistema; tales como un seguidor de MPPT y un filtro a la salida o capacitor de enlace.

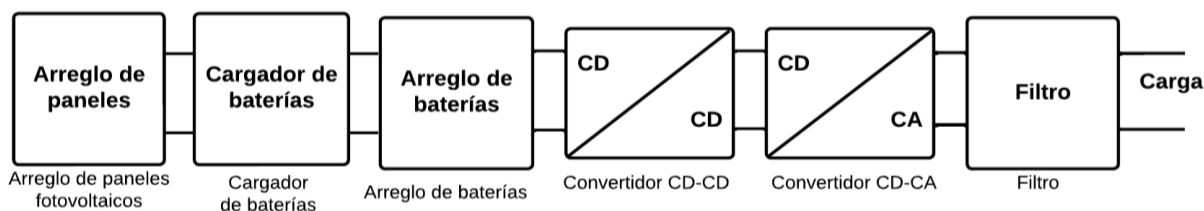


Figura 1.1. Diagrama de elementos principales de sistema fotovoltaico

Uno de los elementos más importantes de este sistema es el convertidor CD-CA, denominado inversor, el cual convierte la energía de corriente directa (proveniente del arreglo de paneles fotovoltaicos) en energía de corriente alterna, la cual alimenta a cargas específicas.

Los inversores utilizados en sistemas fotovoltaicos deben cumplir principalmente con características como confiabilidad, capacidad de manejar tanto bajos como altos niveles de potencia, rentabilidad (relación entre costo de implementación y beneficio obtenido) y capacidad de inyectar una corriente senoidal a la red eléctrica (en el caso de los sistemas interconectados) [7-9].

Según el número de niveles de la tensión de salida, las topologías de los inversores se clasifican en convencional o multinivel. En comparación con los inversores convencionales, los inversores multinivel presentan las siguientes ventajas [10-12]:

- Reducción en pérdidas por conmutación.
- Reducción de estrés en dispositivos semiconductores de potencia.
- Mejora en la forma de onda de salida.
- Disminución de la distorsión armónica total.

Entre las topologías multinivel se encuentran las siguientes: inversor multinivel con capacitores flotantes (FCMLI, *por sus siglas en inglés*), inversor multinivel en cascada (CMLI, *por sus siglas en inglés*) e inversor multinivel con diodos de enclavamiento (DCMLI *por sus siglas en inglés*). De estas topologías se pueden destacar lo siguiente respecto a su aplicación en sistemas fotovoltaicos [10, 13-17]:

- El FCMLI presenta problemas de confiabilidad y de equilibrio de tensión en los capacitores.
- El CMLI presenta la ventaja de tener fuentes individuales, que en este caso son cadenas de paneles fotovoltaicos, y así reduce la tensión nominal de los dispositivos semiconductores de potencia de la topología.
- El DCMLI tiene problemas de equilibrio de tensión de punto neutro.

Según [10, 14, 18, 19] los parámetros de comparación entre inversores empleados en paneles fotovoltaicos son cantidad de componentes empleados, esfuerzo en componentes y potencia nominal del sistema. Asimismo, para evaluar el rendimiento de los inversores fotovoltaicos se pueden destacar los siguientes parámetros [20]:

- Eficiencia.
- Densidad de potencia.
- Costo de instalación.
- Minimización de corriente de fuga.
- Transferencia de máxima potencia (MPPT).
- Balance energético (tensión, corriente, potencia, temperatura).

El balance energético se destaca debido a que hay un creciente interés en generar y transformar energía de manera eficiente sin aumentar los costos de implementación ni la complejidad del sistema. Por lo tanto, se están investigando alternativas para mejorar los diferentes elementos del sistema. En este caso, el estudio se centra específicamente en el convertidor CD-CA [4, 21, 22].

## 1.2. Estado del arte

En la conversión de corriente directa a corriente alterna se encuentran dos principales conceptos que influyen para que se lleve a cabo de manera eficiente dicho proceso, los cuales son: topología y secuencia de conmutación.

En cuanto a topologías multinivel empleadas en aplicaciones fotovoltaicas de mediana potencia, en la literatura se encuentran principalmente los inversores multinivel con capacitores flotantes [23-25], inversores multinivel en cascada [9, 20, 26-35], inversores con punto neutro (NPC, *por sus siglas en inglés*) [13, 19, 36-39] y convertidor multinivel modular (MMC, *por sus siglas en inglés*) [40-49]. De las topologías anteriores, las que resultan ser más comúnmente utilizadas son CMLI y MMC, esto es gracias a las características particulares que presentan cada una de ellas [43, 44, 48-51]. En la Tabla 1.1 se encuentran las ventajas y desventajas de dichas técnicas de modulación.

Tabla 1.1. Ventajas y desventajas de topologías CMLI y MMC

Topología	Ventajas	Desventajas
CMLI	<ul style="list-style-type: none"> <li>• Tensión de salida y potencia más altos respecto a las topologías multinivel empleadas en sistemas fotovoltaicos [23].</li> <li>• Al emplear fuentes de alimentación aisladas es posible alimentar una carga de alta o media tensión desde uno o más suministros de baja tensión.</li> <li>• Bajo contenido armónico.</li> <li>• Los dispositivos semiconductores de potencia soportan sólo la tensión presente en una fuente de cd.</li> </ul>	<ul style="list-style-type: none"> <li>• La cantidad de fuentes aisladas de CD aumenta proporcionalmente con las celdas del inversor, aumentando los dispositivos semiconductores empleados.</li> </ul>
MMC	<ul style="list-style-type: none"> <li>• Bajo contenido armónico.</li> <li>• No es necesario utilizar condensadores para formar un bus de cd central (van incluido en cada submódulo).</li> <li>• Frecuencia de portadora baja.</li> </ul>	<ul style="list-style-type: none"> <li>• Control sofisticado.</li> <li>• Desbalance de tensión debido al capacitor presente en cada submódulo.</li> <li>• Corriente circulante.</li> </ul>

En la Figura 1.2 se encuentran los diagramas esquemáticos de dichos convertidores. De las topologías anteriores la multinivel en cascada destaca en aplicaciones fotovoltaicas debido a que estos sistemas se comportan como fuentes de corriente directa aisladas, de modo que el uso de este tipo de convertidores en este tipo de aplicaciones es pertinente [7, 15, 20].

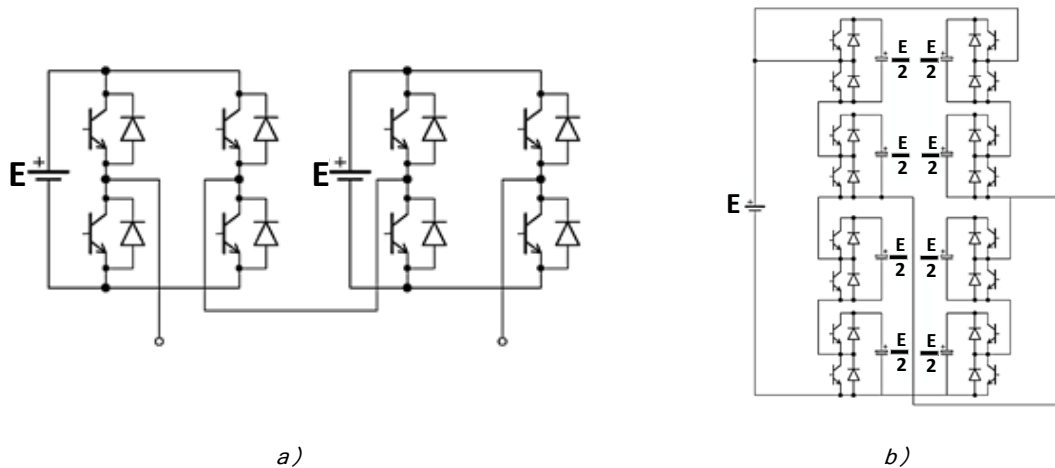


Figura 1.2. Topologías de convertidores más utilizados. a) CMLI, b) MMC

En lo que respecta al segundo concepto que forma parte del proceso de conversión de corriente directa a corriente alterna, se encuentra la secuencia de conmutación, la cual se encarga de generar la conmutación de los interruptores de potencia pertenecientes a la topología del inversor seleccionada. Entre las estrategias utilizadas para esta función destacan las siguientes: PWM de disposición de fase, PWM de disposición opuesta de fase, PWM de corrimiento de fase, PWM de corrimiento de nivel, SPWM convencional y eliminación selectiva de armónicos [5, 9, 12, 17, 18, 29, 33, 38, 44, 45, 49, 52].

Sin embargo, de las técnicas de modulación anteriores no todas tienen como objetivo el llevar cabo el balance de energía entre las celdas del inversor. Es por ello que en [9, 34, 35, 42, 45, 47, 49] se han desarrollado métodos alternativos que tienen como función objetivo el balance de tensión entre las celdas y submódulos, así como el control de la corriente circulante [40, 42, 43, 46, 48] para solucionar los problemas que representa tener desbalance en estos parámetros.

Se destacan tres principales estrategias de modulación con fines de balance energético, PSC PWM (*Phase Shift Carrier PWM, por sus siglas en inglés*), LS PWM (*Level Shifted PWM, por sus siglas en inglés*) con desplazamiento de nivel de portadora por ciclo de señal moduladora y por último, LS PWM con desplazamiento de nivel por ciclo de la misma portadora.

Las estrategias mencionadas en el párrafo anterior son variantes modificadas de la técnica de modulación PWM multiportadora, la cual tiene como una principal característica el hacer que los armónicos de la tensión de salida se encuentren a altas frecuencias, entorno a la frecuencia de conmutación. Cada variante modifica la secuencia de conmutación, teniendo

como objetivo el balance de energía entre las celdas de la topología multinivel y, además, se encuentran directamente relacionadas con la calidad de la señal de salida. A continuación, se describen a grandes rasgos:

- PSC PWM [53–57]

Las señales portadoras pertenecientes a la estrategia PSC PWM se encuentran a la misma amplitud y frecuencia una de otra. Sin embargo, presentan corrimientos de fase entre ellas. Más adelante, en el capítulo 2 se aborda a detalle elementos importantes de dicha técnica de modulación.

- LS PWM con desplazamiento de nivel de portadora por ciclo de señal moduladora [53, 58–62]

En esta estrategia de modulación se desplazan de nivel las señales portadoras de acuerdo con los ciclos de señal moduladora para realizar el balance energético [9]. El número de ciclos requerido para que se lleve a cabo el balance energético es la mitad del número de señales portadoras, es decir, si el inversor es de siete niveles, entonces el balance energético se efectuará después de tres ciclos de señal moduladora.

- LS PWM con desplazamiento de nivel de portadora por ciclo de la misma señal portadora [54, 61–63]

Al igual que la estrategia de modulación LS PWM anterior, emplea como base a la estrategia multiportadora PD PWM (*Phase Disposition PWM*, por sus siglas en inglés) y la modifica, la diferencia radica en que para este tipo de técnica de modulación se desplazan de nivel las señales portadoras de acuerdo con cada ciclo de la misma [57].

Lo que tienen en común las estrategias de modulación abordadas en este apartado, tanto convencionales como aquellas que tienen fines de balance energético, es que modifican la señal portadora de alta frecuencia para realizar la secuencia de conmutación determinada de los interruptores pertenecientes al inversor multinivel.

### 1.3. Planteamiento del problema

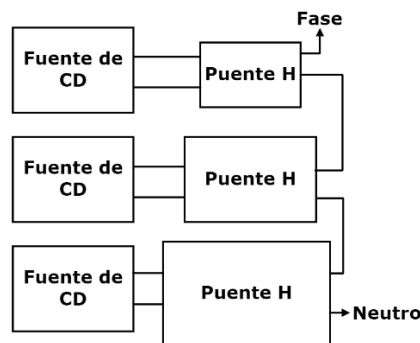
En el diseño de sistemas que emplean la conversión CD–CA se destaca la importancia de aumentar la eficiencia, obtener la máxima transferencia de potencia y mejorar la confiabilidad, esto sin aumentar el costo del sistema significativamente. El convertidor principal en la conversión de energía de corriente directa a corriente alterna es el inversor; en este tipo de convertidores existen algunos problemas interesantes en el diseño de los inversores del sistema que afectan la confiabilidad del sistema.

El diseño de los convertidores multinivel en cascada se realiza de manera modular, es decir, basta con realizar el diseño de una sola celda o puente H perteneciente a la topología y posteriormente reproducirlo para las demás celdas existentes dependiendo del número de niveles del inversor.



La construcción modular se realiza considerando la máxima transferencia de potencia y, el hacerlo de esta manera se diseñan todas las celdas bajo los mismos parámetros de tensión y corriente, suponiendo que todos los puentes completos manejarán la misma potencia, lo cual no es del todo cierto, ya que la mayoría de las ocasiones depende de la técnica de modulación empleada. Esto es porque al momento de realizar la comparación de señales portadoras con la señal moduladora para obtener las señales que generan la conmutación de los interruptores de potencia, el tiempo de conducción entre celdas es diferente, lo cual ocasiona que tengan una diferente transferencia de potencia a la carga.

En caso de no realizar el diseño de manera modular se tendría que diseñar cada celda de manera independiente tomando en cuenta la potencia transferida hacia la carga por cada celda. Por lo que se requiere que el diseño de los dispositivos semiconductores de potencia se lleve a cabo para diferentes capacidades de corriente. En la Figura 1.3 se representa con un cuadro más grande la celda que transfiere mayor potencia, mientras que el cuadro más pequeño representa a la celda con menor transferencia de potencia en un inversor multinivel en cascada de siete niveles [64].



*Figura 1.3. Construcción independiente de celdas tomando en cuenta la potencia trasferida a la carga*

Realizar el convertidor de manera independiente por celda considerando la potencia procesada por cada una, complica tanto el diseño como la implementación del mismo debido a que se requerirían dispositivos semiconductores de diferentes capacidades, minimizando con ello la posibilidad de modularidad y redundancia características del convertidor en cascada. Es por ello que se opta por el diseño convencional del convertidor. Sin embargo, este diseño modular presenta los siguientes inconvenientes debido a que celda transfiere diferente potencia hacia la carga:

- Se disminuye el tiempo entre fallas en las celdas que manejan mayor potencia, incrementando la probabilidad de que ocurran fallas en dichas celdas.
- Se produce mayor esfuerzo (corriente, tensión, temperatura) en dispositivos semiconductores de potencia en las celdas que manejan mayor potencia.
- Se ocasiona sobredimensionamiento en las celdas que manejan menor potencia, ya que se hace el diseño considerando la máxima potencia.

Una solución para conservar el diseño modular y no llegar al diseño independiente de

cada celda es modificar la técnica de modulación empleada para conmutar al inversor multinivel, teniendo como objetivo realizar el equilibrio de energía en cada celda, para lograr con ello un balance energético.

## **1.4. Propuesta de solución**

Con base en la problemática mostrada en apartados anteriores, se comprende que el estudio del balance en las celdas del inversor multinivel es conveniente debido al creciente interés de implementar sistemas que minimicen las pérdidas, garanticen una entrega de la mayor cantidad de potencia a la carga y que al mismo tiempo, contribuyan a la confiabilidad del sistema. Una de las formas en las cuales el balance entre celdas del inversor multinivel contribuye a la confiabilidad del sistema es que, al lograr un equilibrio en la distribución de la energía entre celdas, se evita sobrecalentamiento de algunas de ellas, lo cual puede ocasionar fallos o disminuir su vida útil. Asimismo, cuando las celdas están desequilibradas, algunas operan por encima o por debajo de su capacidad óptima, lo cual puede resultar en un suministro ineficiente de potencia a la carga.

El convertidor en el que se enfoca el aporte de esta tesis es en el inversor, es importante mencionar que para la realización de este trabajo se parte del supuesto de que la alimentación proveniente del convertidor cd-cd es la misma en las distintas celdas en cascada. De las topologías más utilizadas en los sistemas fotovoltaicos, tanto conectados a la red eléctrica nacional como los sistemas aislados, destaca la topología multinivel en cascada, ya que cuenta con mayores ventajas.

El trabajo de tesis está dirigido a realizar una estrategia de modulación alternativa que realice el balance energético entre las celdas pertenecientes del convertidor multinivel en cascada. El documento incluye la comparación con estrategias existentes que cumplen dicha función, manteniendo así la característica de diseño modular de la topología en cascada. Como se mencionó anteriormente, se encontraron tres alternativas que tienen como uno de sus objetivos el garantizar el balance energético de las celdas del convertidor multinivel, por lo que se establecieron parámetros de comparación entre ellas con la finalidad de que la estrategia alternativa propuesta presente una mejora en los mismos.

Los parámetros de comparación establecidos que se pretenden mejorar con la estrategia de modulación alternativa son los siguientes:

- Equilibrio de energía entre las celdas del convertidor multinivel.
- Porcentaje de desbalance.
- Contenido armónico.
- Gasto computacional en la implementación.
- En caso de ser posible, reducir el número de señales portadoras por nivel.
- Transferencia de potencia a la carga.

## **1.5. Objetivos**

### **1.5.1 Objetivo general**

Diseñar e implementar una estrategia de modulación que garantice el balance de energía promedio entre las celdas que componen a un inversor multinivel en cascada monofásico.

### **1.5.2 Objetivos específicos**

1. Identificar las topologías multinivel empleadas en sistemas fotovoltaicos y sus requerimientos.
2. Identificar las propuestas existentes para llevar a cabo el balance energético de las celdas que conforman al inversor multinivel.
3. Simular las propuestas elegidas para llevar a cabo el balance energético de las celdas que conforman al inversor multinivel.
4. Diseñar una nueva variante de estrategia de modulación que realice balance energético en las celdas que componen al inversor multinivel.
5. Implementar una nueva variante de estrategia de modulación que realice balance energético en las celdas que componen al inversor multinivel.
6. Comparar los resultados obtenidos con las soluciones reportadas en la literatura consultada.

## **1.6. Alcances**

Este trabajo de investigación tiene como alcance diseñar, simular e implementar una estrategia de modulación alternativa que logre equilibrar la energía en las celdas de un inversor multinivel en cascada de siete niveles. Además, se realiza la comparación de esta estrategia de modulación con otras existentes con la finalidad de conocer el comportamiento de los parámetros establecidos en el trabajo.

## **1.7. Aportación**

Derivado del desarrollo de actividades, con fines de cumplir los objetivos establecidos en esta tesis, se define como aportación fundamental lo que se establece a continuación:

- Una estrategia de modulación SPWM alternativa denominada “SPWM moduladoras reconstruidas”, la cual garantiza el balance energético entre las celdas de convertidores multinivel en cascada. Esta estrategia de modulación alternativa ofrece mejores resultados respecto a las ya reportadas en la literatura, tales como:
  - Menor THD.
  - Menor DF.

- Menor porcentaje de desbalance.
  - Menor porcentaje de uso de recursos digitales.
  - Mayor transferencia de potencia a la carga.
- Establecer un estudio referente a la comparación de estrategias de modulación con fines de balance energético en inversores multinivel en cascada.

## **1.8. Originalidad**

La originalidad del trabajo de investigación radica en que la estrategia propuesta para llevar a cabo el balance energético en las celdas del inversor multinivel en cascada modifica las señales moduladoras de baja frecuencia, y además emplea menor cantidad de señales portadoras de alta frecuencia en comparación con las estrategias de balance energético existentes.

## **1.9. Organización del documento**

El resto del documento de tesis se encuentra organizado de la siguiente manera:

- Capítulo 2. Se describen los elementos que integran al sistema de estudio. Abarcando a los inversores multinivel y estrategias de modulación empleadas en la aplicación, tanto convencionales como aquellas que tienen como objetivo llevar a cabo balance energético.
- Capítulo 3. Se encuentra el análisis de elementos para el desarrollo de la estrategia de modulación propuesta. Así como también se encuentra el diseño de la misma.
- Capítulo 4. Se aborda la metodología de diseño e implementación en FPGA de la estrategia de modulación propuesta y las estrategias de balance energético existentes con la cuales se realiza la comparación. Así como también se describen los conceptos relacionados con la implementación digital.
- Capítulo 5. Se presentan los resultados obtenidos en simulación empleando la estrategia de modulación alternativa propuesta en conjunto con el convertidor multinivel en cascada de siete niveles monofásico. Asimismo, se desarrolla una comparación con estrategias existentes con fines de balance energético.
- Capítulo 6. Se muestran los resultados obtenidos experimentalmente empleando la estrategia de modulación alternativa propuesta en conjunto con el convertidor multinivel en cascada de siete niveles monofásico. Asimismo, se desarrolla una comparación con estrategias existentes con fines de balance energético.
- Capítulo 7. Se presentan las conclusiones y trabajos futuros del trabajo de investigación desarrollado.

---

# CAPÍTULO 2: ELEMENTOS DE CONVERSIÓN

## CD-CA

---

### 2.1 Descripción general

En este capítulo se describe el sistema de estudio, enfatizando en los componentes principales. Se abordan diversas topologías de inversor multinivel junto con sus características, ventajas y desventajas, y se presentan las estrategias de modulación pertinentes para la aplicación en cuestión.

### 2.2 Inversores multinivel

La topología multinivel cumple con la función principal de sintetizar una forma de onda de tensión de corriente alterna monofásica o trifásica deseada. El diagrama esquemático de un inversor multinivel para tres y  $n$  niveles se encuentra en la Figura 2.1.

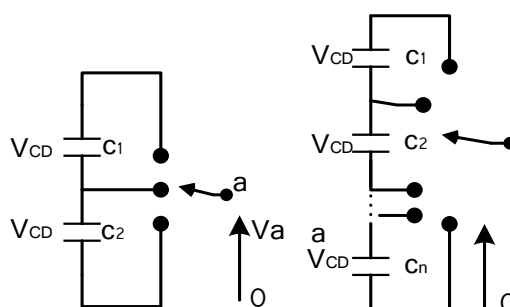


Figura 2.1. Diagrama esquemático general de convertidor multinivel de tres y  $n$  niveles

La tensión de salida escalonada se obtiene combinando diferentes fuentes de tensión de corriente directa, las cuales pueden provenir de celdas de combustible, baterías, ultra capacitores y paneles solares, siendo esta última la aplicación de esta tesis.

Los convertidores multinivel se emplean principalmente en aplicaciones de mediana y alta potencia. Derivado del estudio del estado del arte abordado en el capítulo anterior, actualmente se encuentran cuatro topologías referentes a la aplicación deseada [64-66], las cuales son: FCMLI, NPC, CMLI y MMC. Una de las principales ventajas de estas topologías es que alcanzan tensiones de salida y potencia elevadas, siendo hasta 13.8 kV y 30 MVA [66].

### 2.2.1. Inversor multinivel con capacitores flotantes, FCMLI

El concepto general de operación del inversor multinivel con capacitores flotantes es que cada capacitor flotante se carga a la mitad de la tensión de corriente directa y se puede conectar en serie con la fase para sumar o restar tensión [67], y para lograr niveles de tensión altos no requiere el uso de transformadores.

Este tipo de topología requiere un gran número de capacitores para lograr mantener la tensión. El bus de CD consta de  $(n-1)$  capacitores y requiere de capacitores auxiliares por fase calculados mediante (2.1).

$$C = ((n - 1) * (n - 2))/2 \quad (2.1)$$

Dónde:

- $n$ = número de niveles
- $C$ = número de capacitores

El capacitor flotante tiene redundancia de conmutación dentro de la fase, lo cual puede emplearse para equilibrar los capacitores de modo que solamente se necesite una única fuente de corriente directa. Sin embargo, presenta serios inconvenientes en el balance de tensiones, lo cual la hace menos recomendable para aplicaciones de alta potencia [68].

La Figura 2.2 muestra el diagrama esquemático de un inversor multinivel de capacitores flotantes de cinco niveles.

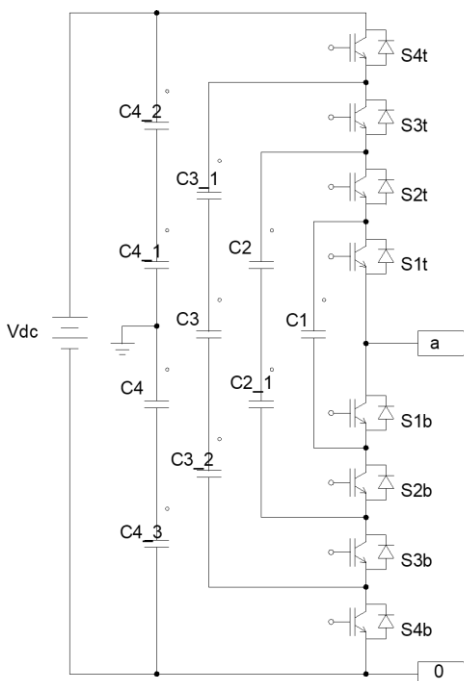


Figura 2.2. Inversor multinivel con capacitores flotantes (FCMLI)

### 2.2.2. Inversor con punto neutro, NPC

La diferencia de la topología NPC, comparada con la topología de capacitores flotantes, es que los capacitores se reemplazan por diodos y el punto común está conectado al punto neutro del capacitor de enlace de CD. Además, que la cantidad de capacitores requeridos para esta topología es  $(n-1)$ , lo cual reduce considerablemente el uso de componentes pasivos, contribuyendo así a la reducción de espacio y peso total del sistema.

Los inversores NPC se diferencian de los inversores multinivel con diodos de enclavamiento en cuanto a topología y funcionamiento. En los convertidores NPC los interruptores se conectan en serie con diodos para con ello limitar la tensión en el punto neutral del circuito, de tal manera que la tensión de los interruptores se divide en dos partes iguales, mientras que en los convertidores con diodos de enclavamiento la principal función de los diodos es bloquear la corriente inversa que fluye a través de los interruptores cuando no se encuentran en funcionamiento evitando cortocircuitos.

Esta topología emplea la conmutación de tres niveles en lugar de la conmutación de dos niveles utilizada en los inversores convencionales. Los tres niveles corresponden a los buses positivo, negativo y neutro. Las fases de salida son el punto central de la conexión en serie de cuatro IGBT, y la entrada del bus de CD está conectada a la fila superior e inferior de los dispositivos. En la Figura 2.3 se muestra el diagrama esquemático de un inversor NPC trifásico.

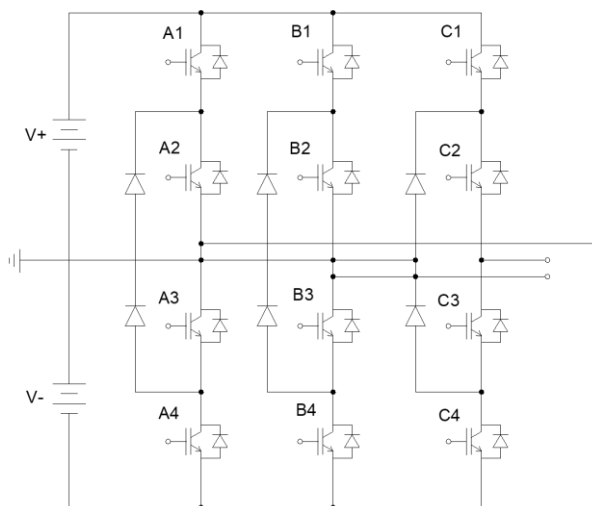


Figura 2.3. Inversor con sujeción de punto neutro, NPC

### 2.2.3. Inversor multinivel en cascada, CMLI

Los inversores multinivel en cascada son básicamente una conexión en serie de múltiples inversores puente H, cada inversor puente H tiene la misma configuración que un puente completo monofásico típico [69]. Tiene como características principales que presenta alta flexibilidad para aumentar el número de niveles incrementando el número de celdas en

cascada, y con ello se reduce el esfuerzo en los dispositivos semiconductores de potencia. Así como también la tensión de salida por fase es la suma de las tensiones de salida en cada celda [70].

De acuerdo con las características que presente la fuente de alimentación de CD, el inversor multinivel en cascada se divide en dos tipos:

1. Inversor multinivel en cascada simétrico. En este tipo de inversor en cascada la magnitud de las fuentes de alimentación de las celdas es igual. El número de niveles de tensión que genera a la salida se calcula mediante (2.2). La Figura 2.4 presenta el diagrama esquemático de este tipo de inversor.

$$n = 2z + 1 \quad (2.2)$$

Dónde:

- n= número de niveles
- z= número de celdas en cascada

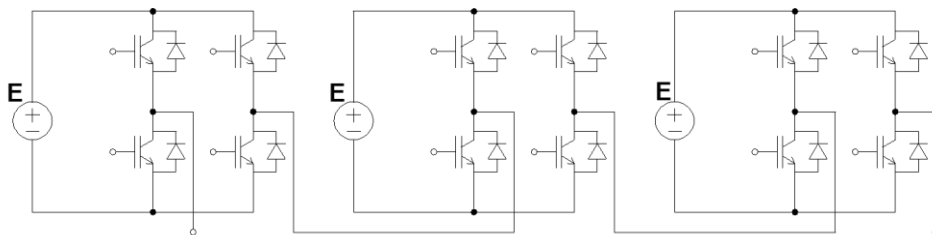


Figura 2.4. Inversor multinivel en cascada simétrico de siete niveles

2. Inversor multinivel en cascada asimétrico. En este tipo de inversor en cascada la magnitud de las fuentes de alimentación de las celdas es desigual. Puede ser de potencia dos o tres, dependiendo del valor de la fuente desigual. Como ventaja presenta que debido a su asimetría en alimentación se puede obtener mayor número de niveles de tensión escalonada a la salida del inversor. Sin embargo, al tener una celda con mayor tensión, ésta es más propensa a fallas [71].

EL CMLI emplea fuentes de alimentación independientes para producir la onda de tensión de CA, cada inversor puente H está conectado a su propia fuente, no emplea diodos ni capacitores para equilibrar la tensión y cuenta con estructura modular.

#### 2.2.4. Inversor multinivel modular, MMC

El convertidor multinivel modular está compuesto por la conexión en serie de convertidores de potencia de pequeña escala denominados como “submódulos” (SM). La conexión en serie de los SM se designa como “brazos” del convertidor. La Figura 2.5 muestra la estructura básica de un MMC.

Su principio de funcionamiento es la variación del número de capacitores de baja tensión conectados en serie a lo largo del tiempo en cada “brazo”, mediante interruptores basados



en IGBT, los cuales están presentes en los submódulos. A medida que aumenta el número de capacitores añadidos, más escalones de tensión están disponibles en la tensión de cada “brazo” y en consecuencia en el convertidor [72].

Por lo general, los submódulos requieren de una protección de circuitos integrados, como interruptores de derivación mecánicos y eléctricos en paralelo, para desconectar el submódulo del “brazo” durante una falla [73].

El convertidor modular mejora algunos inconvenientes presentados en topologías como capacitores flotantes, tales como:

- La corriente del brazo fluye continuamente, evitando el alto  $di/dt$  de la conmutación
- Reduce la necesidad de filtrado.
- Las corrientes de falla en el lado de CD son más pequeñas, lo que las hace más adecuadas para terminales múltiples.

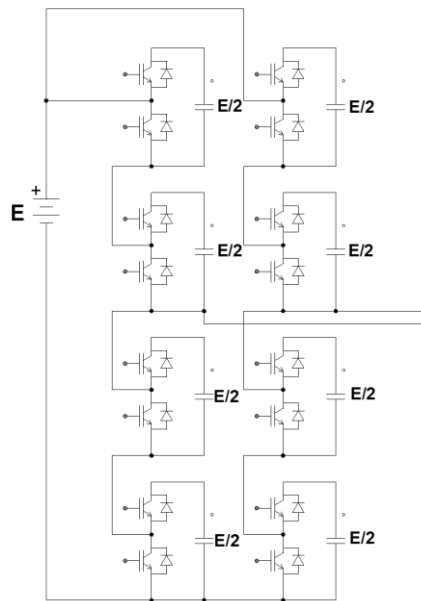


Figura 2.5. Convertidor multinivel modular

En este tipo de convertidores entre más submódulos se empleen, se mejora la calidad de señal generada y se reduce el ruido de alta frecuencia. Sin embargo, al aumentar de submódulos se incrementa el peso y tamaño del sistema. Así como aumenta la complejidad del control y modulación del mismo.

Tomando en cuenta el objetivo de este trabajo de investigación, así como la aplicación del mismo, la topología a emplear es la del inversor multinivel en cascada monofásico. Lo anterior debido a las características abordadas en el capítulo anterior, y a que se empleará la plataforma existente en CENIDET desarrollada por [74], la cual se describe en el capítulo 6 de este documento. El número de niveles de tensión a la salida es siete, como resultado del estudio realizado en el Anexo 3.

## 2.3 Estrategias de modulación

En la Figura 2.6 se muestra la clasificación de las técnicas de modulación pertinentes a la aplicación de estudio, según la frecuencia de conmutación [12, 64, 75] :

- Baja frecuencia de conmutación: aquellas frecuencias de conmutación iguales o dos veces mayor a la frecuencia fundamental.
- Alta frecuencia de conmutación: aquellas frecuencias de conmutación que son diez o más veces mayores a la fundamental, considerando mediana frecuencia al rango restante.

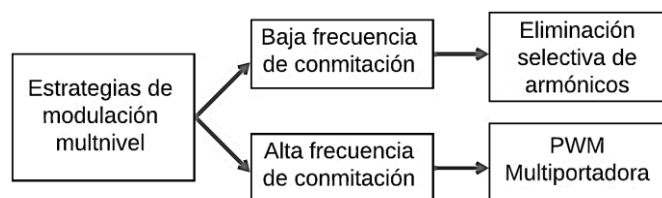


Figura 2.6. Clasificación de estrategias de modulación según su frecuencia de conmutación [12, 75]

### 2.3.1. Estrategia de modulación de eliminación selectiva de armónicos

Esta estrategia de modulación se utiliza con el propósito de generar una forma de onda de tensión de salida en un medio puente H o un puente completo. Para lograr esto, es necesario calcular los ángulos de conmutación ( $\alpha$ ) que permiten eliminar los armónicos de bajo orden presentes en el primer cuarto de onda, tal como se muestra en la Figura 2.7. Debido a la simetría que ofrece esta técnica de modulación, se simplifica el cálculo de los ángulos necesarios para lograr una forma de onda de tensión de salida deseada y minimizar la presencia de armónicos no deseados en la misma. En resumen, esta estrategia de modulación permite obtener una forma de onda de tensión de salida más limpia y precisa en un medio puente H o puente completo [76].

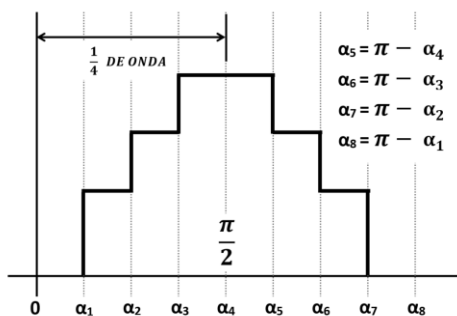


Figura 2.7. Ángulos de disparo para simetría de un cuarto de ciclo

La estrategia de eliminación selectiva de armónicos (SHE, *por sus siglas en Selective Harmonic Elimination*) es comúnmente empleada en aplicaciones de alta potencia debido a que reduce considerablemente las pérdidas por conmutación [75], sin embargo, el diseño e

implementación de esta estrategia para convertidores multinivel superiores a cinco niveles es complejo. Lo anterior debido a que se aumentan los ángulos de conmutación y como consecuencia aumentan las ecuaciones a resolver [75, 77].

### 2.3.2. Estrategia de modulación PWM multiportadora

Esta técnica de modulación presenta diferentes variantes dependiendo de la modificación que se les realice a las señales portadoras de alta frecuencia. Las estrategias variantes de la PWM multiportadora emplean más de una señal portadora de alta frecuencia, las cuales se comparan con señales moduladoras de baja frecuencia generando las señales de conmutación de los interruptores de la topología multinivel empleada [78-85]. A continuación, se enlistan dichas variantes:

- Disposición de fase (PD, *por sus siglas en inglés Phase Disposition*).
- Disposición opuesta de fase (POD, *por sus siglas en inglés Phase Opposition Disposition*).
- Disposición alterna opuesta de fase (APOD, *por sus siglas en inglés Alternative Phase Opposite Disposition*).
- PWM de portadoras con corrimiento de fase (PSC, *por sus siglas en inglés Phase Shift Carrier*).
- PWM con desplazamiento de nivel (LS PWM, *por sus siglas en inglés de Level Shifted PWM*).

Hay diferentes conceptos importantes a considerar al momento de diseñar cualquiera de las estrategias anteriormente enlistadas. Uno de ellos es el número de señales portadoras ( $S_p$ ) requeridas para generar los niveles de tensión a la salida ( $n$ ) deseados. Lo anterior se calcula mediante (2.3)[64].

$$s_p = n - 1 \quad (2.3)$$

Otros conceptos son los índices de modulación ( $m$ ) y de frecuencia  $m_f$ . El primero se calcula mediante (2.4) y establece la relación que existe entre la amplitud de la señal moduladora de baja frecuencia y la amplitud de la señal portadora de alta frecuencia. Observar el comportamiento de este índice es importante debido a que en caso de que ocurra que  $m > 1$  (sobremodulación) se ocasiona que haya ausencia de pulsos y esto afecta directamente en el desempeño del sistema. En cuanto al segundo índice, éste se calcula mediante (2.5) y establece la relación entre la frecuencia de la señal moduladora y la frecuencia de la señal portadora. Según [65] se recomienda que este índice sea mayor a 21.

$$m = \frac{A_m}{A_p} \quad (2.4)$$

$$m_f = \frac{f_m}{f_p} \quad (2.5)$$

Donde:

- $m$ = índice de modulación.
- $A_m$ = Amplitud de la señal moduladora.
- $A_p$ = Amplitud de la señal portadora.
- $m_f$ =índice de frecuencia.
- $f_m$ = frecuencia de señal moduladora.
- $f_p$ = frecuencia de señal portadora.

Tomando en cuenta el objetivo de esta tesis, las estrategias de modulación mencionadas en este apartado se dividieron en dos grupos. Quedando como se establece en la Figura 2.8.

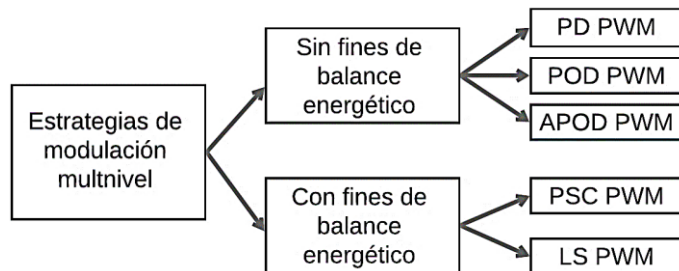


Figura 2.8. Clasificación de estrategias de modulación según su objetivo de balance energético

### 2.3.2.1. Estrategias sin fines de balance energético

En este grupo se encuentran las estrategias de modulación disposición de fase, disposición opuesta de fase y disposición alterna opuesta de fase, las cuales se describen a continuación.

- PD

En esta estrategia las señales portadoras por encima y por debajo de la referencia cero están en la misma fase y tienen la misma amplitud. En la Figura 2.9 se puede apreciar cinco ciclos de señales portadoras, para un inversor de siete niveles.

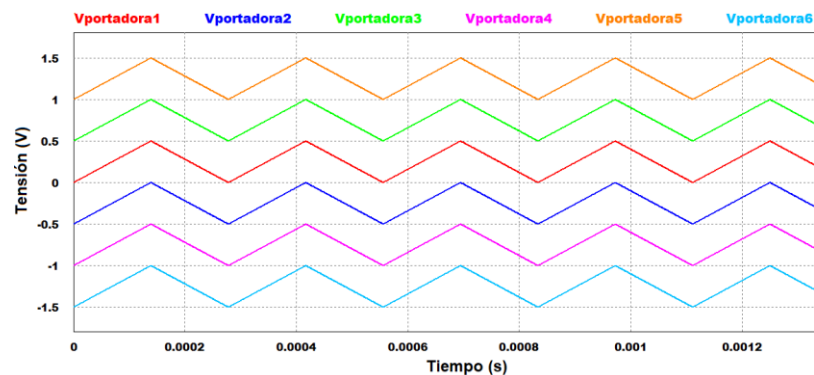


Figura 2.9. Señales portadoras de estrategia PD, cinco ciclos

- POD

En esta estrategia todas las portadoras tienen la misma amplitud y frecuencia. Sin embargo, las portadoras que se encuentran por encima de la referencia cero, se encuentran desfasadas  $180^\circ$  de las portadoras que se encuentran por debajo del cero. En la Figura 2.10 se encuentran las señales pertenecientes a esta estrategia de modulación.

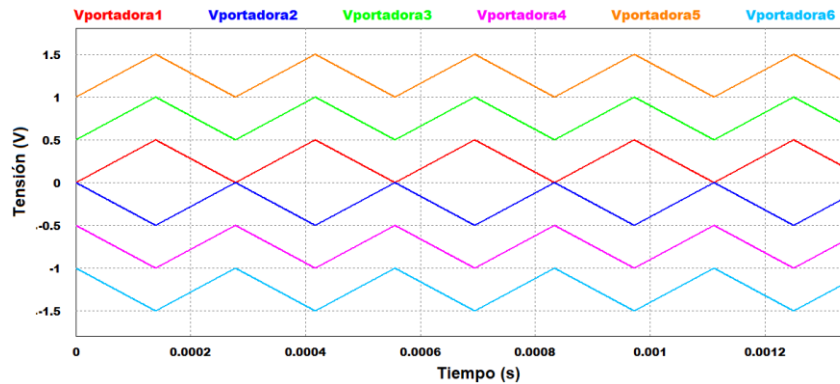


Figura 2.10. Señales portadoras de estrategia POD, cinco ciclos

- APOD

En esta estrategia, al igual que las anteriores sus portadoras tienen la misma amplitud y frecuencia, pero su diferencia radica en que las señales portadoras de esta modulación se encuentran desfasadas  $180^\circ$  respecto a la portadora adyacente. La Figura 2.11 muestra las señales portadoras referentes a esta técnica de modulación.

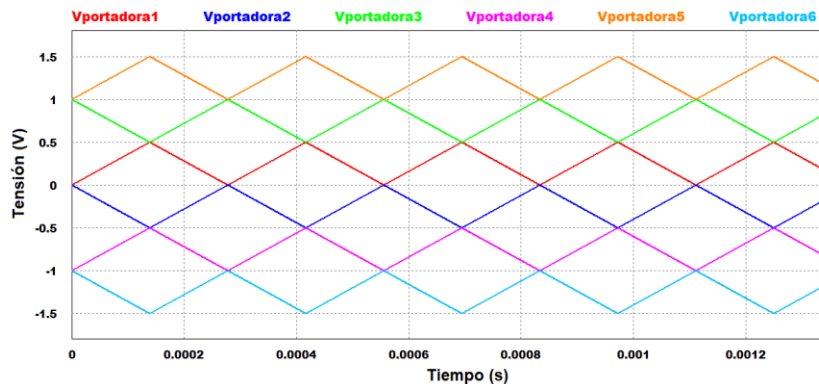


Figura 2.11. Señales portadoras de estrategia APOD, cinco ciclos

### 2.3.2.2. Estrategias con fines de balance energético

En este grupo se encuentra la estrategia de modulación de corrimiento de fase y las estrategias de modulación con desplazamiento de nivel de señal portadora. Sin embargo, dentro de estas últimas existen dos variantes dependiendo el ciclo que se rigen para realizar el desplazamiento de nivel, por ciclo de señal moduladora y por ciclo de señal portadora.

- PSC

En esta estrategia de modulación las señales portadoras tienen la misma amplitud y frecuencia, únicamente varían su fase entre sí. Mediante (2.6) se calcula el ángulo en el cual se encuentran desfasadas dichas señales.

$$\varphi = \frac{360^\circ}{2n} \quad (2.6)$$

Donde:

- $\varphi$  = ángulo de corrimiento de fase de señal portadora.
- $n$  = número de señales portadoras por fase.

La técnica de modulación PSC reduce el contenido armónico en la señal de tensión a la salida del inversor, debido a que posiciona el rizo de conmutación a un múltiplo del número de señales portadoras empleadas. Por ejemplo, si el convertidor es de siete niveles, se emplean seis señales portadoras y con esta estrategia el rizo de conmutación se encuentra a una frecuencia seis veces mayor que la establecida. En la Figura 2.12 se encuentran dos ciclos de las señales portadoras pertenecientes a esta estrategia.

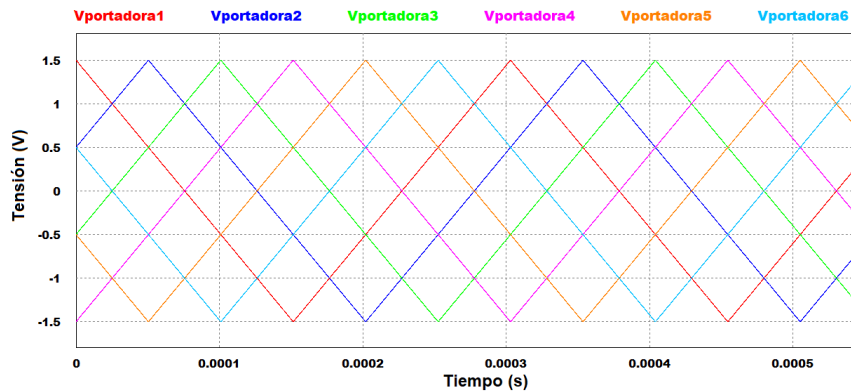


Figura 2.12. Señales portadoras de estrategia PSC, dos ciclos

- LS PWM por ciclo de señal moduladora.

En esta estrategia de modulación las señales portadoras de alta frecuencia se desplazan de nivel por cada ciclo de señal moduladora. Es decir, una vez que culmine el ciclo de la señal de referencia de baja frecuencia, la señal portadora cambia de nivel según el diseño dado y de acuerdo a los niveles de tensión a la salida requeridos. El número de ciclos requeridos ( $N_c$ ) para realizar el balance se lleva a cabo mediante (2.7).

$$N_c = \frac{n}{2} \quad (2.7)$$

En la Figura 2.13 se encuentra la señal moduladora de referencia y las señales portadoras pertenecientes a esta técnica de modulación.

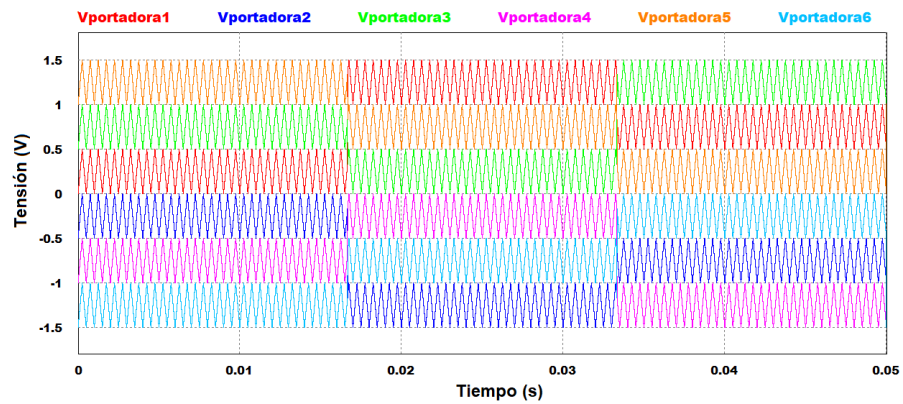


Figura 2.13. Señales portadoras de estrategia LS PWM por ciclo de moduladora

- LS PWM por ciclo de señal portadora

Esta estrategia de modulación se diferencia de la estrategia anterior en que el desplazamiento de nivel de la señal portadora de alta frecuencia se lleva a cabo una vez culminado cada ciclo de la misma señal portadora (Figura 2.14). Así como también en que esta estrategia únicamente requiere un ciclo de señal moduladora para realizar el balance energético, a diferencia que la anterior que requiere más de un ciclo.

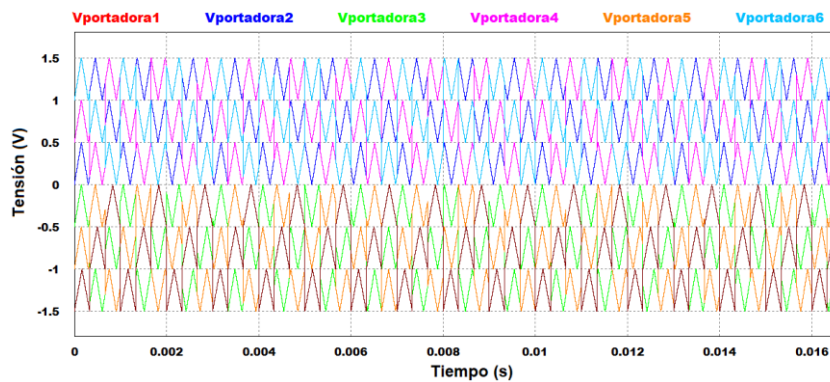


Figura 2.14. Señales portadoras de estrategia LS PWM por ciclo de portadora

En el estudio de este tema de investigación se emplean una de las estrategias sin fines de balance energético (PD) y las dos variantes de las estrategias de modulación LS PWM con la finalidad de llevar a cabo una comparación amplia con la estrategia diseñada en este trabajo, con la cual se pueda identificar ventajas y desventajas que presente dicha técnica.

---

# CAPÍTULO 3: DISEÑO DE ESTRATEGIA DE MODULACIÓN PROPUESTA

---

## 3.1 Descripción general

En este capítulo se lleva a cabo el diseño de la estrategia de modulación alternativa, la cual tiene como objetivo garantizar el balance energético entre las celdas del inversor multinivel y además presentar mejoras en parámetros de comparación establecidos que involucran la calidad de la señal de tensión a la salida, uso de recursos digitales, comportamiento en temperatura, potencia entregada a la carga, entre otros.

## 3.2 Análisis de áreas de oportunidad

En la Figura 3.1 se muestra el diagrama a bloques y el esquemático de la topología empleada en este trabajo. Lo anterior para facilitar la identificación de celdas e interruptores considerados.

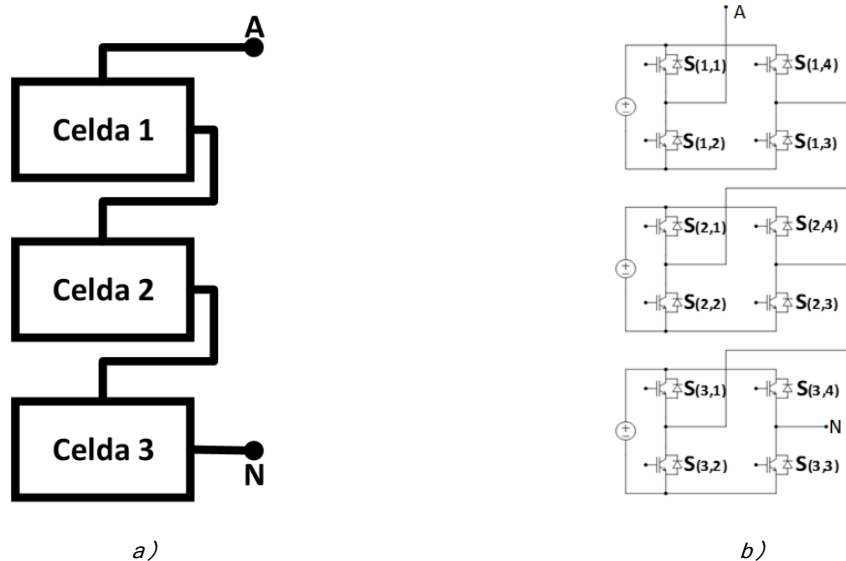


Figura 3.1. Diagramas de topología multinivel empleada a) bloques b) esquemático

La tensión escalonada a la salida del inversor ( $V_{AN}$ ) es la sumatoria de la tensión de cada celda perteneciente a la topología en cascada (ecuación 3.1). Para obtener la tensión de salida de cada celda se emplea (3.2), la cual multiplica la tensión de cd de cada celda por la resta entre los estados lógicos de conmutación de sus interruptores. Los estados



lógicos de conmutación empleados se encuentran en la Tabla 3.1. Cabe resaltar que estos estados son una de las posibles combinaciones de conmutación, ya que la topología en cascada nos ofrece la ventaja de ser redundante.

$$V_{AN} = \sum_{i=1}^n V_{celda(n)} \quad (3.1)$$

$$V_{celda(n)} = V_{CD(n)}(S_{(n,1)} - S_{(n,4)}) \quad (3.2)$$

Donde:

- $V_{AN}$ = Tensión a la salida del inversor.
- $n$ = número de celda.
- $V_{Celda}$ = Tensión de cada celda.
- $S$ = estado lógico del interruptor de la celda.

Tabla 3.1. Estados de conmutación empleados

S(n,s)	+3 Vcd	+2 Vcd	+Vcd	0	-Vcd	-2Vcd	-3 Vcd
S1,1	1	0	0	0	0	0	0
S1,4	0	0	0	0	0	0	1
S1,2	0	1	1	1	1	1	1
S1,3	1	1	1	1	1	1	0
S2,1	1	1	0	0	0	0	0
S2,4	0	0	0	0	0	0	1
S2,2	0	0	1	1	1	1	1
S2,3	1	1	1	1	1	1	0
S3,1	1	1	1	0	0	0	0
S3,4	0	0	0	0	1	1	1
S3,2	0	0	0	1	1	1	1
S3,3	1	1	1	1	0	0	0

En el Anexo 1, se encuentra el desarrollo de la obtención de la tensión de salida de cada celda mediante las ecuaciones anteriormente mencionadas y los estados lógicos presentados.

Empleando las estrategias que se basan en la técnica PWM multiportadora se enfrenta al problema del desbalance energético, debido a que existe una diferencia en cuanto a la tensión de salida de cada celda y a la corriente que fluye a través ellas. Lo anterior comúnmente se debe a que se presentan desiguales tiempos de conducción de los interruptores pertenecientes a cada módulo, debido a que al momento de realizar la comparación entre las señales portadoras y la señal moduladora cada una abarca únicamente cierto nivel de la señal de referencia.

Por ejemplo, en la Figura 3.2 se puede observar como la portadora 5 únicamente abarca el pico de la señal moduladora, caso contrario a la portadora 1 que abarca la mayor parte de la señal. Lo anterior ocasiona que la secuencia de conmutación generada por la comparación de portadora 5 y la moduladora para los interruptores de la primera celda tenga mayor número de conmutaciones y menor tiempo de conducción, caso contrario de lo obtenido con la comparación de la portadora 1 y la senoidal, la cual genera la conmutación de los interruptores de la celda 3. La distribución de los estados de conmutación se puede apreciar en la Figura 3.3.

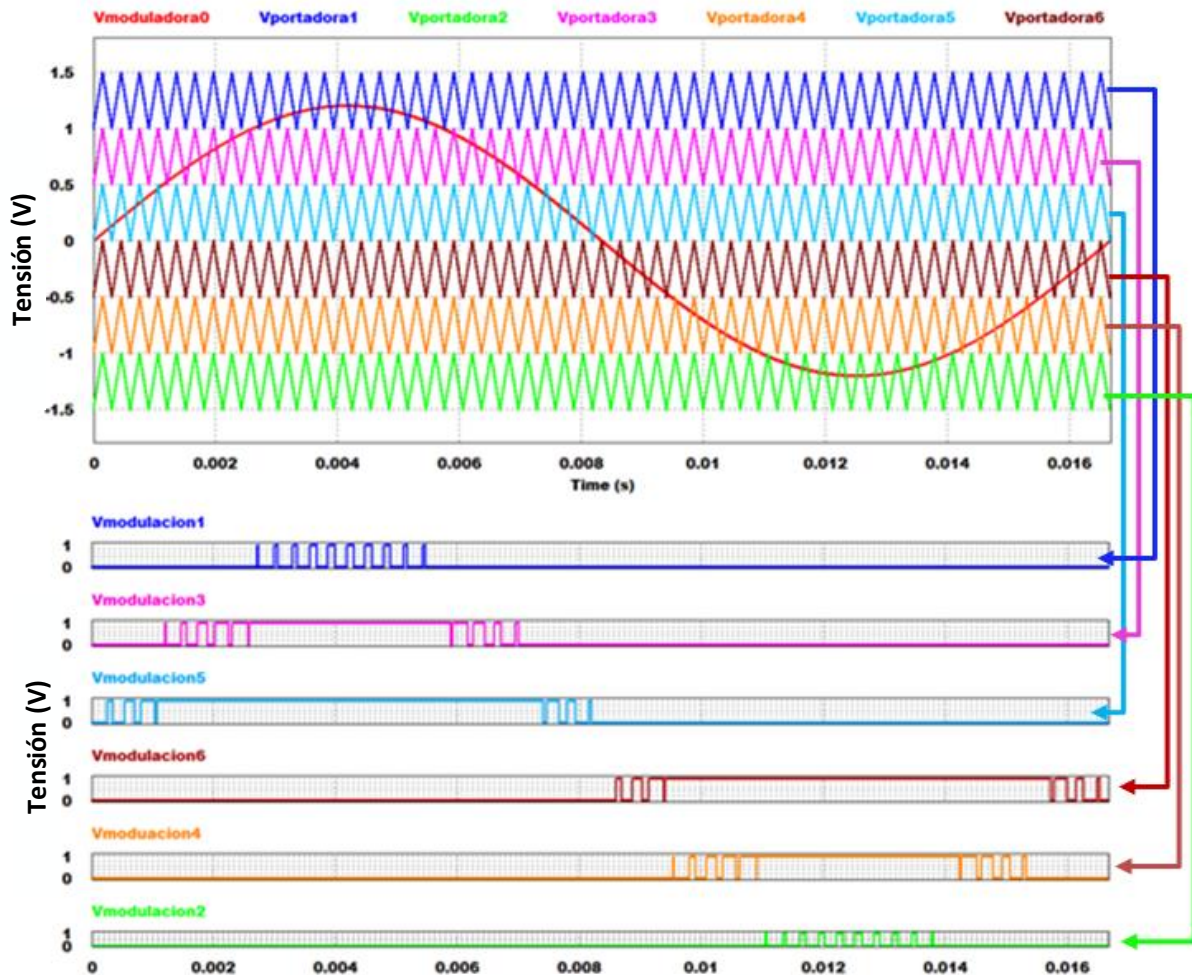


Figura 3.2. Área de comparación de señales moduladoras y portadoras

- Vmodulación1 y Vmodulación2 → puente H #1
- Vmodulación3 y Vmodulación4 → puente H #2
- Vmodulación5 y Vmodulación6 → puente H #3

Figura 3.3. Distribución de estados de conmutación por celda de inversor multinivel en cascada monofásico de siete niveles

El que cada portadora se encuentre relacionada únicamente con determinado nivel de la señal moduladora influye directamente en el comportamiento de cada celda de las siguientes maneras:

- Diferente amplitud de la tensión de salida de cada celda.
- Diferente amplitud de corriente que fluye a través de cada celda.
- Diferente número de conmutaciones.
- Diferente tiempo de conducción.

Con la finalidad de observar el comportamiento en lo referente a los últimos dos puntos anteriores, a continuación, se presenta el cálculo y análisis del número de conmutaciones y tiempos de conducción de cada celda.

Para realizar dichos cálculos se empleó el programa Excel® para construir y comparar las señales moduladoras y portadoras empleando las ecuaciones pertenecientes a cada estrategia de modulación. Con el programa también se lleva a cabo la comparación de dichas señales para posteriormente realizar el conteo de conmutaciones y tiempos de conducción por interruptor y con ello obtener la cantidad total de estas mediciones por celda.

En la Figura 3.4 se muestra el diagrama a bloques utilizado para llevar a cabo la obtención del número de conmutaciones por celda y el tiempo de conducción de éstas, empleando las diferentes técnicas de estudio.

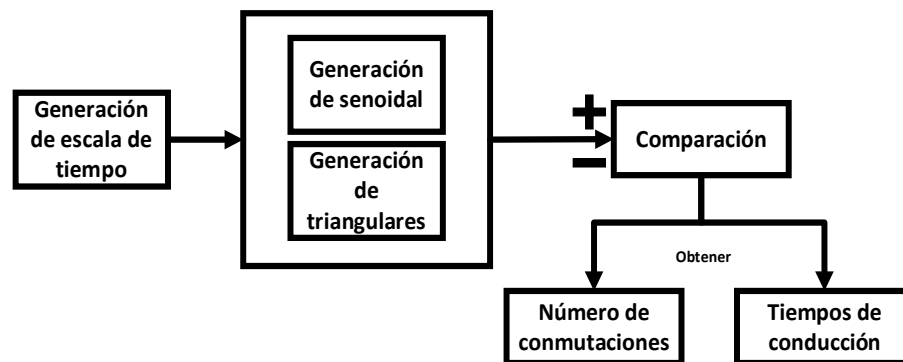


Figura 3.4. Diagrama a bloques del cálculo de conmutaciones y tiempo de conducción

El programa desarrollado lleva acabo todas las funciones mediante el uso de ecuaciones pertenecientes a cada señal (moduladora y portadoras), para asegurar la fidelidad de los resultados. A continuación, se describen los bloques:

1. Bloque de generación de escala de tiempo. Realiza la función del reloj maestro, el cual regula la frecuencia de muestreo de las señales moduladoras y portadoras. Para realizar la escala de tiempo se requieren introducir los siguientes datos: frecuencia, total de puntos de muestreo, número de puntos. En la Figura 3.5 se presenta una captura de pantalla donde se puede apreciar una parte del programa en el cual se colocan los valores para la generación de la escala de tiempo de la señal moduladora. Es importante destacar

que solamente se presentan en la captura 20 de los 1000 puntos empleados para que se logre apreciar lo mencionado.

1					m=	0.85	
2	Frecuencia	2pi	Total de puntos	Punto	Tiempo	Amplitud Seno	Senoidal
3	60	6.2831853	1000	1	0.0062832	1.275	0.008011
4	60	6.2831853	1000	2	0.0125664	1.275	0.0160217
5	60	6.2831853	1000	3	0.0188496	1.275	0.0240318
6	60	6.2831853	1000	4	0.0251327	1.275	0.0320409
7	60	6.2831853	1000	5	0.0314159	1.275	0.0400487
8	60	6.2831853	1000	6	0.0376991	1.275	0.048055
9	60	6.2831853	1000	7	0.0439823	1.275	0.0560594
10	60	6.2831853	1000	8	0.0502655	1.275	0.0640615
11	60	6.2831853	1000	9	0.0565487	1.275	0.0720611
12	60	6.2831853	1000	10	0.0628319	1.275	0.0800579
13	60	6.2831853	1000	11	0.069115	1.275	0.0880515
14	60	6.2831853	1000	12	0.0753982	1.275	0.0960417
15	60	6.2831853	1000	13	0.0816814	1.275	0.104028
16	60	6.2831853	1000	14	0.0879646	1.275	0.1120103
17	60	6.2831853	1000	15	0.0942478	1.275	0.1199881
18	60	6.2831853	1000	16	0.100531	1.275	0.1279612
19	60	6.2831853	1000	17	0.1068142	1.275	0.1359292
20	60	6.2831853	1000	18	0.1130973	1.275	0.1438919
21	60	6.2831853	1000	19	0.1193805	1.275	0.1518489
22	60	6.2831853	1000	20	0.1256637	1.275	0.1597999

Figura 3.5. Generación de escala de tiempo de señal moduladora en programa Excel®

2. Bloque de generación de señales. Desarrolla la señal moduladora (senoidal) y las seis señales portadoras (triangulares) mediante el uso de ecuaciones características. Para la generación de señal moduladora se emplea (3.3); para la generación de las portadoras las ecuaciones varían dependiendo de la modulación de estudio. Es decir, recordemos que tenemos cuatro estrategias de modulación de estudio: PD PWM, PSC PWM, LS PWM portadora, LS PWM moduladora. Por ejemplo, para la PD PWM se emplean las ecuaciones (3.4) a la (3.9) [86, 87].

$$V_A = A_A \sin(2\pi f_m t) \quad (3.3)$$

$$V_{T1} = A_T \left[ \frac{2}{\pi} \arcsin \left( \sin \left( 2\pi f_c t - \frac{\pi}{2} \right) \right) \right] + 5A_T \quad (3.4)$$

$$V_{T2} = A_T \left[ \frac{2}{\pi} \arcsin \left( \sin \left( 2\pi f_c t - \frac{\pi}{2} \right) \right) \right] + 3A_T \quad (3.5)$$

$$V_{T3} = A_T \left[ \frac{2}{\pi} \arcsin \left( \sin \left( 2\pi f_c t - \frac{\pi}{2} \right) \right) \right] + A_T \quad (3.6)$$

$$V_{T4} = A_T \left[ \frac{2}{\pi} \arcsin \left( \sin \left( 2\pi f_c t - \frac{\pi}{2} + \right) \right) \right] - A_T \quad (3.7)$$

$$V_{T5} = A_T \left[ \frac{2}{\pi} \arcsin \left( \sin \left( 2\pi f_c t - \frac{\pi}{2} \right) \right) \right] - 3A_T \quad (3.8)$$

$$V_{T6} = A_T \left[ \frac{2}{\pi} \arcsin \left( \sin \left( 2\pi f_c t - \frac{\pi}{2} \right) \right) \right] - 5A_T \quad (3.9)$$

Donde:

- $V_A$ = tensión de fase
- $A_A$ = amplitud de señal moduladora
- $A_T$ = amplitud de señal triangular
- $f_m$ = frecuencia de señal moduladora
- $f_c$ = frecuencia de señal portadora
- $T$ = período

En la Figura 3.6 se presentan la captura de pantalla del programa donde se pueden apreciar las señales portadoras y la señal moduladora construidas con las ecuaciones anteriores, pertenecientes a la estrategia de modulación PD. Cabe mencionar que con la finalidad de que se aprecien de mejor manera en la figura, se redujo la frecuencia de las señales portadoras a 300Hz. De igual manera se generaron las demás estrategias de modulación bajo estudio.

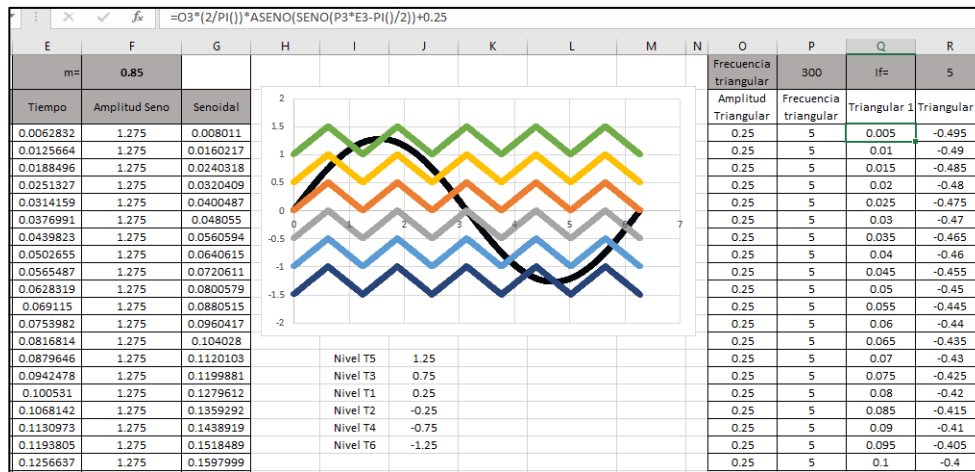


Figura 3.6. Señales portadoras y señal moduladora generadas en Excel®, estrategia de modulación PD

3. Bloque de comparación. Realiza la comparación de señal moduladora con la señal portadora correspondiente. Para la comparación se emplea el comando SI, el cual realiza la función de comparar el dato numérico de las señales; si el dato de la señal moduladora es mayor al dato de la señal triangular entonces mostrará un estado lógico 1, de lo contrario el estado lógico es 0. Tal como se muestra en (3.10).

$$C_n = SI(A_A > A_T, 1, 0) \quad (3.10)$$

Dónde:

- C= comparación lógica. La letra  $n$  indica el número de celda a la que pertenece la comparación.
- SI= comando de comparación de datos numéricos.

4. Bloque de salida. Obtiene mediante las ecuaciones (3.11) y (3.12), el número de conmutaciones y tiempos de conducción, respectivamente.

$$Sw = [SI(C_n = C_{n+1}, 0,1) \quad (3.11)$$

$$T_{cond} = \frac{((\sum_{i=1}^n C_n) * (t))}{Total\ datos} \quad (3.12)$$

Donde:

- Sw= número de conmutaciones de cada interruptor de las diferentes celdas ( $n$ )
- $T_{cond}$ = tiempo de conducción de cada interruptor de las diferentes celdas

Es importante mencionar que las ecuaciones desarrolladas pueden presentar la variación en cuanto a desfaseamiento entre la tensión y la corriente en el caso de que la carga sea inductiva.

Las conmutaciones se detectan empleando el comando SI, comparando los estados lógicos de cada interruptor a lo largo de un ciclo. De tal manera que se identifique cada que haya un cambio de estado de los interruptores pertenecientes a las diferentes celdas. Los tiempos de conducción se determinan por medio de la multiplicación de la sumatoria de las comparaciones lógicas por el período de trabajo entre el total de datos muestreados en el programa.

En la Tabla 3.2 y la Figura 3.7 se muestran los resultados del conteo de conmutaciones de los interruptores de las distintas celdas empleando diferentes índices de modulación, con estrategia PD. Recordando que la nomenclatura de los interruptores es S (número de celda, número de interruptor).

Tabla 3.2. Número de conmutaciones obtenidas por interruptor para estrategia de modulación PD PWM

Número de conmutaciones en interruptores obtenidos por ecuaciones							
Interruptor	índice de modulación ( $m_a$ )						
	0.8	0.85	0.9	0.95	1	1.05	1.1
S11	20	22	24	28	26	20	16
S14	20	22	24	28	26	20	16
S21	18	16	16	14	12	12	12
S24	18	16	16	14	12	12	12
S31	14	12	12	10	10	10	10
S34	14	12	12	10	10	10	10

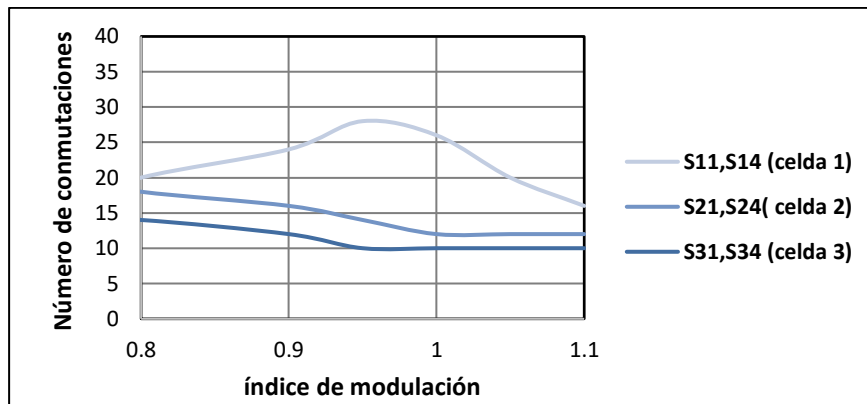


Figura 3.7. Número de conmutaciones para distintos índices de modulación de la estrategia PD PWM

Con los datos anteriores se utilizó WolframAlpha® para realizar un barrido y establecer ecuaciones que describan su comportamiento bajo iguales condiciones, por medio de regresión polinómica, resultado las ecuaciones (3.13), (3.14) y (3.15), presentes en la Tabla 3.3, las cuales arrojaron coeficientes de determinación [88] mayores a 98%.

Tabla 3.3. Ecuaciones características por celda para el número de conmutaciones, PD PWM

Interruptor	Coefficiente de determinación	Ecuación de número de conmutaciones en función del índice de modulación	
S11, S14	0.982	$f_{sw1}(m) = -139.86m^3 + 42.8904m^2 + 286.457m - 167.905$	(3.13)
S21, S24	0.987	$f_{sw2}(m) = -590m^3 + 1719.81m^2 - 1677.75m + 561.806$	(3.14)
S31, S34	0.981	$f_{sw3}(m) = 18.648m^3 - 6.52681m^2 - 49.7302m + 47.7958$	(3.15)

De acuerdo con los valores obtenidos con el programa desarrollado se establece que el número de conmutaciones de los interruptores de la celda 1 en cualquier índice de modulación, es mayor que en la celda 2 y éste, a su vez que la celda 3. Además, las ecuaciones del número de conmutaciones en función al índice de modulación son diferentes entre celdas. Considerando lo anterior, se selecciona el índice de modulación de 0.9 para realizar un ejemplo de comparación del número de conmutaciones de las diferentes celdas del convertidor empleando las ecuaciones (3.13), (3.14) y (3.15) y las conmutaciones obtenidas mediante el programa desarrollado en Excel®, los resultados se presentan en la Figura 3.8.

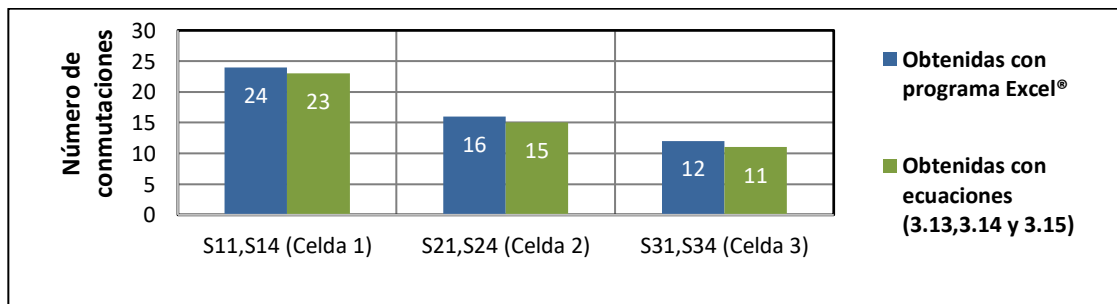


Figura 3.8. Comparación de número de conmutaciones empleando un índice de modulación de 0.9

Continuando a lo referente a tiempos de conducción de cada celda. En la Figura 3.9 se muestran los resultados de tiempos de conducción por índice de modulación para celda. En ella se puede apreciar que el comportamiento es contrario a lo encontrado en el número de conmutaciones, es decir, el tiempo de conducción en la celda 1 es menor al obtenido en la celda 2, y este menor a la celda 3.

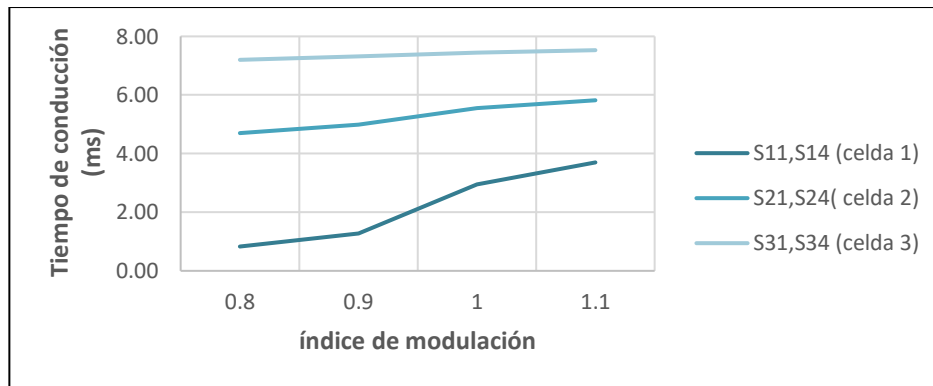


Figura 3.9. Tiempo de conducción para distintos índices de modulación de la estrategia PD PWM

De igual manera que con el número de conmutaciones se empleó la opción de regresión polinómica de WolframAlpha® para obtener las ecuaciones características para el tiempo de conducción (ver Tabla 3.4); cada una de ellas obteniendo coeficientes de determinación mayores al 98% según lo indicado por el programa bajo las condiciones determinadas. Con ellas se puede reafirmar que los tiempos de conducción son diferentes ya que  $t_{sw1}(m) \neq t_{sw2}(m) \neq t_{sw3}(m)$ . Para apreciar la correcta aproximación se presenta la Figura 3.10.

Tabla 3.4. Ecuaciones características por celda para el tiempo de conducción, PD PWM

Interruptor	Coficiente de determinación	Ecuación de tiempo de conducción en función del índice de modulación	
S11, S14	0.999	$t_{sw1}(m) = -0.0466263m^3 + 0.129078m^2 - 0.108069m + 0.0285158$	(3.16)
S21, S24	0.999	$t_{sw2}(m) = -0.020202m^3 - 0.0616623m^2 + 0.0658088m - 0.0188117$	(3.17)
S31, S34	0.988	$t_{sw3}(m) = 0.0023569m^3 - 0.00762482m^2 + 0.0091340m + 0.0035733$	(3.18)



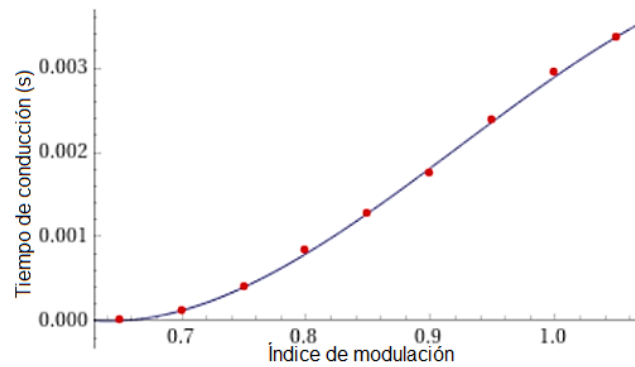


Figura 3.10. Curva obtenida de tiempos de conducción con regresión polinómica (WolframAlpha®), estrategia PD

Todo lo anterior se llevó a cabo para las estrategias de modulación restantes (PSC, LS portadora, LS moduladora). En la Tabla 3.5 se presenta un resumen de los resultados obtenidos para todas las estrategias de estudio respecto al número de conmutaciones y tiempos de conducción de las diferentes celdas calculados mediante la implementación en Excel® descrito anteriormente.

Tabla 3.5. Resumen de resultados de número de conmutaciones y tiempos de conducción en las diferentes estrategias

Modulación	Número de conmutación iguales entre celdas	Tiempos de conducción iguales entre celdas
PD	NO	NO
PSC	NO	SI
LS portadora	NO	SI
LS moduladora	SI	NO

En la tabla anterior se puede observar que de acuerdo con lo esperado la técnica de modulación PD PWM no presenta ni tiempos de conducción ni número de conmutaciones iguales entre sus celdas, ratificando el desbalance. Respecto a las otras tres estrategias de modulación, se observa que la PSC PWM y LS PWM portadora presentan igualdad de tiempos de conducción entre sus celdas, pero desigualdad en cuanto a número de conmutaciones. Caso contrario a la LS PWM moduladora, la cual presenta igualdad en número de conmutaciones, pero desigualdad en tiempos de conducción. Derivado de lo anterior se identifica que uno de los objetivos de la estrategia de modulación propuesta en este trabajo, es lograr que las conmutaciones y tiempos de conducción sean iguales entre celdas o en su caso minimizar la diferencia entre ellas, con la finalidad de observar si existe mejora en el desbalance energético al minimizar dicha diferencia.

Además de los resultados obtenidos en cuanto a conmutación y conducción, no hay que perder de vista que la razón principal del desbalance es que lo anterior se origina debido a

que cada triangular abarca únicamente cierta área de la moduladora, lo cual ocasiona que haya desbalance tanto de tensión a la salida de cada celda como de corriente que fluye a través de ellas. Por lo que resulta conveniente establecer una relación en la que se distribuya equitativamente la amplitud de la señal moduladora para todas las señales triangulares, pero guardando la igualdad en cuanto a número de conmutaciones y tiempos de conducción, para con ello obtener el equilibrio de potencia y energía entre celdas, así como garantizar que una buena calidad de la señal de tensión a la salida.

### 3.3 Estrategia “moduladoras reconstruidas”

Considerando lo analizado en el apartado anterior se establecen los parámetros de comparación bajo los cuales se rige la estrategia de modulación alternativa son los siguientes:

- Balance de energía entre celdas del convertidor multinivel.
- Porcentaje de desbalance.
- Contenido armónico.
- Uso de recursos digitales.
- Reducción de número de señales portadoras por nivel.

La estrategia de modulación propuesta surge del principio de asegurar que la tensión de cada celda sea la misma, así mismo deben conducir el mismo tiempo entre ellas y tener iguales pérdidas de conmutación. Lo anterior manteniendo la relación de igualdad en el uso de la amplitud de la onda sinusoidal en el momento de la comparación.

Como resultado de la observación del análisis de oportunidades, se observó que las estrategias que realizan balance energético existentes se basan en la modificación de las señales portadoras, manteniendo intacta la señal moduladora. Por lo que se parte de una solución como estrategia alternativa en la que el enfoque principal no sea modificar las señales portadoras sino modificar la señal moduladora, y que al mismo tiempo nos permita reducir el número de señales requeridas para la modulación. Modificándola sin perder de vista la relación que hay entre el área de la señal moduladora que le pertenece a cada triangular y el tiempo de conducción [86, 87, 89] y que al mismo tiempo obtenga una THD mínima.

Esta estrategia de modulación requiere emplear únicamente dos señales portadoras y tres señales moduladoras, para obtener una señal de tensión a la salida monofásica de siete niveles. Las señales empleadas en esta estrategia son las siguientes:

- Señal portadora 1. Señal triangular de amplitud fija ubicada en el cuadrante positivo (ver (3.19)).
- Señal portadora 2. Señal triangular de amplitud fija ubicada en el cuadrante negativo (ver (3.20)).

$$V_{c1} = A_T \left[ \frac{2}{\pi} \arcsin \left( \sin \left( 2\pi f_c t - \frac{\pi}{2} \right) \right) \right] + A_T \quad (3.19)$$

$$V_{c2} = A_T \left[ \frac{2}{\pi} \arcsin \left( \sin \left( 2\pi f_c t - \frac{\pi}{2} \right) \right) \right] - A_T \quad (3.20)$$

Donde:

- $V_{c1}$  = señal portadora 1.
- $V_{c2}$  = señal portadora 2.
- Señal moduladora 1. Señal senoidal construida por secciones empezando con un ángulo de  $0^\circ$ . Se añaden los ángulos  $\alpha$ , los cuales fijan los límites de nivel correspondientes a cada moduladora reconstruida, ver (3.21) La señal moduladora 1 es la que al compararse con las dos señales portadoras obtiene las señales de conmutación de la celda 1. La amplitud varía dependiendo el índice de modulación.

$$V_{mod1} = \begin{cases} V_{part1} = \begin{cases} V_{part2_1} = V_m \sin(2\pi f_m t + \alpha_1) + \frac{2V_m}{3} & 0 < t < \alpha_1 \\ V_{part2_2} = \frac{V_m}{3} & \alpha_1 < t < \alpha_2 \\ V_{part2_3} = V_m \sin(2\pi f_m t + \alpha_2) & \alpha_2 < t < \pi \end{cases} \\ V_{part2} = \begin{cases} V_{part3_1} = V_m \sin(2\pi f_m t) + \frac{2V_m}{3} & 0 < t < \alpha_1 \\ V_{part3_2} = \frac{V_m}{3} & \alpha_1 < t < \pi - \alpha_1 \\ V_{part3_3} = V_m \sin(2\pi f_m t) + \frac{2V_m}{3} & \pi - \alpha_1 < t < \pi \end{cases} \\ V_{part3} = V_m \sin(2\pi f_m t + \alpha_2) + \frac{2V_m}{3} \end{cases} \quad (3.21)$$

- Señal moduladora 2. Señal senoidal construida por secciones empezando con un ángulo de  $120^\circ$ . Se añaden los ángulos  $\alpha$ , los cuales fijan los límites de nivel correspondientes a cada moduladora reconstruida, ver (3.22). La señal moduladora 2 es la que al compararse con las dos señales portadoras obtiene las señales de conmutación de la celda 2. La amplitud varía dependiendo el índice de modulación.

$$V_{mod2} = \begin{cases} V_{part1} = \begin{cases} V_{part2_1} = V_m \sin(2\pi f_m t + \alpha_1 + 120^\circ) + \frac{2V_m}{3} & 0 < t < \alpha_1 \\ V_{part2_2} = \frac{V_m}{3} & \alpha_1 < t < \alpha_2 \\ V_{part2_3} = V_m \sin(2\pi f_m t + \alpha_2 + 120^\circ) & \alpha_2 < t < \pi \end{cases} \\ V_{part2} = \begin{cases} V_{part3_1} = V_m \sin(2\pi f_m t + 120^\circ) + \frac{2V_m}{3} & 0 < t < \alpha_1 \\ V_{part3_2} = \frac{V_m}{3} & \alpha_1 < t < \pi - \alpha_1 \\ V_{part3_3} = V_m \sin(2\pi f_m t + 120^\circ) + \frac{2V_m}{3} & \pi - \alpha_1 < t < \pi \end{cases} \\ V_{part3} = V_m \sin(2\pi f_m t + \alpha_2 + 120^\circ) + \frac{2V_m}{3} \end{cases} \quad (3.22)$$

- Señal moduladora 3. Señal senoidal construida por secciones empezando con un ángulo de  $240^\circ$ . Se añaden los ángulos  $\alpha$ , los cuales fijan los límites de nivel correspondientes a cada moduladora reconstruida, ver (3.23). La señal moduladora 3 es la que al compararse con las dos señales portadoras obtiene las señales de conmutación de la celda 2. La amplitud varía dependiendo el índice de modulación.

$$V_{mod3} = \begin{cases} V_{part1} = \begin{cases} V_{part2_1} = V_m \sin(2\pi f_m t + \alpha_1 + 240^\circ) + \frac{2V_m}{3} & 0 < t < \alpha_1 \\ V_{part2_2} = \frac{V_m}{3} & \alpha_1 < t < \alpha_2 \\ V_{part2_3} = V_m \sin(2\pi f_m t + \alpha_2 + 240^\circ) & \alpha_2 < t < \pi \end{cases} \\ V_{part2} = \begin{cases} V_{part3_1} = V_m \sin(2\pi f_m t + 240^\circ) + \frac{2V_m}{3} & 0 < t < \alpha_1 \\ V_{part3_2} = \frac{V_m}{3} & \alpha_1 < t < \pi - \alpha_1 \\ V_{part3_3} = V_m \sin(2\pi f_m t + 240^\circ) + \frac{2V_m}{3} & \pi - \alpha_1 < t < \pi \end{cases} \\ V_{part3} = V_m \sin(2\pi f_m t + \alpha_2 + 240^\circ) + \frac{2V_m}{3} \end{cases} \quad (3.23)$$

Donde:

- $V_{mod1}$  = Tensión de celda 1.
- $V_{mod2}$  = Tensión de celda 2.
- $V_{mod3}$  = Tensión de celda 3.
- $V_{part}$  = Tensión de cada sección de la moduladora empleada

Para la generación de las señales moduladoras se lleva a cabo la modificación de una señal senoidal seccionándola en seis partes, según el número de portadoras, tres por semiciclo; estas divisiones van a trabajar en diferentes tiempos (Figura 3.11). Una vez dividida la señal, se construye una moduladora que emplee las tres partes, pero en diferentes tiempos, obteniendo la señal moduladora presentada en la Figura 3.12.

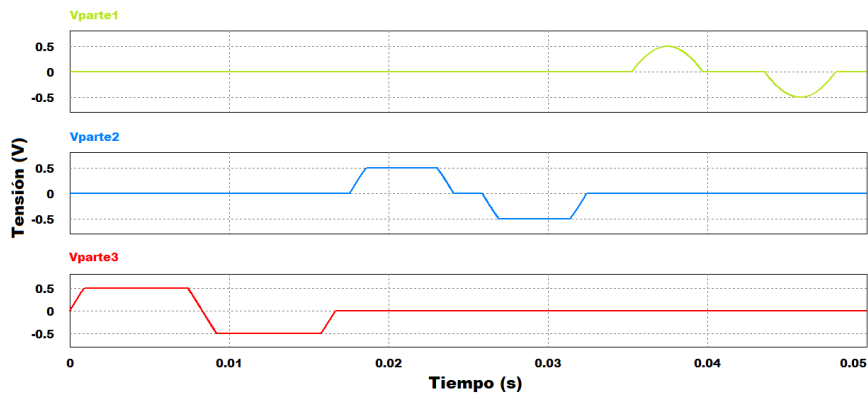


Figura 3.11. Señal senoidal seccionada

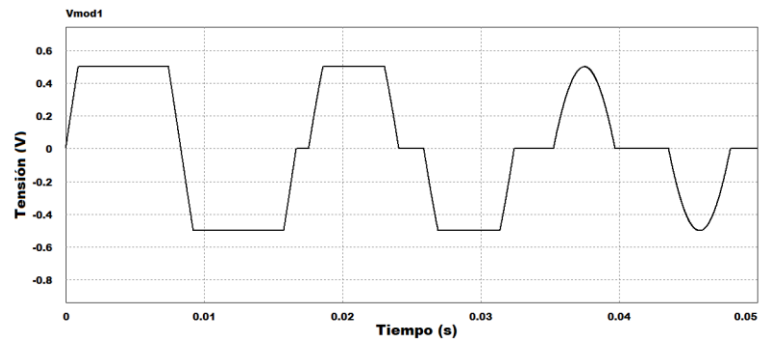


Figura 3.12. Señal moduladora 1

Posteriormente, se construyen dos señales moduladoras más, las cuales se encuentran desfasadas  $120^\circ$ , quedando como se muestra en la Figura 3.13.

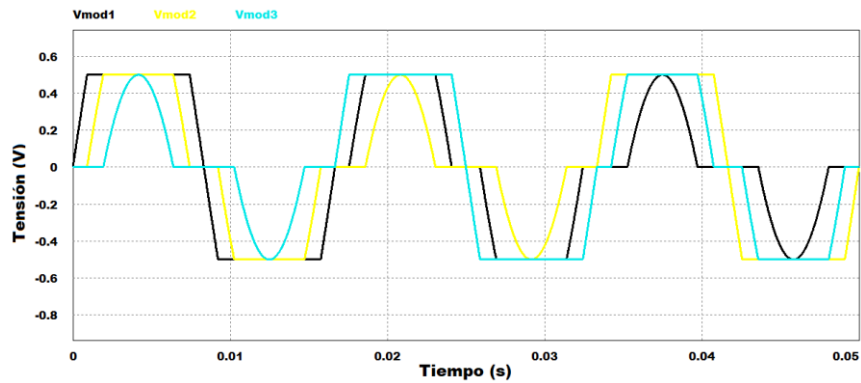


Figura 3.13. Señales moduladoras

Finalmente, al utilizar tres moduladoras de baja frecuencia, únicamente se necesitan dos señales portadoras de alta frecuencia para llevar a cabo la comparación. Esto representa una ventaja significativa, ya que se reduce el número de señales portadoras necesarias en comparación con otras técnicas similares. De esta manera, se simplifica el proceso de comparación y se logra una mayor eficiencia en el uso de recursos, lo que hace que esta técnica sea más práctica y efectiva en la aplicación (Figura 3.14).

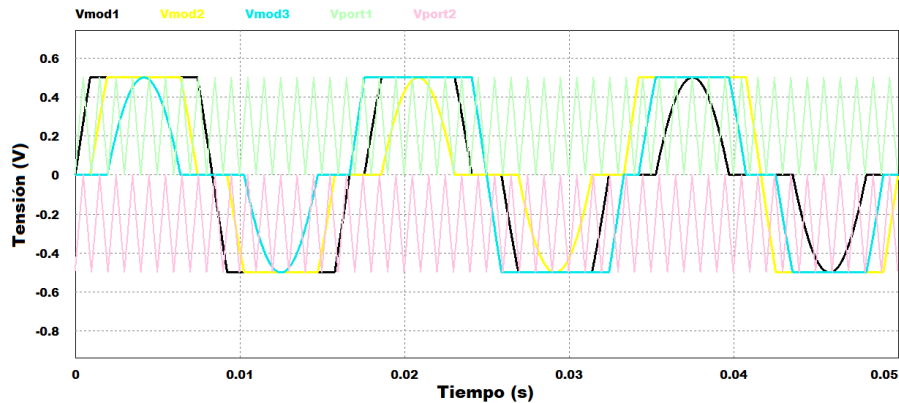


Figura 3.14. Señales moduladoras y señales portadoras

---

# CAPÍTULO 4: IMPLEMENTACIÓN DE ESTRATEGIA DE MODULACIÓN EN FPGA

---

## 4.1 Descripción general

En este capítulo se encuentra la descripción de los elementos requeridos para la implementación digital de las estrategias de modulación de estudio, las cuales abarcan a la técnica de modulación sin fines de balance energético PD, las estrategias de modulación existentes con fines de balance energético PSC, LS moduladora, LS portadora y finalmente, a la estrategia “moduladoras reconstruidas” propuesta en esta tesis. La implementación se lleva a cabo mediante el desarrollo de código VHDL anidado, implementado en FPGA Cyclone II de la marca Altera®.

## 4.2 FPGA Altera Cyclone II

El dispositivo empleado en la implementación de las cinco estrategias de modulación es un FPGA (*por sus siglas en inglés Field Programmable Gate Array*), el cual es un dispositivo que consta de un arreglo matricial de bloques lógicos programables mediante un lenguaje de descripción especializado [70]. En la Figura 4.1 se encuentran los elementos básicos que componen la arquitectura de un FPGA, la cual consta de arreglos de bloques lógicos programables, conectados entre sí mediante canales de conexión verticales y horizontales. Al mismo tiempo que se interconectan con bloques de entrada y salida [65, 90, 91].

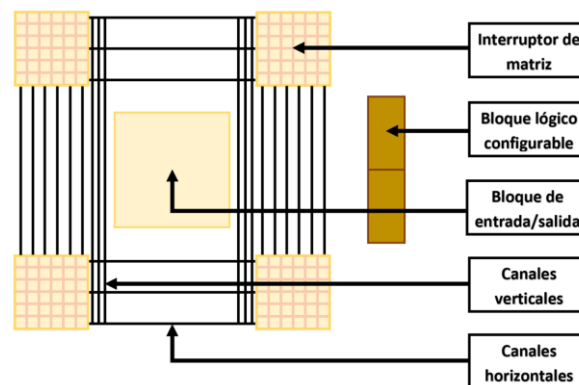


Figura 4.1. Elementos básicos en la arquitectura de FPGA

En la Tabla 4.1 se presentan las ventajas y desventajas de estos dispositivos comparados con los circuitos integrados para aplicaciones específicas (ASIC, *por sus siglas en inglés de*

Application Specific Integrated Circuit), los cuales cumplen con las mismas funciones [74].

Tabla 4.1. Principales ventajas y desventajas de FPGA vs ASIC

Ventaja	Desventaja
Menor costo de desarrollo y adquisición	Presentan una velocidad ligeramente menor
Tiempo de diseño y manufacturación menores	
Minimización del número de componentes de diseño	Consumen mayor potencia
Son reprogramables	
Paralelismo	

Específicamente, en esta tesis se empleó el FPGA Cyclone II de la marca Altera® (Figura 4.2), cuyas características principales y especificaciones se encuentran en la Tabla 4.2. La familia Cyclone segunda generación a la que pertenece la tarjeta de desarrollo empleada, para implementar lógica se basa en fila y columna de dos dimensiones interconectadas a velocidades diferentes, las cuales proporcionan señales de interconexión entre los bloques lógicos configurables y los bloques integrados de memoria. Además, emplea estructura de interconexión segmentada y emplean líneas múltiples de longitud variable unidas por transistores de paso o antifusibles para conectar las celdas lógicas [92].

Tabla 4.2. Especificaciones de FPGA Altera Cyclone II EP2C5T144

Especificación	Dato/Valor
Chip	EP2C5
Elementos lógicos	4608
Bits de memoria	119808
Pines de E/S	158
Oscilador	50 MHz
Alimentación	5V DC
Botón de Reset	Si aplica
Capacitores	Tantalio de alta calidad para filtrado de fuente de alimentación



Figura 4.2. FPGA Altera Cyclone II EP2C5T144

### 4.3 Lenguaje de programación empleado

Existen diferentes formas para llevar a cabo la programación digital en FPGA, las cuales pueden ser empleando diagramas esquemáticos o lenguaje de descripción de hardware. En este trabajo de investigación se empleó la segunda opción. El lenguaje de descripción de hardware utilizado para programar el FPGA es el lenguaje VHDL, el cual es un acrónimo proveniente de la combinación de dos acrónimos: VHSIC (*por sus siglas en inglés Very High Speed Integrated Circuit*) y HDL (*por sus siglas en inglés Hardware Description Language*).

El lenguaje VHDL posee las siguientes características principales:

- Capacidad descriptiva de amplio rango.
- Capacidad para manejar proyectos de dimensiones elevadas.
- Formato textual normalizado para ser interpretado tanto por máquinas como por personas.

Por sus características, este lenguaje de descripción ayuda a descubrir problemas en el diseño antes que se lleve a cabo la implementación física, tiene una sintaxis amplia y flexible que permite el modelado flexible del comportamiento del sistema digital de estudio [93]. Este tipo de lenguaje es capaz de simular de manera fidedigna el comportamiento lógico de un circuito sin necesidad que el programador imponga restricciones [90].

### 4.4 Descripción de códigos

En general, el comportamiento del programa anidado se describe en el diagrama a bloques presente en la Figura 4.3, dentro del mismo existen códigos que generan los relojes que establecen las frecuencias de todas las señales digitales, otros que generan las señales o realizan operaciones con ellas dependiendo de la estrategia a implementar y finalmente, hay códigos que llevan a cabo la comparación y generan las salidas.



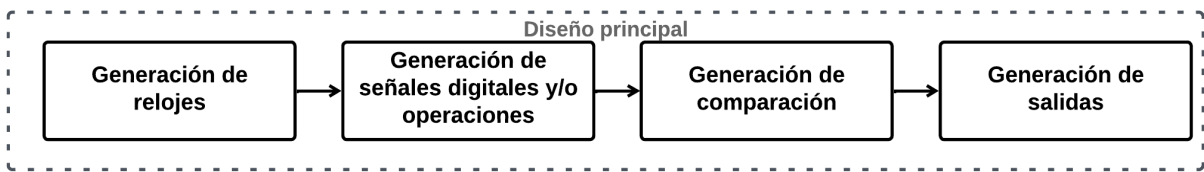


Figura 4.3. Diagrama a bloques general de implementación digital

En todas las estrategias de modulación implementadas la generación digital de las señales moduladoras y portadoras se lleva a cabo mediante el uso de multiplexores en cascadas que seleccionan la salida requerida según sea el contador, el cual está regido por el reloj maestro perteneciente a la tarjeta FPGA, arrojando los valores necesarios según el tiempo transcurrido del ciclo. La comparación de las señales digitales se hace por medio de compuertas (Figura 4.4).

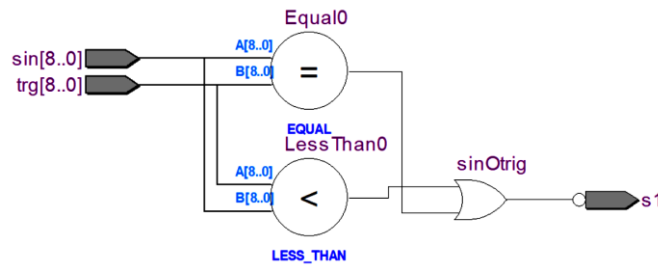


Figura 4.4. Diagrama de compuertas de comparación

El momento en que la estructura del diseño varía es cuando se decide qué estrategia de modulación implementar. Esto implica que el diseño principal debe cambiar en términos del número y tipo de códigos necesarios para generar la señal de modulación deseada. Debido a que existen similitudes en cuanto a la cantidad y tipo de códigos necesarios para diferentes estrategias de modulación, se ha dividido la descripción de la implementación en tres grupos:

- Implementación tipo 1. Este grupo describe la implementación de las estrategias PD y PSC.
- Implementación tipo 2. Este grupo describe la implementación de LS por ciclo de portadora, LS por ciclo de moduladora.
- Implementación tipo 3. Describe la implementación de la estrategia de la estrategia de modulación propuesta en esta tesis.

#### 4.4.1. Implementación tipo 1

El diseño principal desarrollado para realizar la implementación de las estrategias de modulación PD y PSC está conformado por diferentes tipos de códigos independientes, cada uno cumpliendo una tarea específica, enlistados a continuación:

- 1 código principal. Este código central, contiene todas las llamadas de los códigos restantes que trabajan en paralelo. En el Anexo 2 se encuentra el código VHDL principal perteneciente a este tipo de implementación.
- 2 códigos generadores de relojes. Este tipo de códigos generan los relojes para obtener las diferentes frecuencias de trabajo, tanto para las señales moduladoras como portadoras dependiendo la estrategia de modulación a implementar.
- 1 código generador de señal moduladora. Este tipo de código genera la(s) señal(es) moduladora(s), con características específicas dependiendo de la estrategia de modulación a implementar.
- 6 códigos generadores de señales portadoras. Este tipo de código genera las señales portadoras, con características específicas dependiendo de la estrategia de modulación a implementar.
- 1 código comparador. Este tipo de código realiza la comparación de señales digitales moduladoras y portadoras.

En la Figura 4.5 se muestra el diagrama a bloques general de la implementación de las estrategias de modulación PD y PSC.

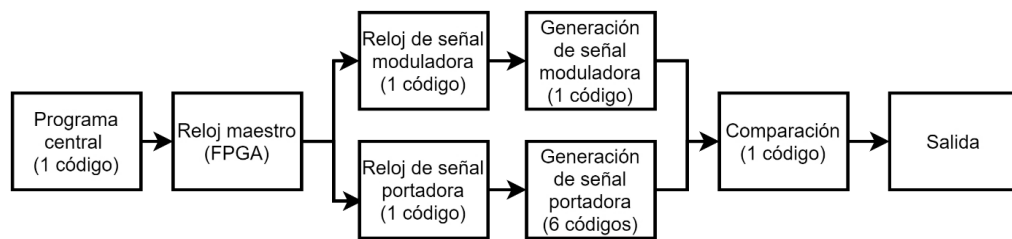


Figura 4.5. Diagrama a bloques general de implementación de estrategias de modulación PD y PSC

Una vez desarrollados los diferentes códigos VHDL anidados a un programa principal, las estrategias arrojan un diagrama RTL (*por sus siglas en inglés Register Transfer Level*).

En la Figura 4.6 se muestra el RTL perteneciente a las técnicas PD y PSC, estas estrategias arrojan el mismo diagrama debido a que emplean la misma cantidad de códigos, tanto para relojes como para generación de señales. En dicha figura se puede observar que está integrado por 3 bloques de los relojes; posteriormente, 7 bloques de generación de señales y finalmente, los 6 bloques de comparación y salidas. Cabe mencionar que a pesar de que coinciden en RTL, éstas se diferencian entre sí en la descripción de los códigos de la generación de señales portadoras, ya que tienen diferentes características para cada estrategia.

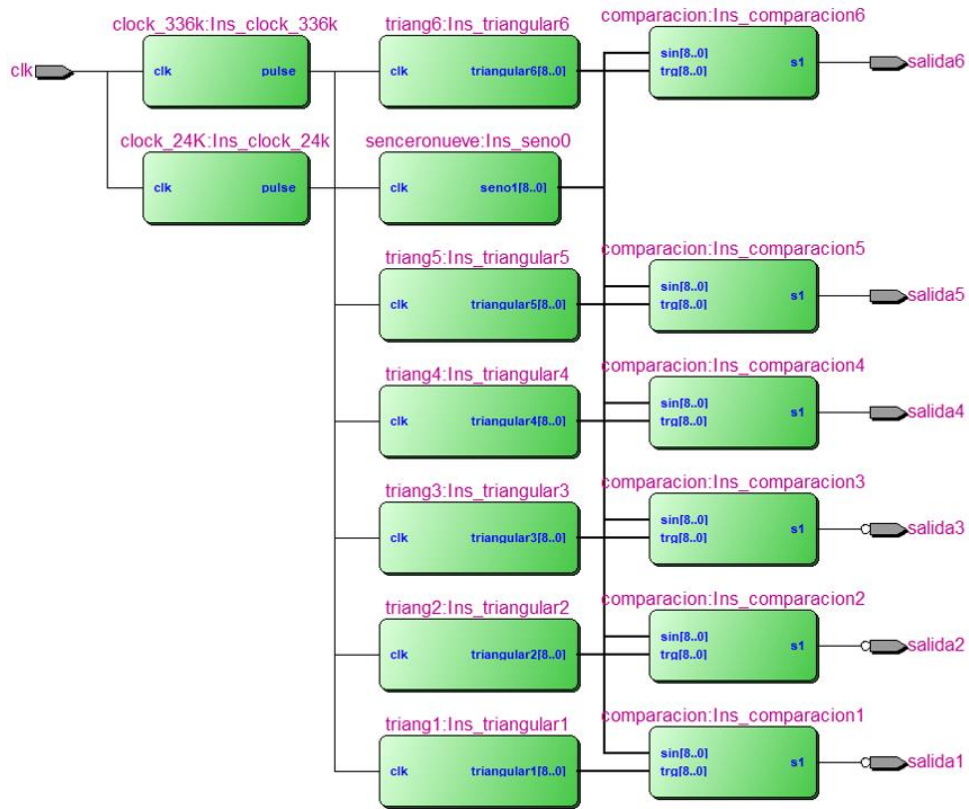


Figura 4.6. Diagrama RTL de estrategias de modulación PD y PSC

En las Figuras 4.7 y 4.8 se muestra la señal moduladora y las señales portadoras de las estrategias de modulación PD y PSC, respectivamente. En ellas se pueden apreciar que se cumple que las señales portadoras se encuentran en fase para la estrategia PD y para la estrategia PSC las portadoras se encuentran desfasadas  $60^\circ$  entre ellas; para esta última se bajó la frecuencia de portadora para que se pudiera apreciar el desfase de mejor manera.

De la comparación de las señales digitales se obtienen los estados de conmutación de los interruptores del convertidor multinivel en cascada. En las Figuras 4.9 y 4.10 se muestran las señales de conmutación de las estrategias PD y PSC, respectivamente, implementadas en el FPGA.

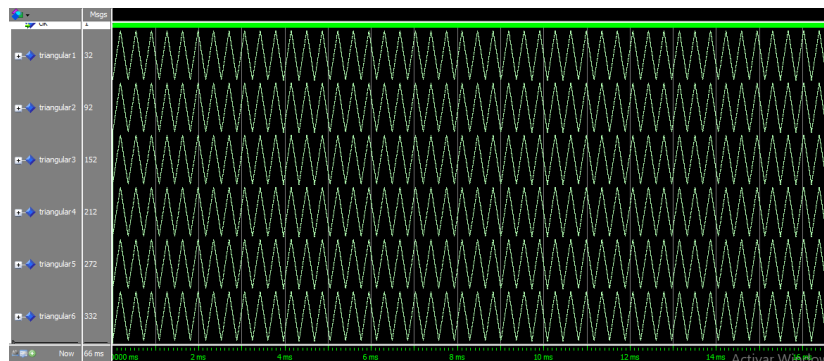


Figura 4.7. Señales digitales obtenidas en implementación de estrategia de modulación PD

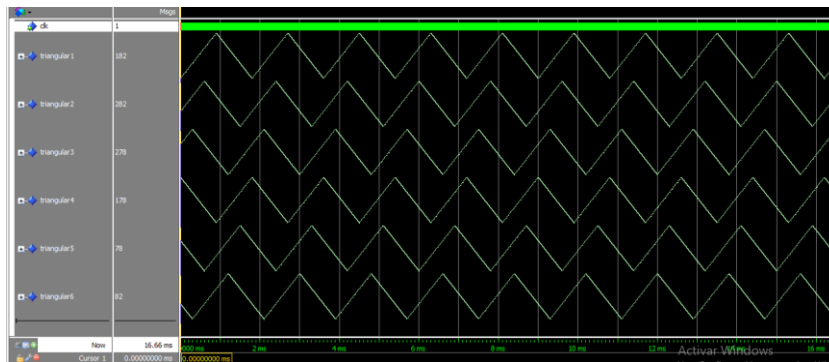


Figura 4.8. Señales digitales obtenidas en implementación de estrategia de modulación PSC

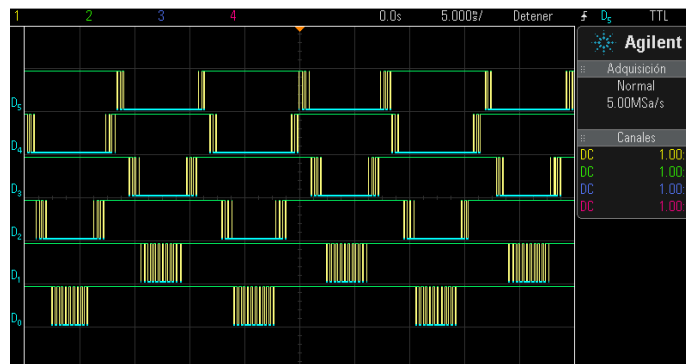


Figura 4.9. Señales de salida de estrategia de modulación PD

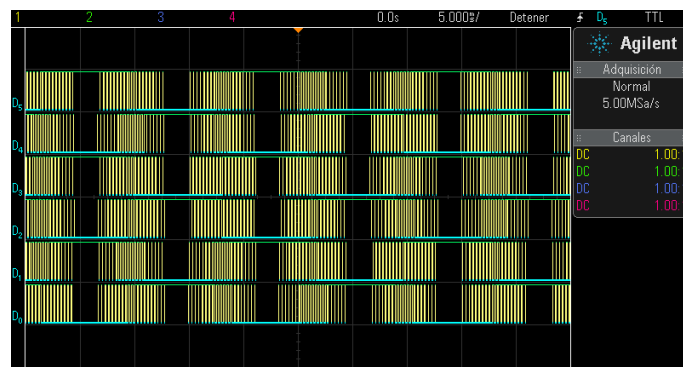


Figura 4.10. Señales de salida de estrategia de modulación PSC

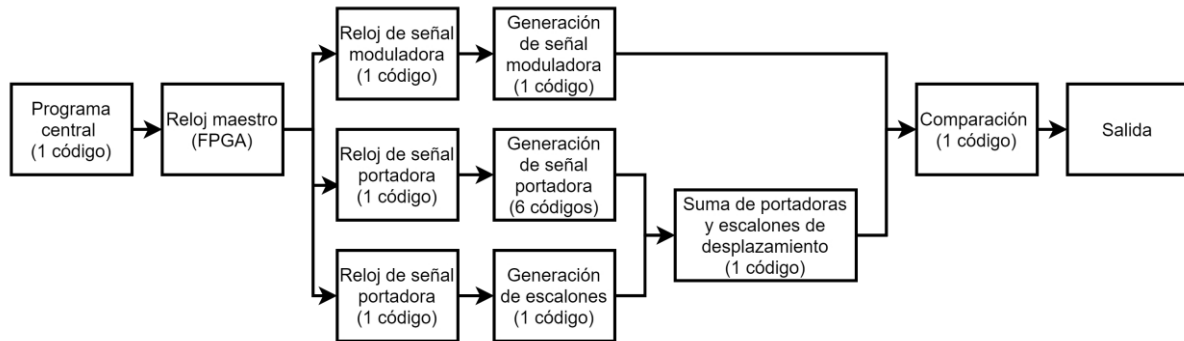
#### 4.4.2. Implementación tipo 2

La diferencia de la implementación de las estrategias LS por ciclo de portadora y LS por ciclo de moduladora en comparación con las anteriormente descritas, radica en que para desplazar de nivel correctamente las portadoras, además de los códigos empleados en las modulaciones anteriores se añaden dos tipos de códigos que realizan las siguientes funciones:

- 1 código generador de reloj de escalones. Este código genera un reloj, el cual rige la frecuencia de los escalones de desplazamiento.

- 1 código generador de escalones. Este código genera escalones que indican el nivel de desplazamiento de la señal triangular (portadora) según la técnica de modulación.
- 1 código de suma. Este código lleva a cabo la suma de las señales digitales portadoras y los escalones que las desplazan.

En la Figura 4.11 se muestra el diagrama a bloques perteneciente al tipo de implementación 2, la cual involucra a las estrategias LS por ciclo de portadora y LS por ciclo de moduladora.



*Figura 4.11. Diagrama a bloques general de implementación de estrategias de modulación LS por ciclo de portadora y LS por ciclo de moduladora*

En la Figura 4.12 se encuentra el diagrama RTL perteneciente a las estrategias de modulación LS por ciclo de portadora y LS por ciclo de moduladora. El diagrama RTL de estas estrategias son iguales en cuanto a los bloques y códigos generados. Diferenciándose entre sí en los códigos de reloj de portadoras, ya que como el nombre de cada técnica lo indica, una modifica el nivel de portadora dependiendo de su mismo ciclo y otra técnica modifica el nivel dependiendo del ciclo de la moduladora.

La Figura 4.13 muestra las señales portadoras de la estrategia de modulación LS por ciclo de portadora, en la cual se puede apreciar que cada portadora se desplaza de nivel cada vez que termina un ciclo de portadora. Con esto se verifica el correcto funcionamiento de dicha técnica.

Por otro lado, en la Figura 4.14 se encuentran las señales portadoras implementadas digitalmente pertenecientes a la estrategia de modulación LS por ciclo de moduladora. Se puede observar que tal como lo establece este tipo de estrategia, las portadoras se desplazan de nivel una vez terminado el ciclo de moduladora. Al ser un inversor multinivel en cascada de siete niveles, se requieren tres ciclos para realizar los desplazamientos

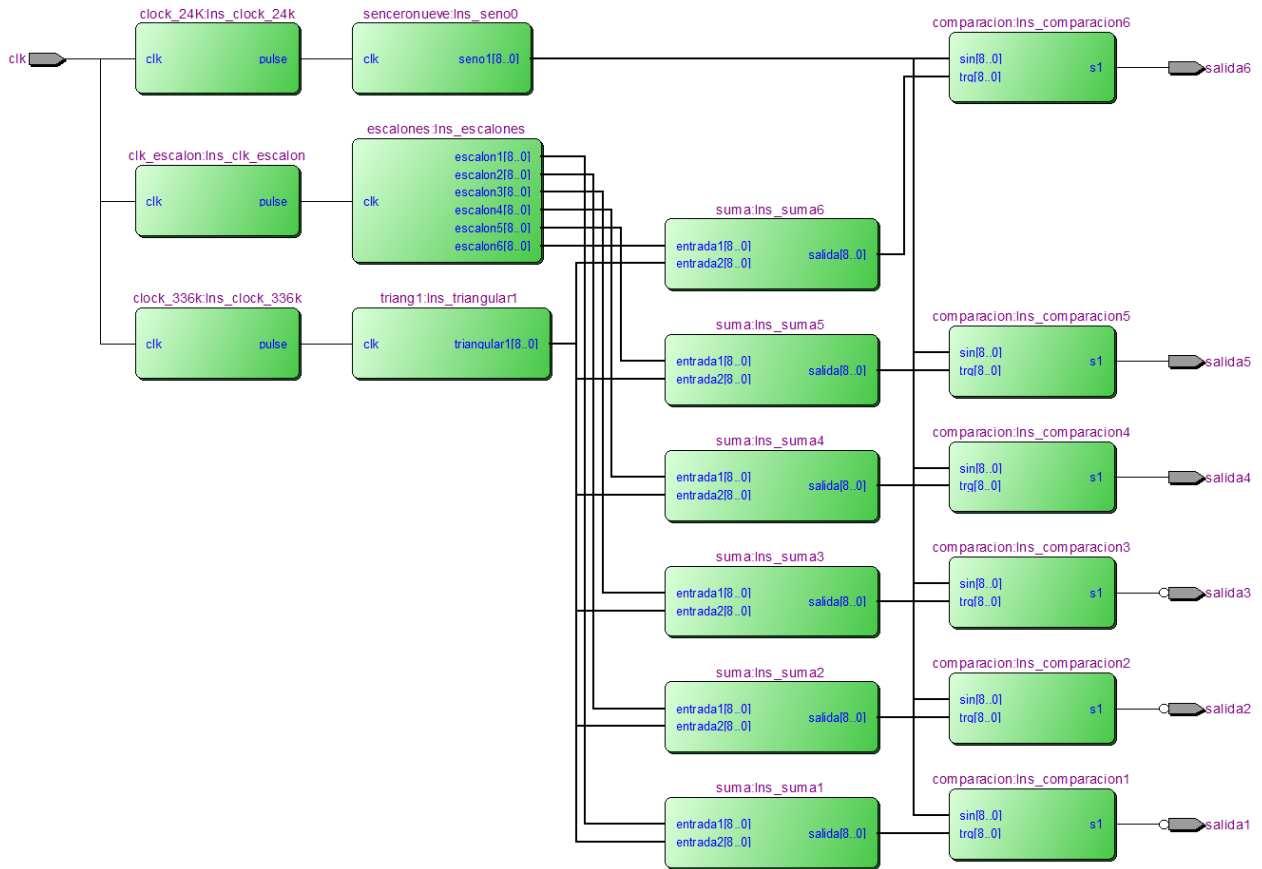


Figura 4.12. Diagrama RTL de estrategias de modulación LS por ciclo de portadora y LS por ciclo de moduladora

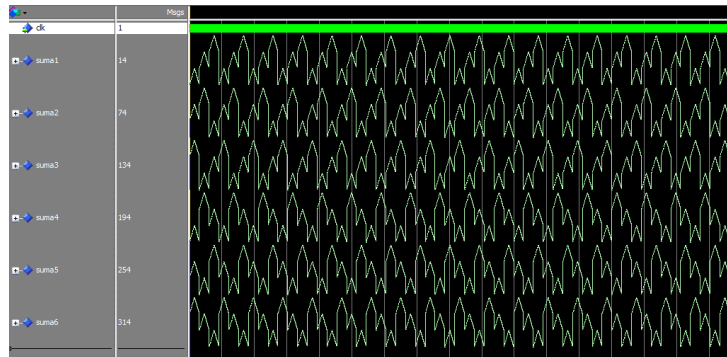


Figura 4.13. Señales digitales obtenidas en implementación de estrategia de modulación LS por ciclo de portadora

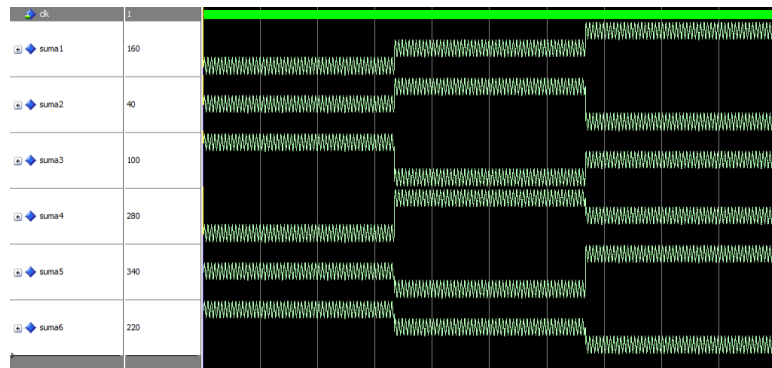


Figura 4.14. Señales digitales obtenidas en implementación de estrategia de modulación LS por ciclo de moduladora

Una vez comprobado el correcto desarrollo digital de las señales portadoras características de ambas estrategias, en las Figuras 4.15 y 4.16 se muestran los estados de conmutación resultantes de la comparación entre señal moduladora y portadoras de dichas técnicas de modulación implementadas en el FPGA.

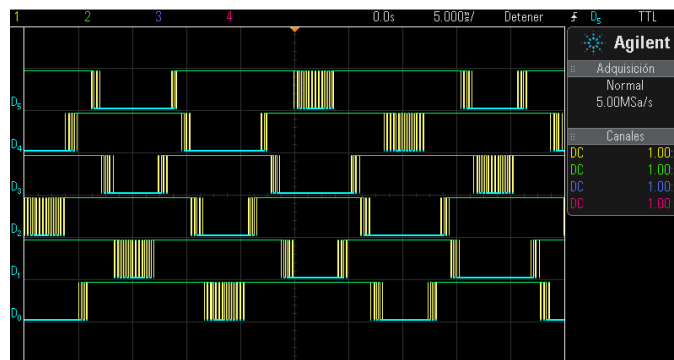


Figura 4.15. Señales de salida de estrategia de modulación LS por ciclo de portadora

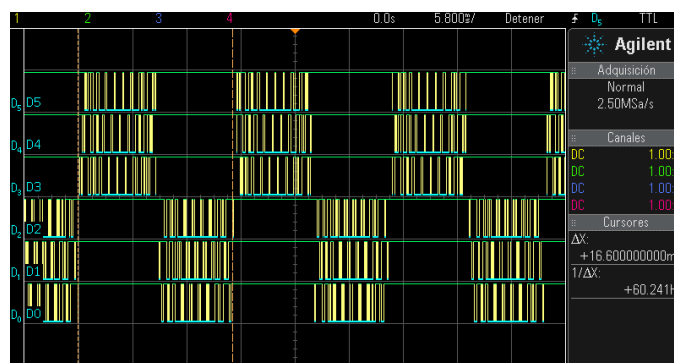


Figura 4.16. Señales de salida de estrategia de modulación LS por ciclo de moduladora

### 4.4.3. Implementación tipo 3

Este tipo de implementación se emplea para la estrategia propuesta en esta tesis. Para la generación de las señales digitales moduladoras y portadoras, así como para la comparación

de éstas se emplean nueve códigos anidados en un VHDL principal. En la Figura 4.17 se muestra el diagrama a bloques de esta técnica.

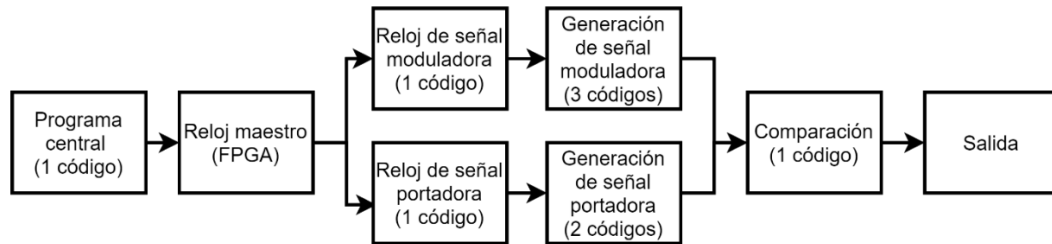


Figura 4.17. Diagrama a bloques de implementación de estrategia de modulación propuesta “moduladoras reconstruidas”

Dado que las moduladoras reconstruidas son señales no convencionales, es importante asegurarse de que el número de muestras sea exacto para los períodos requeridos. Para lograr esto, en el programa Matlab® se generaron partes de las señales moduladoras por secciones, las cuales fueron posteriormente sumadas para obtener los datos en código binario y generar las señales digitalmente. De esta forma, se garantiza que las señales moduladoras sean lo más precisas y estables posibles, lo que es fundamental para su correcta implementación en el sistema. El proceso de generar las señales moduladoras por secciones y luego sumarlas permite controlar con mayor precisión el número de muestras y asegurar que la señal generada sea lo más cercana posible a la señal original.

En la Figura 4.18 se muestran las señales generadas en Matlab® y una vez tomados los valores binarios de éstas se implementan de manera digital (Figura 4.19).

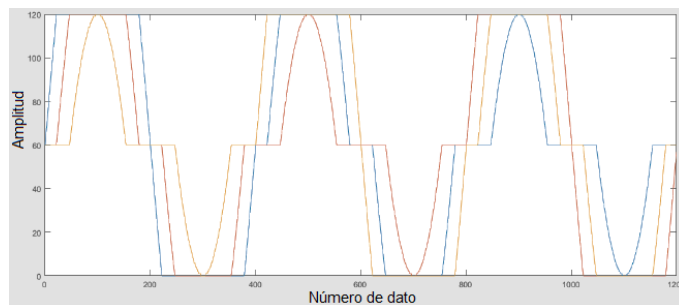


Figura 4.18. Señales moduladoras reconstruidas generadas en Matlab®

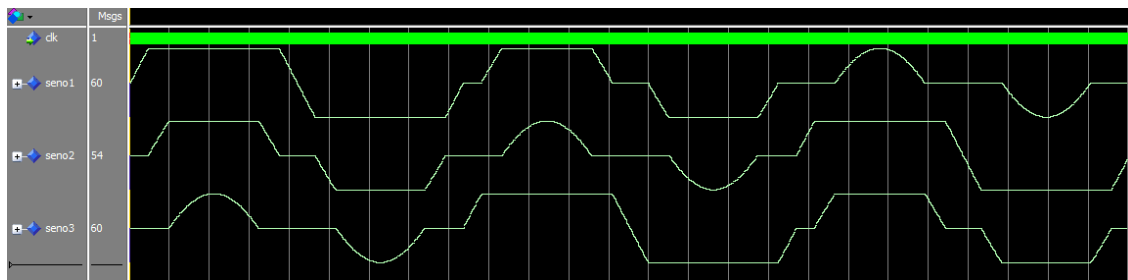


Figura 4.19. Señales digitales obtenidas en implementación de estrategia de modulación propuesta “moduladoras reconstruidas”



Finalmente, en la Figura 4.20 se presentan las señales de conmutación implementadas en el FPGA provenientes de la estrategia de modulación “moduladoras reconstruidas” desarrollada en este trabajo de investigación.

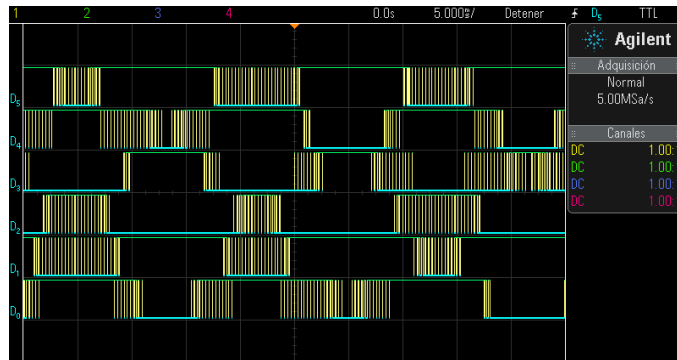


Figura 4.20. Señales de salida de estrategia de modulación LS por ciclo de moduladora

---

# CAPÍTULO 5: RESULTADOS EN SIMULACIÓN

---

## 5.1 Descripción general

En este capítulo se aborda la descripción de los resultados referentes a la simulación de las diferentes estrategias de modulación de estudio PD, PSC LS por ciclo de moduladora, LS por ciclo de portadora y estrategia alternativa “moduladoras reconstruidas”. Primero, se describen las etapas en las cuales se divide la simulación y posteriormente, se presentan los resultados obtenidos en cuanto a los parámetros bajo los cuales se lleva a cabo la comparación del desempeño de las estrategias existentes simuladas y la estrategia desarrollada en este trabajo de investigación.

## 5.2 Especificaciones de prueba

Para la obtención de resultados en simulación, el sistema se divide en dos etapas: potencia y modulación. Para la etapa de potencia se utiliza la topología de inversor multinivel en cascada de siete niveles monofásico presentada en la sección 2.2.3 de este documento. Esta topología multinivel cuenta con tres puentes completos monofásicos conectados en cascada, cada uno alimentado por una fuente de 120 V, empleando un índice de modulación de 0.9, debido a que fue el que presentó mejores resultados de acuerdo con el estudio presentado en el Anexo 3. En la Tabla 5.1 se muestran las especificaciones de diseño en simulación.

Para la etapa de modulación se emplean cinco técnicas de modulación, dentro de las cuales se encuentran la estrategia existente sin fines de balance energético y aquellas que llevan cabo el balanceo de energía tanto como existentes como la alternativa propuesta “moduladoras reconstruidas”, cuyo diseño se presentó en el capítulo 3 de este trabajo. A continuación, se enlistan las estrategias simuladas:

1. PD PWM.
2. PSC PWM.
3. LS PWM por ciclo de señal moduladora.
4. LS PWM por ciclo de señal portadora.
5. Estrategia propuesta, “moduladoras reconstruidas”.

La simulación de las estrategias varía en cuanto al desfase y/o nivel de la señal portadora. La presentación de resultados se divide en tres grupos, los cuales se enlistan a continuación:

1. Estrategia sin balance energético.
2. Estrategias de modulación existentes, con fines de balance energético.
3. Estrategia de modulación alternativa propuesta, “moduladoras reconstruidas”.

Tabla 5.1 Especificaciones de diseño de simulación

Parámetro	Valor
<b>Inversor multinivel y modulación</b>	
Fuente de CD	120 V
Frecuencia de señal moduladora	60 Hz
Frecuencia de señal portadora	3000 Hz
Número de niveles de tensión a la salida	7
Número de celdas por fase	3
Índice de modulación	0.9
<b>Carga</b>	
Tipo de carga	Motor de inducción monofásico con condensador de arranque
Tensión nominal	220 V
Corriente nominal a plena carga	3.6 A
Velocidad de giro	1390 rpm
<b>Software</b>	
Softwares empleados	PSIM® y MatlabSimulink®
Tiempo de simulación	50ms

## 5.3 Resultados en simulación

### 5.3.1. Estrategia sin balance energético

En la Figura 5.1 se muestran las señales portadoras de la estrategia PD PWM simuladas. En ella se puede apreciar que las señales portadoras se encuentran en fase y tiene la misma amplitud, pero diferente desplazamiento.

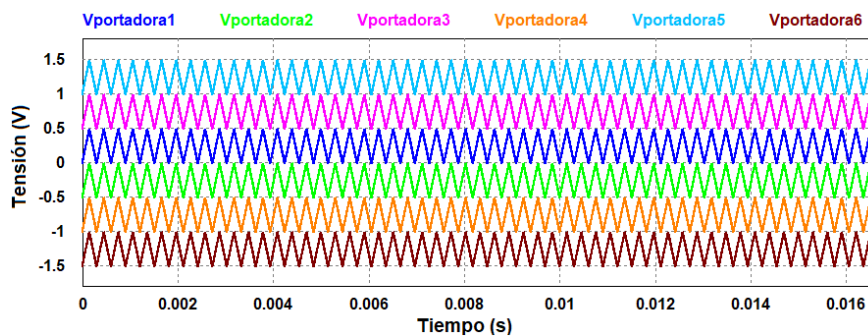


Figura 5.1. Señales portadoras de estrategia de modulación PD PWM

En las Figuras 5.3 y 5.4 se muestran las señales de potencia y energía transferida obtenidas en cada celda del inversor, a lo largo de tres ciclos empleando esta estrategia de modulación. Cabe destacar que el motivo por el cual se consideran tres ciclos es para igualar condiciones con las estrategias con fines de balance energético, debido que algunas de ellas requieren esa cantidad de ciclos para llevar a cabo el balance entre celdas.

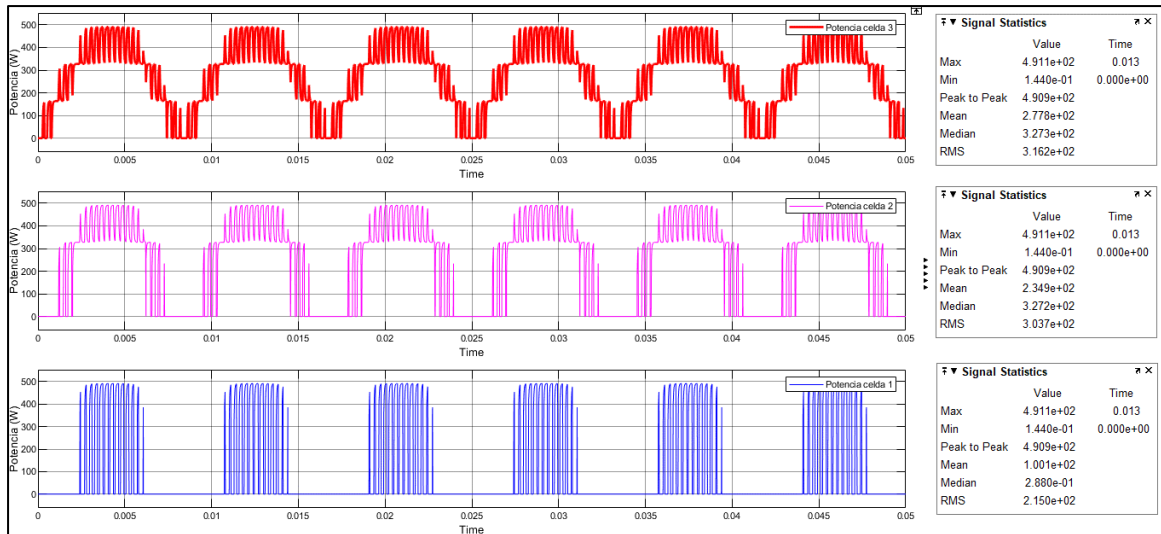


Figura 5.2. Potencia en cada celda, empleando estrategia de modulación PD

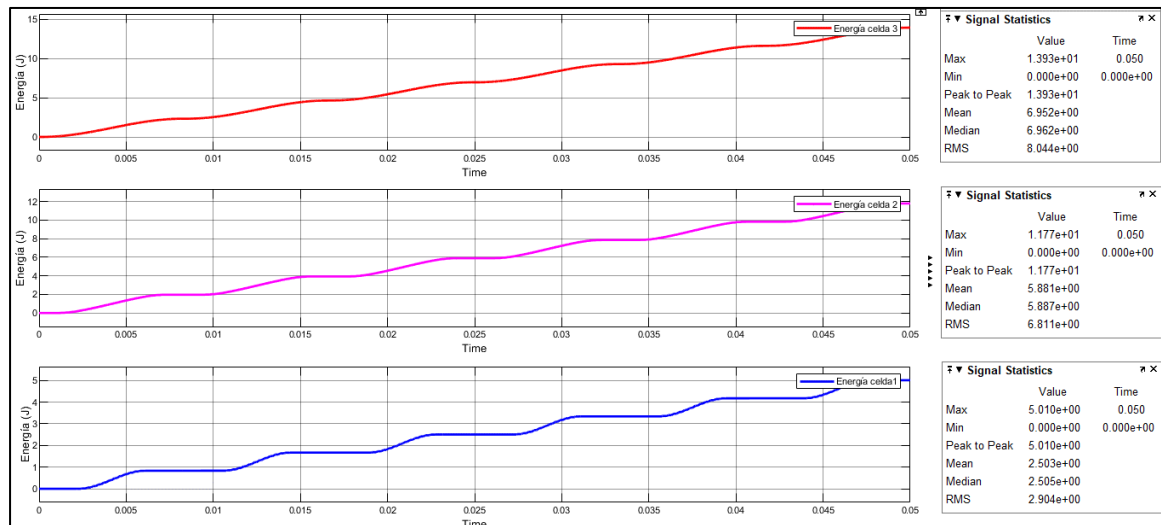


Figura 5.3. Energía transferida por cada celda en tres ciclos, empleando estrategia de modulación PD

Con los valores de energía presentes en la Figura 5.3 se puede distinguir que efectivamente, con la estrategia de modulación PD no existe balance entre las celdas de la topología multinivel, teniendo valores promedio de 6.95 J (celda 3), 5.88 J (celda 2), 2.50 J (celda 1).

### 5.3.2. Estrategias de modulación existentes, con fines de balance energético

A este grupo pertenecen las estrategias de modulación PSC, LS por ciclo de portadora y LS por ciclo de moduladora.

#### 5.3.2.1. Estrategia de modulación PSC

En la Figura 5.4 se muestra un acercamiento de las señales portadoras de la técnica PSC PWM simuladas. en ella se puede ver que las señales portadoras se encuentran a la misma amplitud y frecuencia una de otra. Sin embargo, presentan corrimientos de fase entre ellas de  $60^\circ$ .

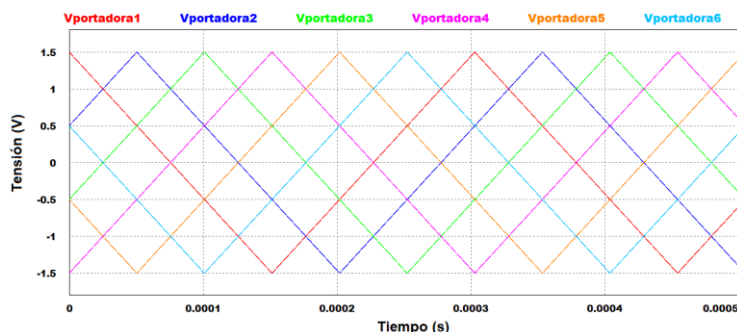


Figura 5.4. Señales portadoras de estrategia de modulación PSC PWM

Posteriormente, en las Figura 5.5 y 5.7 se encuentran las señales de potencia y energía transferida durante tres ciclos de trabajo, empleando PSC como estrategia de modulación. Empleando esta estrategia de modulación se obtuvieron valores de energía promedio transferida en tres ciclos de 5.04 J (celda 3), 5.01 J (celda 2), 4.98 J (celda 1), estos valores a pesar que no son idénticos, se encuentran cercanos entre sí, a diferencia de los obtenidos con la estrategia anterior sin fines de balance energético, más adelante se abordarán los porcentajes de desbalance de cada estrategia.

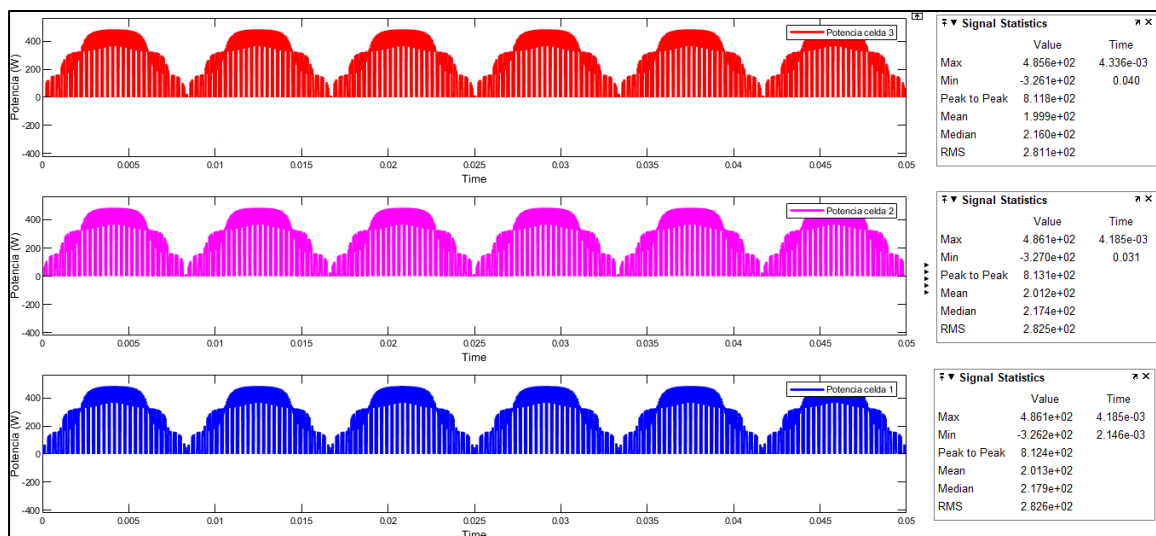


Figura 5.5. Potencia en cada celda, empleando estrategia de modulación PSC

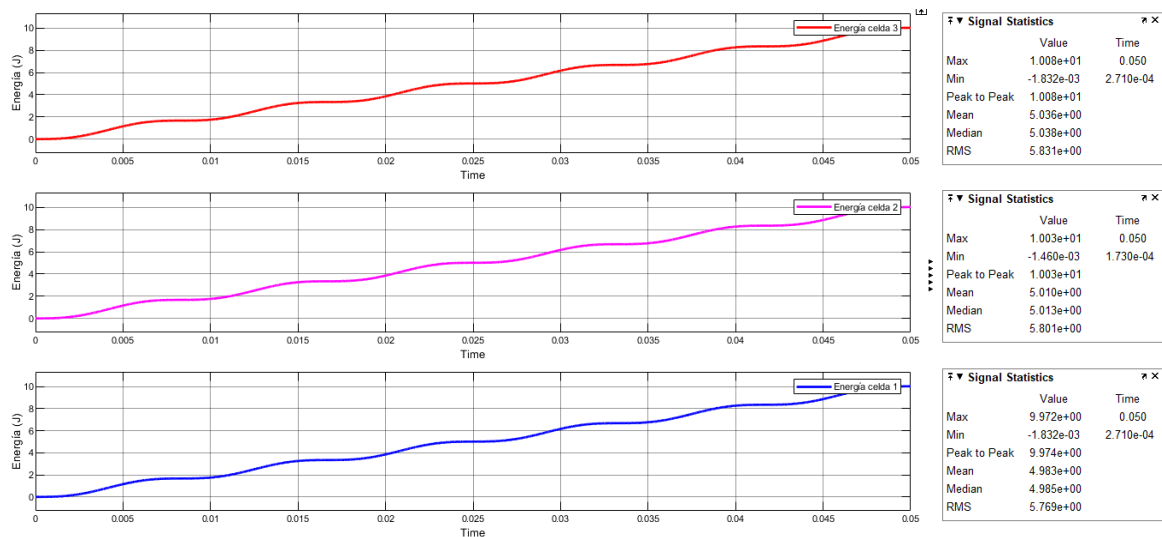


Figura 5.6. Energía transferida por cada celda en tres ciclos, empleando estrategia de modulación PSC

### 5.3.2.2. Estrategia de modulación LS PWM con desplazamiento por ciclo de señal moduladora

En la Figura 5.7 se muestran las señales portadoras y moduladora de la técnica LS PWM con desplazamiento por ciclo de señal moduladora, en ella se puede apreciar que las señales portadoras se desplazan de nivel de acuerdo con los ciclos de señal moduladora para realizar el balance energético. El número de ciclos requerido para que se lleve a cabo el balance energético es la mitad del número de señales portadoras.

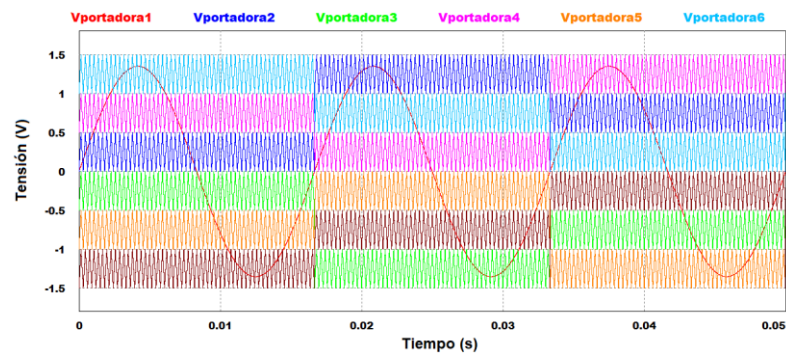


Figura 5.7. Señales portadoras y moduladora de estrategia de modulación LS PWM por ciclo de señal moduladora

Con los resultados presentados en las figuras 5.9 y 5.10, relacionados a la potencia y energía transferida por cada celda durante tres ciclos, se comprueba que empleando esta estrategia de modulación se obtienen resultados similares entre cada celda, lo que lleva a deducir que cumple con la distribución equitativa de esfuerzos de corriente y tensión entre ellas.

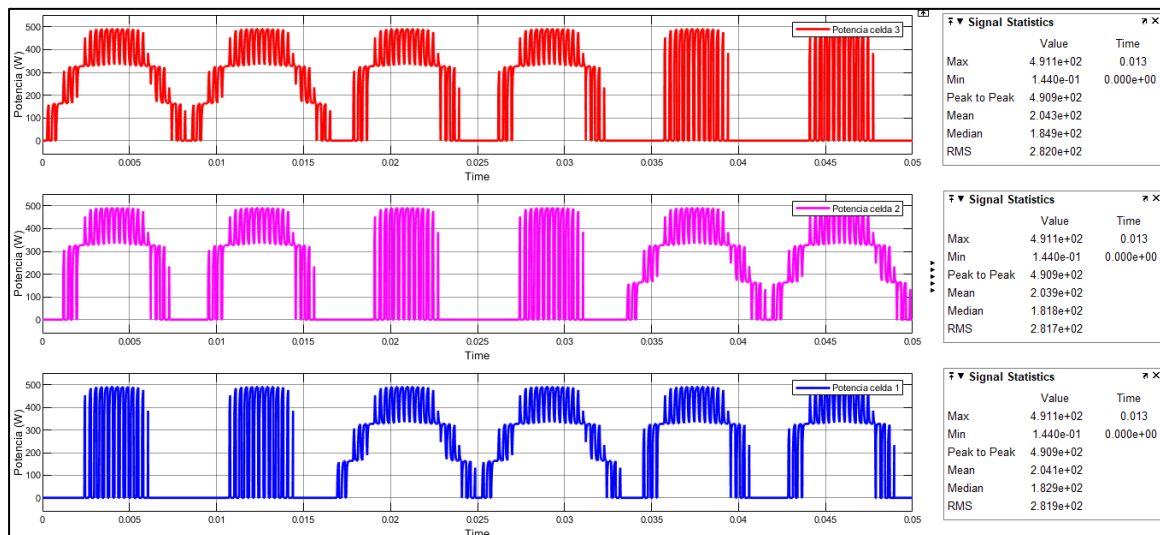


Figura 5.8. Potencia en cada celda, empleando estrategia de modulación LS por ciclo de moduladora

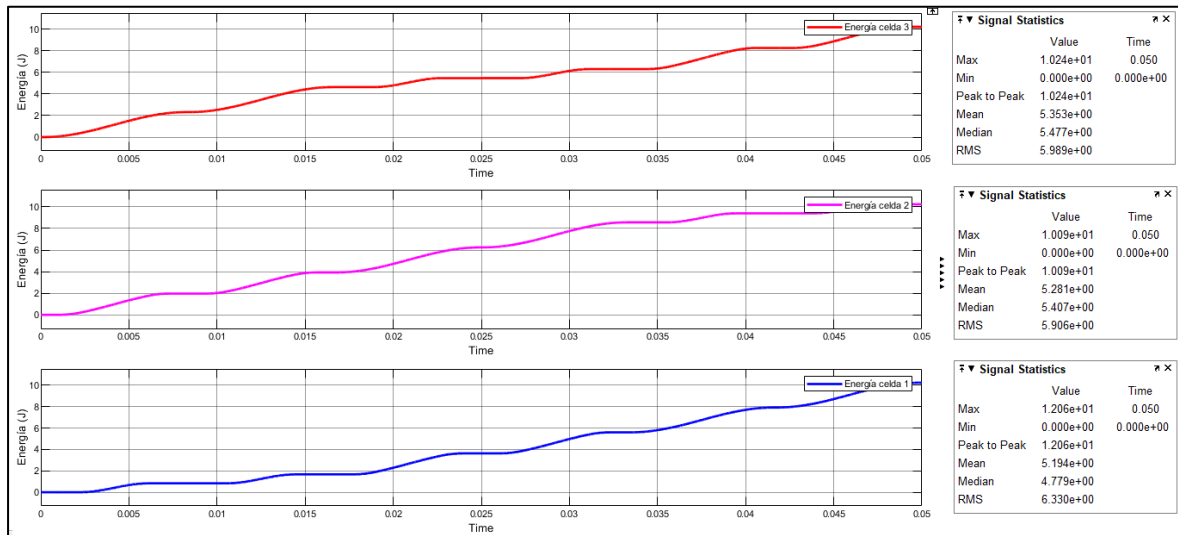


Figura 5.9. Energía transferida por cada celda en tres ciclos, empleando estrategia de modulación LS por ciclo de moduladora

### 5.3.2.1. Estrategia de modulación LS PWM con desplazamiento por ciclo de señal portadora

En la Figura 5.10 se muestran las señales portadoras y una señal moduladora de la técnica LS PWM con desplazamiento de nivel de portadora por ciclo de la misma señal portadora simuladas. En ella se puede observar que las señales portadoras se desplazan de nivel de acuerdo con cada ciclo de la misma portadora.

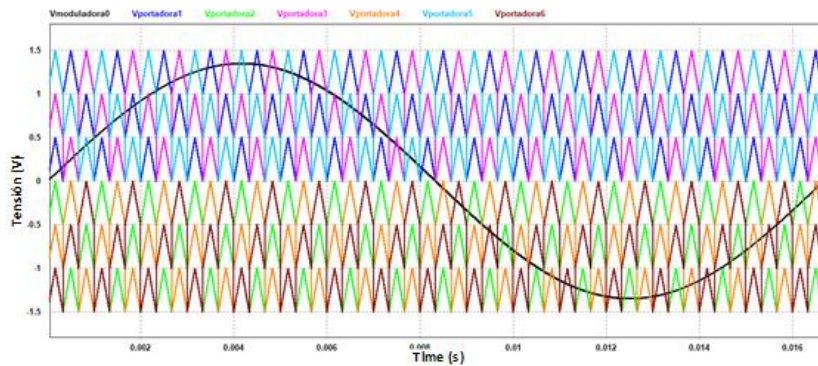


Figura 5.10. Señales portadoras de estrategia de modulación LS PWM por ciclo de señal portadora

En las figuras 5.12 y 5.12 se muestran las señales de potencia y energía transferida pertenecientes a las celdas del inversor multinivel en cascada empleando la estrategia de modulación LS por ciclo de señal portadora.

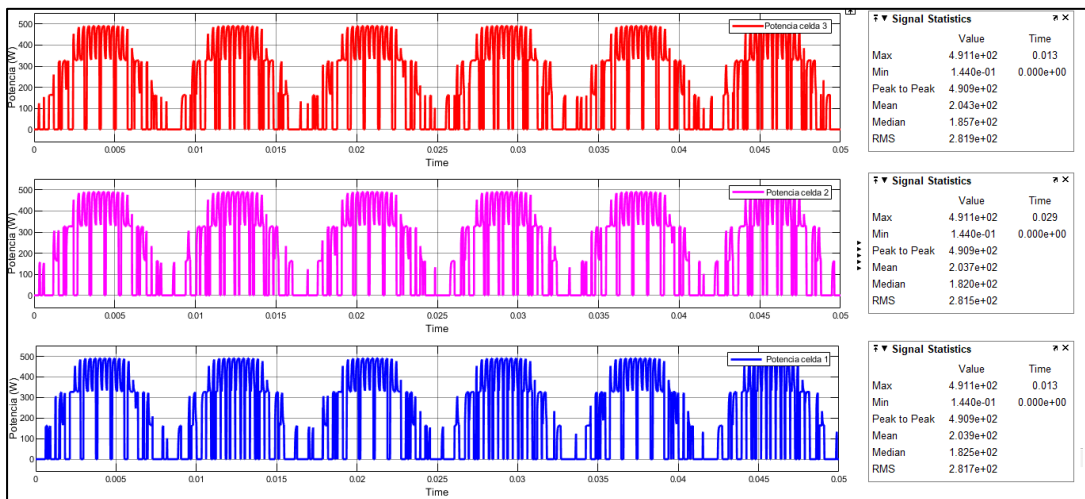


Figura 5.11. Potencia en cada celda, empleando estrategia de modulación LS por ciclo de portadora

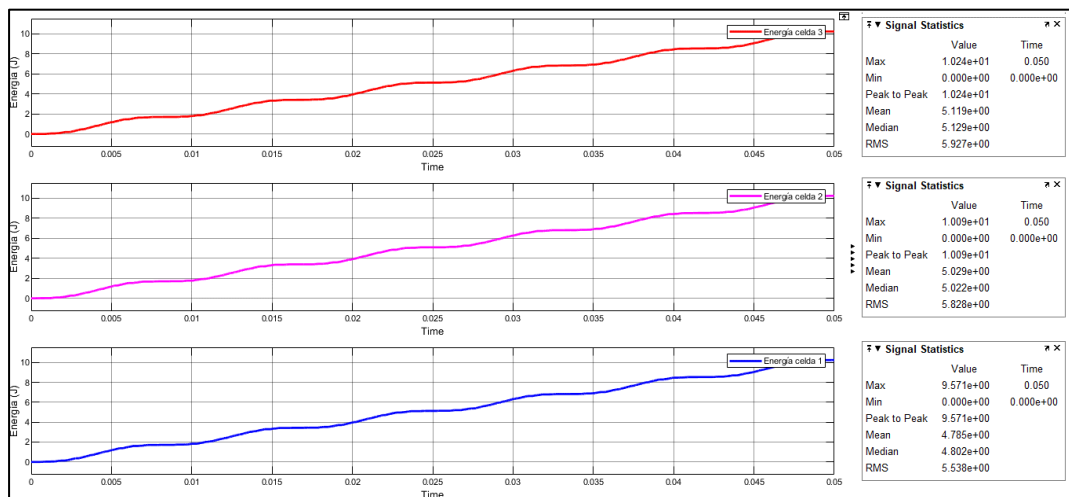


Figura 5.12. Energía transferida por cada celda en tres ciclos, empleando estrategia de modulación LS por ciclo de portadora



### 5.3.3. Estrategia de modulación alternativa propuesta, “moduladoras reconstruidas”

En la Figura 5.13 se muestran las señales moduladoras y portadoras pertenecientes a la estrategia diseñada, la cual fue descrita en el capítulo 3 de este documento. Asimismo, en la Figura 5.14 se presenta el circuito con el cual se llevan a cabo la generación de las señales moduladoras y portadoras pertenecientes a la estrategia de balance propuesta.

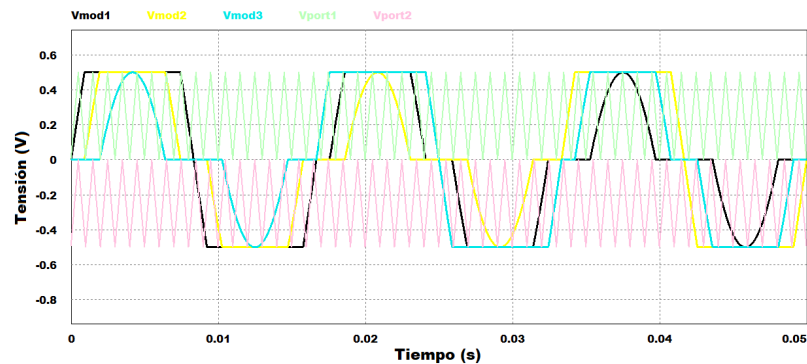


Figura 5.13. Señales moduladoras y señales portadoras de estrategia “moduladoras reconstruidas”

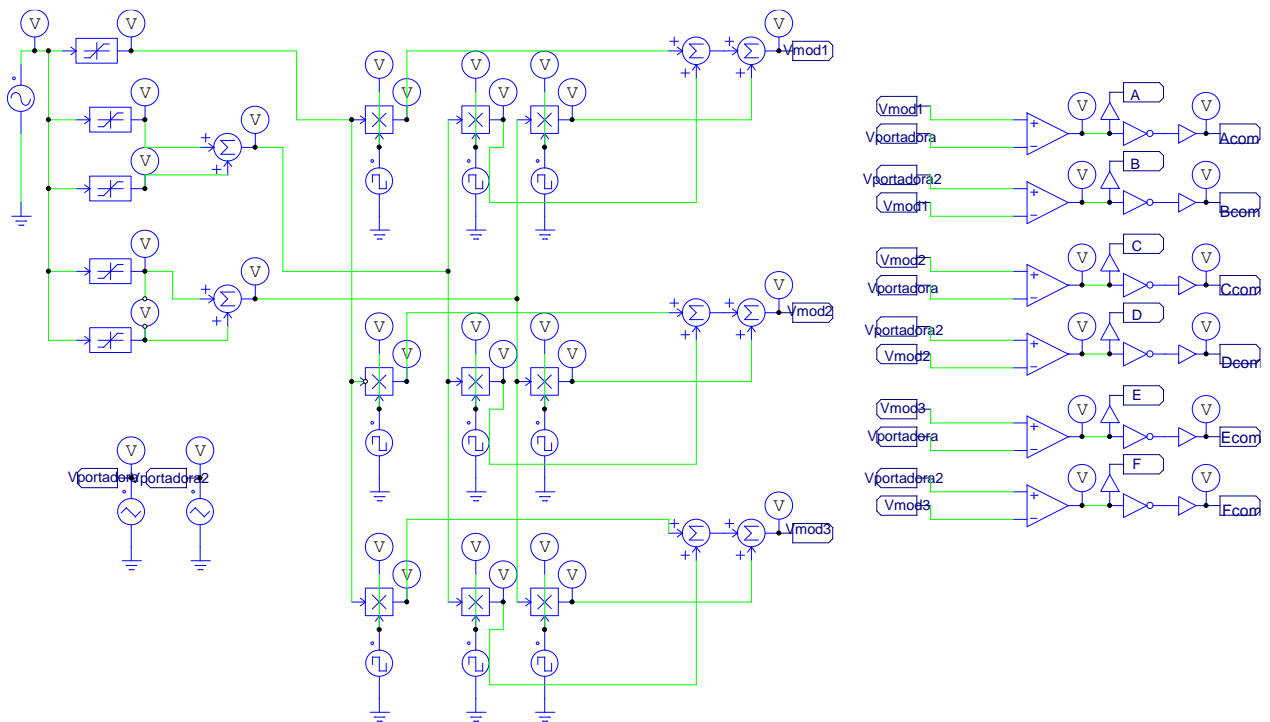


Figura 5.14. Circuito de generación de modulación “moduladoras reconstruidas”

De la comparación de las señales anteriores se generan los estados de conmutación que activan/desactivan los interruptores de la topología multinivel, que al conmutar generan la señal de tensión de salida del inversor que se muestra en la Figura 5.15.

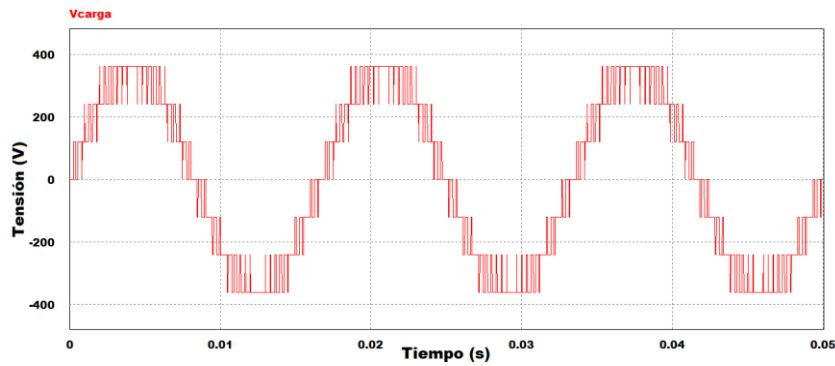


Figura 5.15. Tensión de salida empleando estrategia “moduladoras reconstruidas”

En las figuras 5.17 y 5.18 se muestran los resultados obtenidos de potencia y energía transferida (3 ciclos) en cada celda del inversor multinivel empleando la estrategia de modulación propuesta, respectivamente. Con los datos presentados se destaca que al igual que las estrategias con fines de balance energético bajo las cuales se compara la estrategia propuesta, se obtienen valores semejantes entre cada celda en cuanto a potencia y energía. Sin embargo, a diferencia de las anteriores con esta estrategia propuesta obtuvo valores más altos en ambos parámetros empleando el mismo índice de modulación y bajo las mismas condiciones de simulación, obteniendo 6.47 J (celda 1), 6.42 (J) celda 2 y 6.47 J (celda 3).

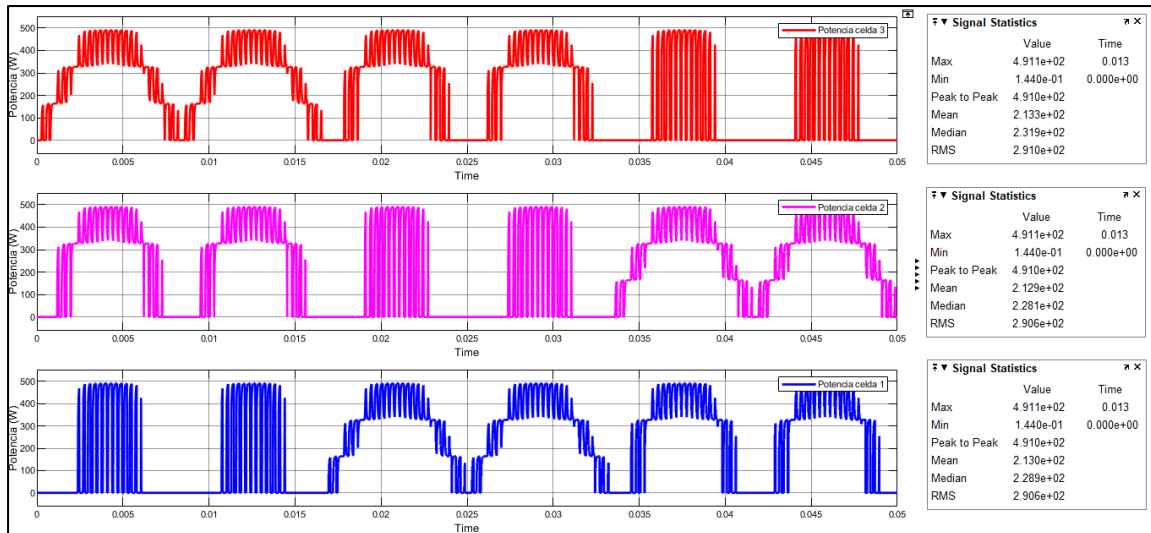


Figura 5.16. Potencia en cada celda, empleando estrategia de modulación propuesta

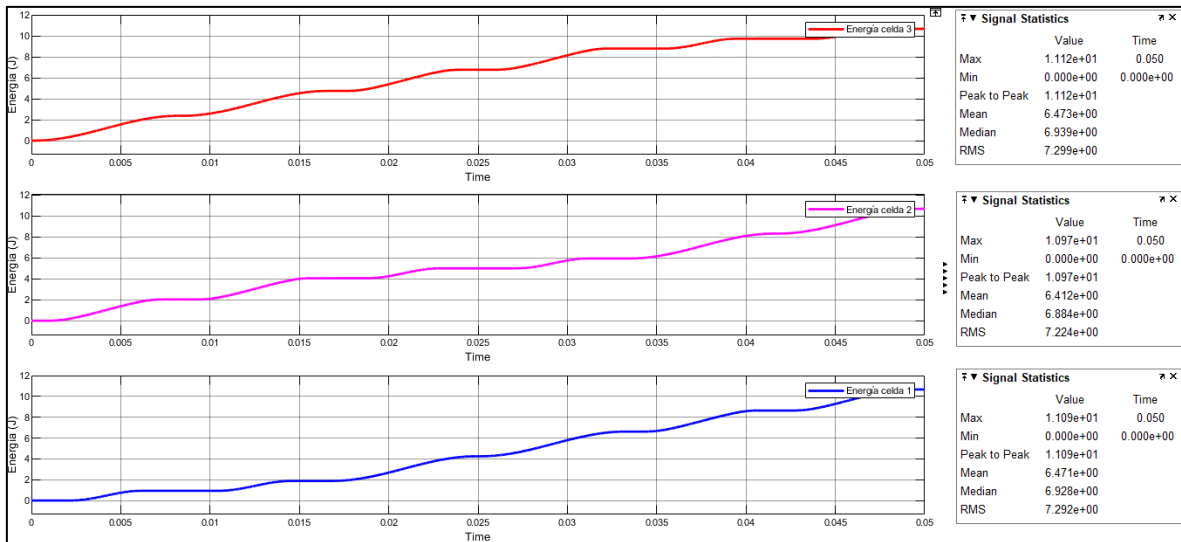


Figura 5.17. Energía transferida por cada celda en tres ciclos, empleando estrategia de modulación propuesta

Con la finalidad de observar el comportamiento de la estrategia propuesta respecto al número de conmutaciones de los interruptores por celda, así como los tiempos de conducción de estos, se empleó el programa implementado en Excel® descrito en la sección 3.2 Excel®.

En la Figura 5.18 se muestran los resultados obtenidos para la estrategia alternativa propuesta, en cuanto al número de conmutaciones de los interruptores de las distintas celdas empleando diferentes índices de modulación.

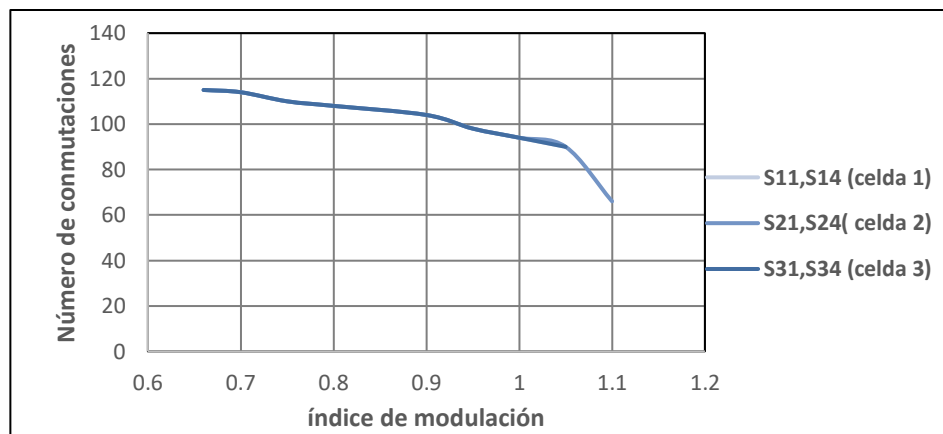


Figura 5.18. Relación índice de modulación vs número de conmutaciones por interruptor, estrategia propuesta

Con los datos anteriores se empleó WolframAlpha® para realizar un barrido y obtener las ecuaciones que describan el comportamiento del número de conmutaciones respecto al índice de modulación mediante el uso de la opción de regresión polinómica, resultando las ecuaciones presentes en la Tabla 5.2, arrojando un coeficiente de determinación de 98.9% en cada una de ellas. De acuerdo con estos resultados se establece que el número de conmutaciones de los interruptores son iguales en las tres celdas.

Tabla 5.2. Ecuaciones características por celda para el número de conmutaciones, “moduladoras reconstruidas”

Interruptor	Ecuación de número de conmutaciones en función del índice de modulación	
S11, S14	$f_{sw1}(m_a) = f_{sw2}(m_a) = f_{sw3}(m_a) = 174.8m_a^3 + 372.87m_a^2 - 313.19m_a + 209.71$	(5.1)
S21, S24	$f_{sw1}(m_a) = f_{sw2}(m_a) = f_{sw3}(m_a) = 174.8m_a^3 + 372.87m_a^2 - 313.19m_a + 209.71$	(5.2)
S31, S34	$f_{sw1}(m_a) = f_{sw2}(m_a) = f_{sw3}(m_a) = 174.8m_a^3 + 372.87m_a^2 - 313.19m_a + 209.71$	(5.3)

En la Figura 5.19 se muestran los resultados de tiempos de conducción por índice de modulación para celda empleando el diseño matemático desarrollado para el cálculo de estos, el cual fue descrito en capítulo anteriores. En dicha figura se puede apreciar que los tiempos de conducción de las celdas 1 y 2 son iguales, mientras que la celda 3 tiene una diferencia de 420us respecto a ellas. Esto último representa una diferencia de 4.8% respecto a las otras celdas, tomando de referencia el valor más alto.

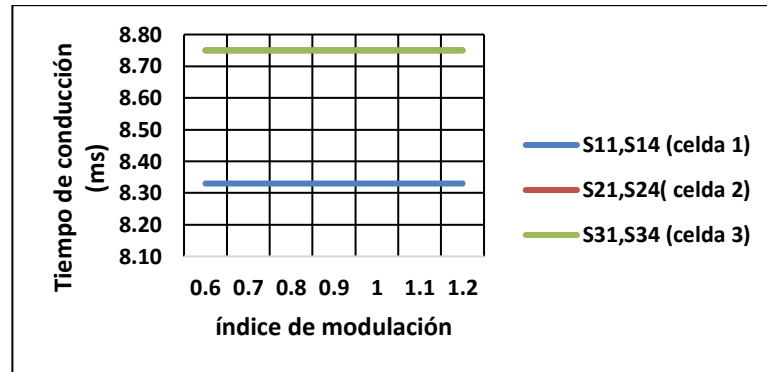


Figura 5.19. Relación índice de modulación vs tiempo de conducción por interruptor, estrategia propuesta

De igual manera que con el número de conmutaciones se empleó regresión polinómica de WolframAlpha® para obtener las ecuaciones que describen este comportamiento para las condiciones establecidas, obteniendo (5.2) y (5.3), presentes en la Tabla 5.3; cada una de ellas obteniendo coeficientes de determinación mayores al 99% según el programa matemático empleado. Con ellas se puede reafirmar que los tiempos de conducción son iguales en dos celdas.

Tabla 5.3. Ecuaciones características por celda para el tiempo de conducción, estrategia propuesta

Interruptor	Ecuación de tiempo de conducción en función del índice de modulación	
S11, S14	$t_{c1}(m) = t_{c2}(m) - 1373.74m^3 + 3365.37m^2 - 2754.36m + 859$	(6.4)
S21, S24		
S31, S34	$t_{c3}(m) = -913.753m^3 + 2041.03m^2 - 1519.07m + 486.44$	(6.5)

## 5.4 Discusión de resultados en simulación

A continuación, se presenta un resumen de comparación tomando en cuenta los resultados obtenidos en simulación empleando las diferentes estrategias de modulación en conjunto con el inversor multinivel en cascada de siete niveles.

### 5.4.1. Porcentaje de desviación de acuerdo con el número de conmutaciones y tiempos de conducción por celda

En la Tabla 5.4 se presenta el porcentaje de desviación de acuerdo con el número de conmutaciones y tiempos de conducción de las diferentes celdas. El porcentaje obtenido es considerando el valor más alto como referencia. En dicha tabla se puede apreciar que la estrategia de modulación propuesta no presenta desviación en cuanto a números de conmutaciones y únicamente presenta desbalance de 4.8% en tiempos de conducción en solamente una celda.

*Tabla 5.4. Porcentaje de desviación según el número de conmutaciones y tiempos de conducción en las diferentes estrategias*

	Porcentaje de desviación del número de conmutaciones y tiempos de conducción entre celdas					
		PD	PSC	LS portadora	LS moduladora	Estrategia propuesta
Según el número de conmutaciones	Celda 1 – Celda 2	33.33%	2.88%	3.29%	0%	0%
	Celda 1 – Celda 3	50.00%	3.77%	5.78%	0%	0%
	Celda 2 – Celda 3	35%	2.92%	3.64%	0%	0%
Según el tiempo de conducción	Celda 1 – Celda 2	74.29%	0%	0%	1.38%	0%
	Celda 1 – Celda 3	82.52%	0%	0%	5.50%	4.8%
	Celda 2 – Celda 3	31.96%	0%	0%	1.08%	4.8%

### 5.4.2. Distorsión armónica total (THD) y factor de distorsión (DF)

Otros factores con los cuales se puede evaluar la estrategia propuesta son la THD y el DF, el cual se refiere a la relación entre la componente fundamental y las componentes armónicas de una señal senoidal. En la Tabla 5.5 se muestran los resultados obtenidos para cada estrategia. En ella se puede apreciar que la estrategia propuesta obtuvo los valores más bajos de THD y DF. Siendo la estrategia LS por ciclo de portadora la que obtuvo mayores porcentajes de distorsión.

Tabla 5.5. THD y DF en tensión de salida,  $m=0.9$

Modulación	THD (%)	DF (%)
PD	3.99	3.39
PSC	3.81	3.24
LS portadora	10.32	8.76
LS moduladora	4.07	3.44
Propuesta	2.84	2.41

### 5.4.3. Desbalance máximo de energía entre celdas

En la Figura 5.20 se muestra el porcentaje de desbalance máximo respecto a la energía procesada bajo las diferentes estrategias de modulación. Este valor es el resultado de calcular primeramente el desbalance entre cada celda (considerando el valor máximo como referencia) y posteriormente, destacar el porcentaje máximo obtenido. En el Anexo 4 se encuentra la tabla de resumen de porcentajes de balance de energía obtenidos entre cada celda. De los resultados anteriores se puede observar que la estrategia de modulación con menor porcentaje de desbalance es la PSC, siguiendo la estrategia propuesta y la LS por ciclo de portadora.

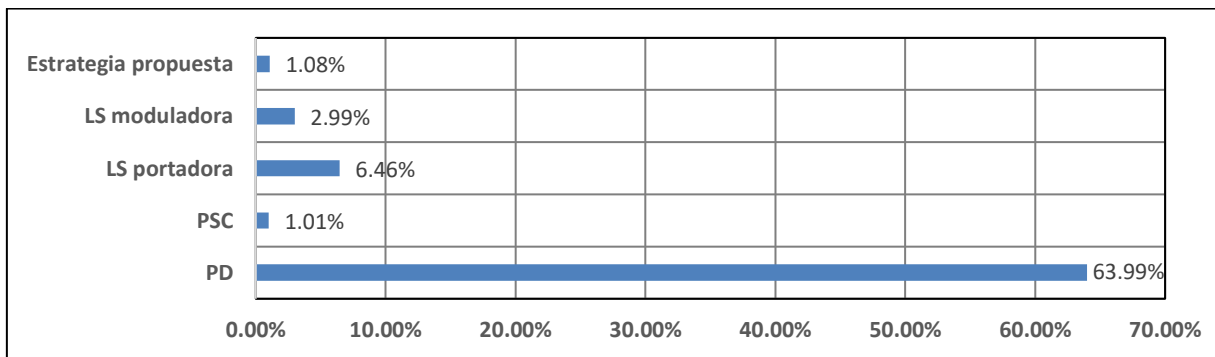


Figura 5.20. Porcentaje máximo de desbalance de energía procesada entre celdas

### 5.4.4. Energía transferida por cada celda

En la Figura 5.21 se muestra un resumen de la energía promedio transferida a la carga durante tres ciclos por las diferentes celdas. En dicha tabla se puede observar que con la estrategia de modulación propuesta se transfiere mayor cantidad de energía a la carga, siendo ésta un 23% mayor en comparación con su homóloga, la estrategia por ciclo de moduladora. En el Anexo 5 se muestra la tabla de datos que se empleó para realizar el gráfico.

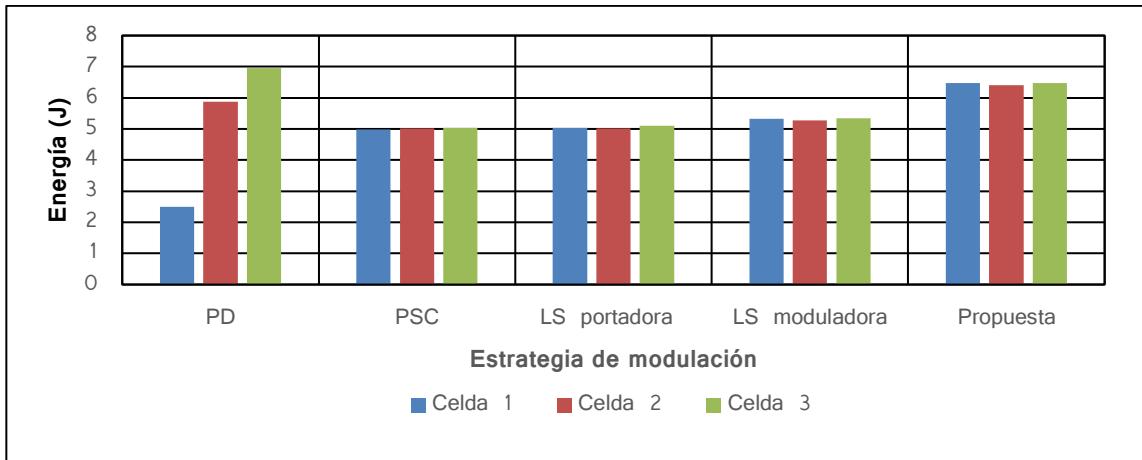


Figura 5.21. Energía promedio transferida por cada celda

---

# CAPÍTULO 6: RESULTADOS EXPERIMENTALES

---

## 6.1 Descripción general

En este capítulo, se presentan los elementos necesarios para obtener los resultados del estudio, los cuales incluyen:

- Metodología de pruebas: se describe el procedimiento utilizado para realizar las pruebas y obtener los datos necesarios para la evaluación del desempeño de la estrategia de modulación.
- Descripción de plataforma: se presenta la plataforma utilizada en el estudio, incluyendo el inversor multinivel en cascada de siete niveles y los componentes adicionales necesarios para realizar las pruebas.
- Obtención de resultados: se muestran los resultados obtenidos durante las pruebas, incluyendo la calidad de la tensión a la salida del inversor (THD y DF), comportamiento de temperatura del convertidor en operación, desbalance de energía entre celdas del convertidor, uso de recursos digitales y cantidad de potencia transferida a la carga.
- Comparación de los resultados: se realizó una comparación de los resultados obtenidos, tomando en cuenta parámetros de comparación establecidos en el trabajo. Se evaluó la calidad y eficiencia de la estrategia de modulación "moduladoras reconstruidas" en comparación con estrategias de balance existentes.

El objetivo principal de este capítulo es llevar a cabo una evaluación completa del desempeño en la implementación de la estrategia de modulación "moduladoras reconstruidas" desarrollada en esta tesis. La evaluación se realiza considerando múltiples parámetros de comparación, con el fin de proporcionar una evaluación detallada y precisa de la eficacia de la estrategia propuesta.

## 6.2 Especificaciones de prueba

El objetivo de realizar las pruebas experimentales es implementar y comparar las técnicas de modulación con fines de balance energético, tanto existentes como la propuesta en esta tesis, respecto a diferentes parámetros que evalúen el rendimiento de las mismas. En la Tabla 6.1 se encuentran las condiciones establecidas bajo las cuales se llevaron a cabo las pruebas experimentales para así garantizar que todas las pruebas estén en iguales circunstancias. Posteriormente, en la Tabla 6.2 se encuentran las especificaciones eléctricas de pruebas.



Tabla 6.1. Condiciones de pruebas

<b>Condiciones de pruebas experimentales</b>	
Número de mediciones por prueba	8
Temperatura ambiente	29°C ( $\pm 5\%$ )
Horario	12:30 p.m.
Distancia de medición de temperatura	20 cm
Duración de la prueba	16 min

Tabla 6.2. Especificaciones eléctricas de prueba

<b>Parámetro</b>	<b>Valor</b>
<b>Inversor multinivel (Plataforma existente en CENIDET)</b>	
Fuente de CD	120 V ( $\pm 5\%$ )
Frecuencia de señal moduladora	60 Hz
Frecuencia de señal portadora	3000 Hz
Número de niveles de tensión a la salida	7
<b>Modulación</b>	
Estrategias de modulación	PD, PSC, LS moduladora, LS portadora
Número de celdas por fase	3
Índice de modulación	0.9
<b>Motor de inducción</b>	
Tipo	Motor de inducción monofásico con condensador de arranque
Tensión nominal	220 V
Corriente nominal a plena carga	3.6 A
Capacitor de arranque	25 $\mu$ F
Velocidad nominal	1390 rpm

La Tabla 6.3 muestra los modelos de los equipos empleados para la realización de todas las pruebas experimentales necesarios para la medición de los parámetros que se pretenden comparar.

Posteriormente, se llevan a cabo las mediciones de los parámetros de comparación. En la Figura 6.1 se encuentra a manera de esquema lo anteriormente descrito.

Tabla 6.3. Equipamiento empleado en pruebas experimentales

Parámetro	Equipo de medición utilizado
THD, Corriente nominal, Tensión nominal	<ul style="list-style-type: none"> <li>• HIOKI PW3198</li> </ul>
DF	<ul style="list-style-type: none"> <li>• HIOKI PW3198 + PQA-HiVIEW PRO 9624-50V2 + Excel</li> </ul>
Temperatura	<ul style="list-style-type: none"> <li>• FLIR TG165-X</li> </ul>
Carga	<ul style="list-style-type: none"> <li>• Motor de inducción monofásico</li> </ul>

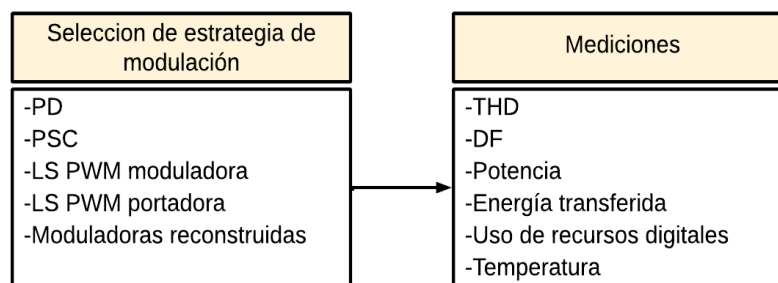


Figura 6.1. Esquema de pruebas experimentales

### 6.3 Plataforma experimental

La descripción del sistema de pruebas experimentales se encuentra dividido en plataforma de modulación y plataforma de potencia.

La plataforma de modulación es la encargada de generar las señales de conmutación que activan/desactivan los interruptores de la topología multinivel, los elementos encargados de llevar a cabo esta función se encuentran descritos en el capítulo 3 de este documento. Recordando que las estrategias de modulación se implementan de manera digital por medio de la programación en lenguaje VHDL implementado en FPGA Cyclone II®.

La plataforma de potencia empleada es la desarrollada en [74], la cual se encuentra en el Centro Nacional de Investigación y Desarrollo Tecnológico (CENIDET) (Figura 6.2). Esta plataforma está constituida por dos etapas, (Figura 6.3):

- Etapa 1. Esta etapa garantiza que la tensión de alimentación de CD sea la misma en todos los puentes H. Primeramente, se transforma la tensión de alimentación de CA y posteriormente, se rectifica a CD garantizando con ello los mismos niveles de tensión.
- Etapa 2. Esta etapa realiza la conversión de CD a CA, empleando un inversor multinivel en cascada de siete niveles, la cual está integrada por módulos IRAMS10UP60b, cuyas especificaciones principales son enlistadas a continuación:
  - Voltaje de bloqueo IGBT/Diodo ( $V_{CES}/V_{RRM}$ ): 600 V.
  - Corriente RMS ( $I_o$ ): 10 A.
  - Frecuencia PWM de tarjeta ( $F_{PWM}$ ): 20 kHz.

- Tiempo de retardo al encendido( $T_{ON}$ ): 590 ns.
- Tiempo de retardo al apagado( $T_{OFF}$ ): 700 ns.

Una vez implementando la topología multinivel con cualquiera de las estrategias de modulación abordadas en este trabajo de investigación (PD, PSC, LS moduladora, LS portadora y “moduladoras propuestas”), teniendo como carga al motor de inducción (Figura 6.4) se obtiene la tensión de salida escalonada de siete niveles. En la Figura 6.5 se muestra la tensión monofásica a la salida del inversor, empleando la estrategia de modulación PD. En esta figura se aprecia que la tensión es menor a la obtenida en simulación y esto puede deberse a diferentes motivos, tales como: las fuentes de alimentación de CD varían de amplitud debido a las etapas de conversión de la plataforma experimental, pérdidas y resistencias en los componentes, entre otros.

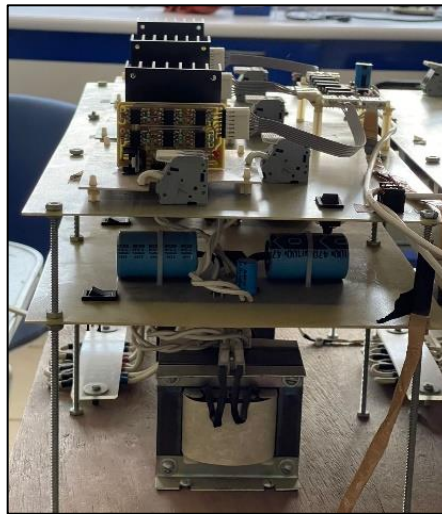
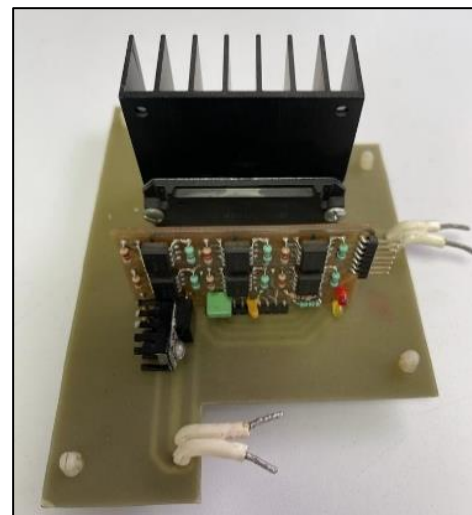


Figura 6.2. Plataforma experimental, topología multinivel en cascada



a)



b)

Figura 6.3. Plataforma de potencia: a) etapa 1; (b) etapa 2



Figura 6.4. Plataforma conectada con motor de inducción

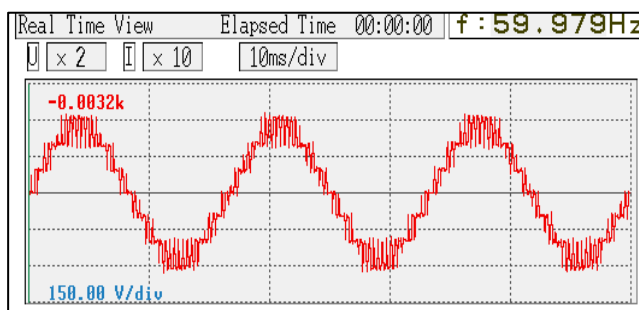


Figura 6.5. Tensión monofásica a la salida del inversor multinivel, modulación PD

## 6.4 Resultados experimentales

A continuación, se presentan los resultados obtenidos de manera experimental empleando la plataforma de potencia descrita anteriormente en conjunto con la plataforma de modulación. Destacando que esta última varía dependiendo la estrategia de modulación a emplear en las diferentes pruebas.

### 6.4.1 Estrategia sin balance energético, PD

#### 6.4.1.1 Recursos digitales

En la Figura 6.6 se muestran las señales de conmutación pertenecientes a la estrategia de modulación sin fines de balance energético (PD) implementadas en el FPGA. Una vez implementadas las señales de disparo, se emplearon en conjunto con la topología multinivel obteniendo las señales de tensión, corriente y potencia en cada celda del convertidor.

En la Figura 6.7 se encuentran las cantidades de recursos digitales utilizados al implementar la estrategia de modulación, los cuales fueron obtenidos mediante el programa Quartus®.

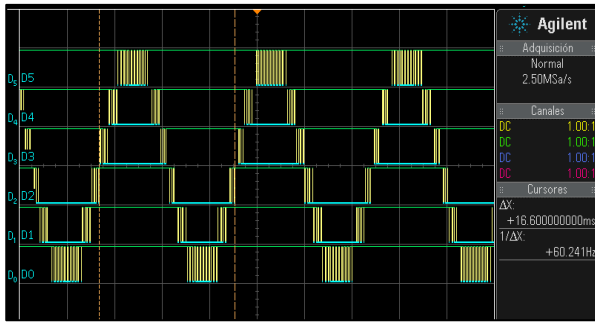


Figura 6.6. Señales de conmutación implementadas en FPGA, estrategia PD

Flow Summary	
Flow Status	Successful - Wed Apr 26 20:23:38 2023
Quartus II 64-Bit Version	13.0.0 Build 156 04/24/2013 SJ Web Edition
Revision Name	modulos
Top-level Entity Name	modulos
Family	Cyclone II
Device	EP2C5T144C8
Timing Models	Final
Total logic elements	1,231 / 4,608 ( 27 % )
Total combinational functions	1,231 / 4,608 ( 27 % )
Dedicated logic registers	94 / 4,608 ( 2 % )
Total registers	94

Figura 6.7. Recursos digitales empleados por la implementación de estrategia de modulación PD

### 6.4.1.2 Potencia

En las Figuras 6.8, 6.9 y 6.10 se encuentran las señales de tensión (azul), corriente (turquesa) y potencia (rojo) obtenidas en las celdas 1, 2 y 3 del inversor multinivel. En dichas figuras se puede comprobar que la estrategia no tiene fines de balance energético debido a que los valores obtenidos por celda son diferentes entre sí. Uno de los motivos es que cada celda tiene diferentes tiempos los cuales sus interruptores conducen energía.

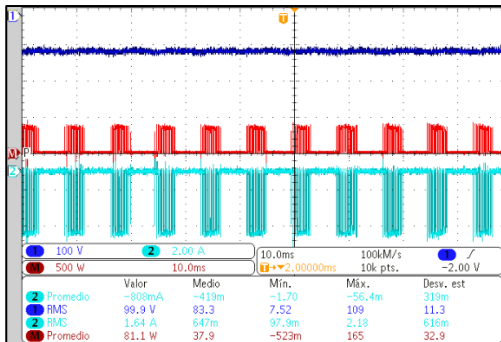


Figura 6.8. Señales de tensión, corriente y potencia en celda 1, estrategia PD

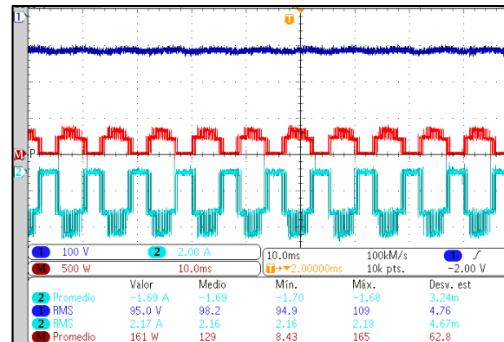


Figura 6.9. Señales de tensión, corriente y potencia en celda 2, estrategia PD

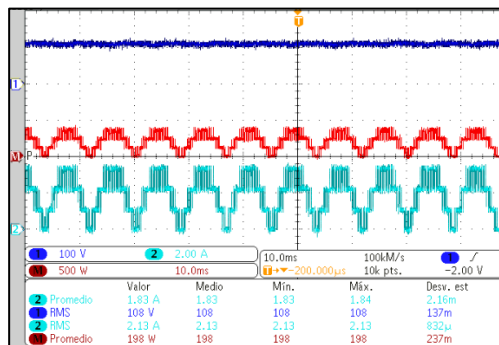


Figura 6.10. Señales de tensión, corriente y potencia en celda 3, estrategia PD

### 6.4.1.3 THD y DF

En la Figura 6.11 se encuentra destacado en rojo el porcentaje de THD de la señal de tensión a la salida del inversor multinivel obtenido experimentalmente empleando la estrategia de modulación PD; para obtener dicho resultado se utilizó el analizador de energía HIOKI®.

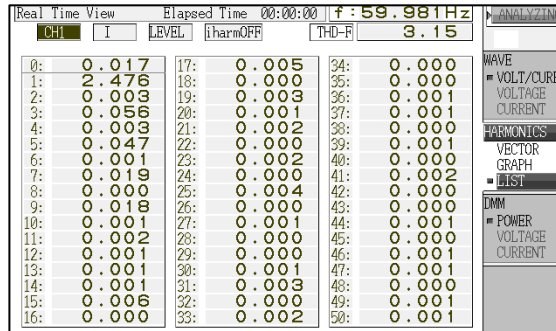


Figura 6.11. THD de la señal de tensión a la salida, empleando estrategia de modulación PD

Para el parámetro de DF se empleó el programa PQA-HiVIEW PRO 9624-50V2® para extraer los datos del analizador de energía referentes a la amplitud de la componente fundamental y de las componentes armónicas de la señal; con estos datos obtenidos se emplea (6.1) para calcular el DF en la señal de tensión a la salida del inversor empleando esta estrategia de modulación, obteniendo 2.64%.

$$DF = \frac{V_1}{\sqrt{\sum_{n=1}^{\infty} (V_n)^2}} \quad (6.1)$$

### 6.4.1.4 Temperatura

En la Figura 6.12 se muestran los resultados obtenidos experimentalmente en cuanto a temperatura de los IGBT empleando esta estrategia de modulación. En ella se puede apreciar que los valores de temperatura obtenidos por cada celda son diferentes, lo cual es característico de esta técnica, ya que no lleva a cabo balance energético.

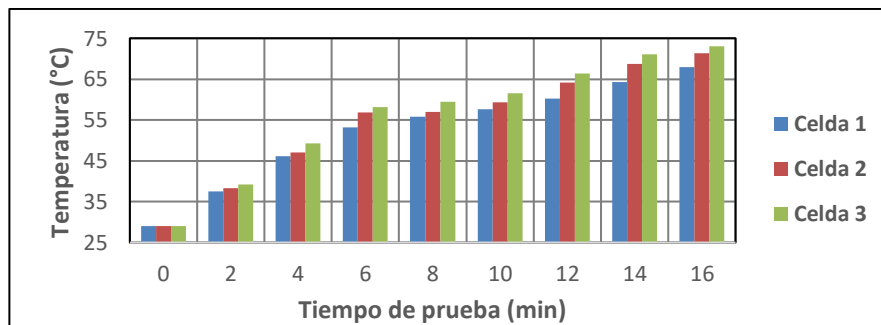


Figura 6.12. Temperatura en celdas obtenida experimentalmente, empleando estrategia PD

Ahora bien, de los datos obtenidos se destacan los valores máximos alcanzados por cada celda, los cuales son 68 °C para la celda 1, 71.3 °C para la celda 2 y 73 °C para la celda 3 (Figura 6.13).

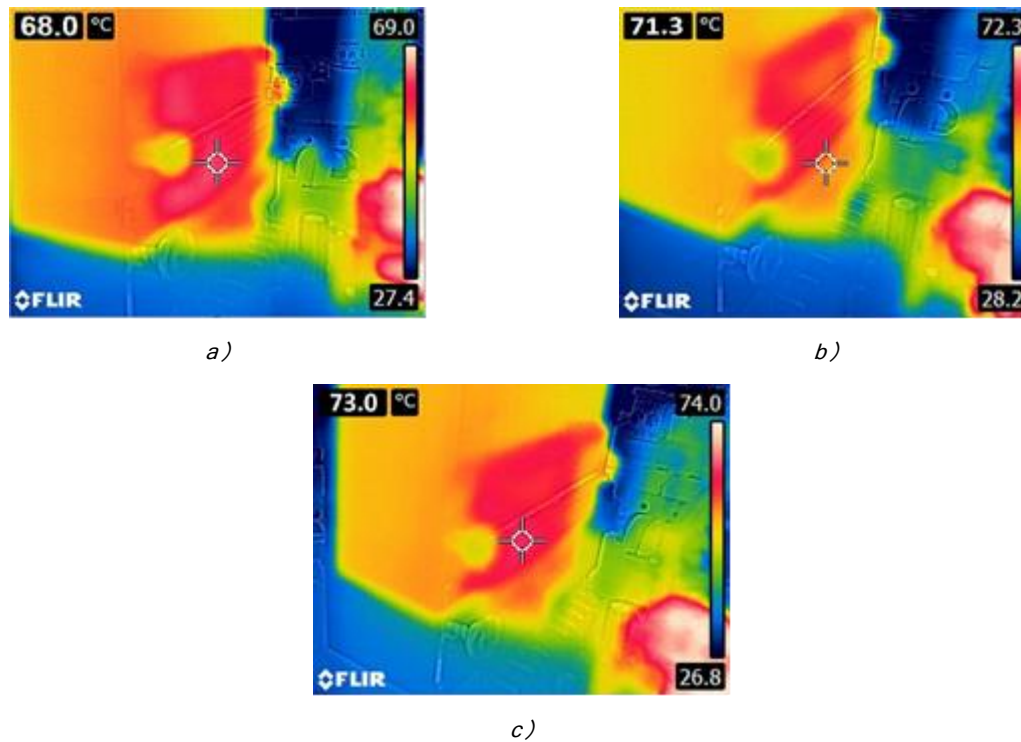


Figura 6.13. Temperatura máxima obtenida en cada celda, empleando estrategia PD; a) celda 1, b) celda 2, c) celda 3

## 6.4.2 Estrategias de modulación con fines de balance energético, PSC

### 6.4.2.1. Recursos digitales

Los recursos digitales empleados para la implementación de la estrategia de modulación con fines de balance energético PSC en el FPGA, se presentan en la Figura 6.14. Posteriormente en la Figura 6.15 se presentan las señales de conmutación obtenidas a la salida del FPGA Altera Cyclone II.

Flow Summary	
Flow Status	Successful - Wed Apr 26 20:28:40 2023
Quartus II 64-Bit Version	13.0.0 Build 156 04/24/2013 SJ Web Edition
Revision Name	modulos
Top-level Entity Name	modulos
Family	Cyclone II
Device	EP2C5T144C8
Timing Models	Final
Total logic elements	2,828 / 4,608 ( 61 % )
Total combinational functions	2,828 / 4,608 ( 61 % )
Dedicated logic registers	132 / 4,608 ( 3 % )
Total registers	132

Figura 6.14. Recursos digitales empleados por la implementación de estrategia de modulación PSC

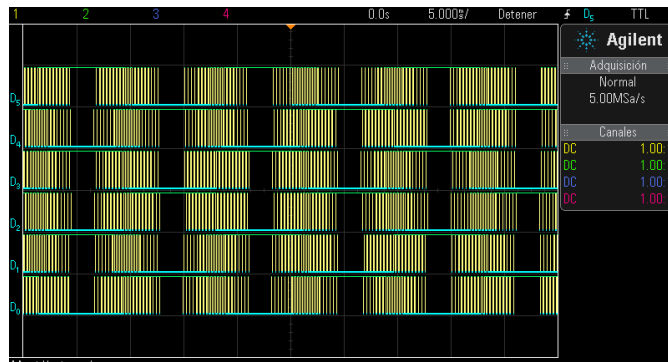


Figura 6.15. Señales de conmutación implementadas en FPGA, estrategia PSC

### 6.4.2.2. Potencia

Con los estados de conmutación operando en conjunto con la plataforma de potencia se logran obtener los parámetros de tensión, corriente y potencia en cada celda, empleando la estrategia de modulación PSC. En la Figura 6.16 se presentan las señales de tensión (azul), corriente (turquesa) y potencia (rojo) para la estrategia PSC.

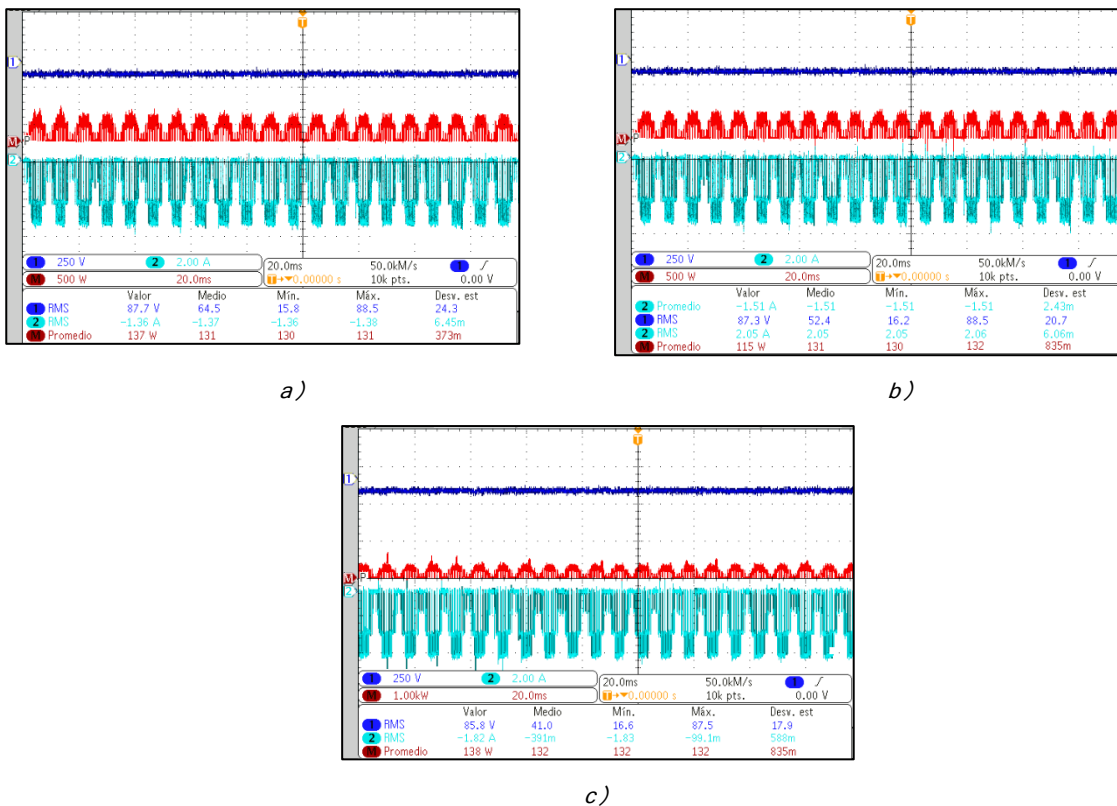


Figura 6.16. Señales de tensión, corriente y potencia empleando estrategia PSC: a) celda 1; b) celda 2; c) celda 3

### 6.4.2.3. THD y DF

El valor de THD obtenido en la señal de tensión a la salida del inversor empleando la



estrategia de modulación PSC se obtuvo mediante el analizador de energía HIOKI® (Figura 6.17) y como se mencionó anteriormente, el DF se obtuvo mediante la extracción de datos con ayuda del programa PQA-HiVIEW PRO 9624-50V2® y posteriormente empleando (6.1), obteniendo un valor de 1.99%.

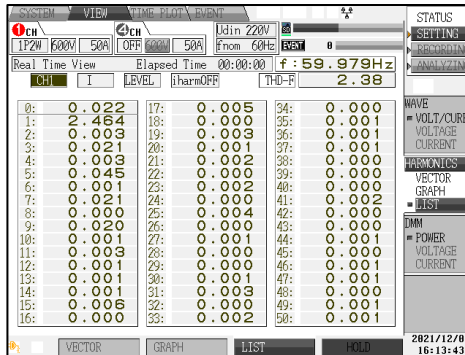


Figura 6.17. THD en la señal de tensión a la salida, empleando estrategia de modulación PSC

#### 6.4.2.4. Temperatura

Para la estrategia PSC, se observa que llega a valores más elevados en comparación con la estrategia anterior (Figura 6.18). Lo anterior se le atribuye a que en esta estrategia la señal portadora conmuta a una frecuencia tres veces más alta que la frecuencia de modulación. Los valores máximos obtenidos en esta estrategia son 74.7 °C, 73.8 °C, 74.1 °C, respectivamente por celda (Figura 6.19). Tomando en cuenta estos valores se puede observar que se encuentran más cercanos entre ellos. Es decir, llega a mayor temperatura, pero es más balanceada entre las celdas.

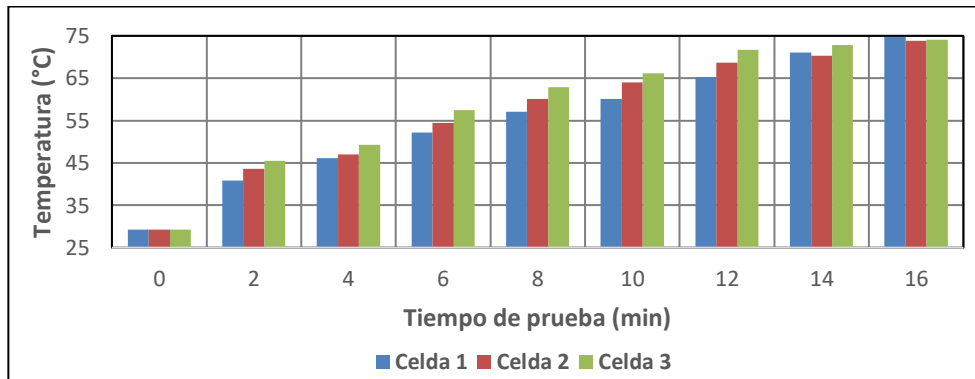


Figura 6.18. Temperatura en celdas obtenida experimentalmente, empleando estrategia PSC

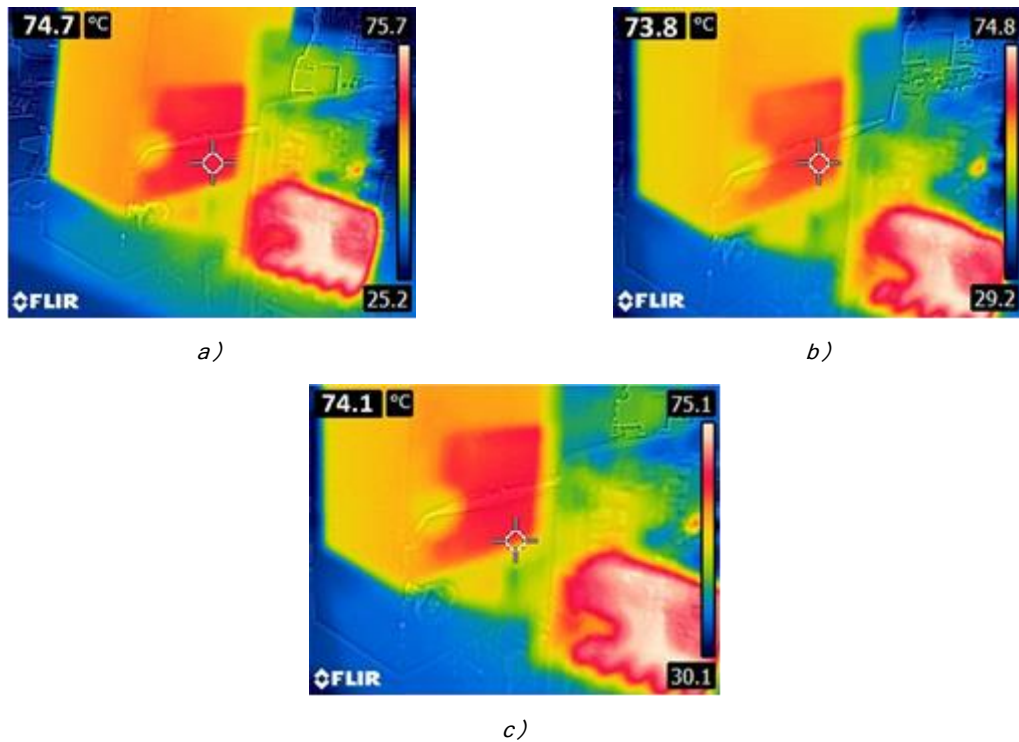


Figura 6.19. Temperatura máxima obtenida en cada celda, empleando estrategia PSC; a) celda 1, b) celda 2, c) celda 3

## 6.4.3 Estrategias de modulación con fines de balance energético, LS moduladora

### 6.4.3.1 Recursos digitales

En la Figura 6.20 se pueden observar las señales de conmutación para los interruptores de un inversor multinivel en cascada, que han sido generadas mediante la estrategia de modulación LS de desplazamiento de nivel por ciclo de moduladora. Dichas señales se implementaron de manera digital en FPGA, haciendo uso de los recursos digitales específicos que se detallan en la Figura 6.21.

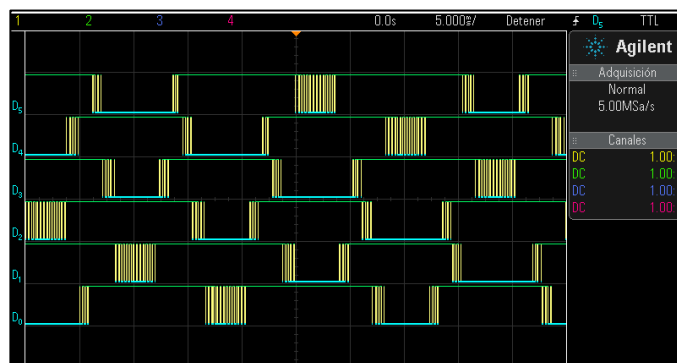


Figura 6.20. Señales de conmutación implementadas en FPGA, estrategia LS moduladora

Flow Summary	
Flow Status	Successful - Wed Apr 26 20:44:18 2023
Quartus II 64-Bit Version	13.0.0 Build 156 04/24/2013 SJ Web Edition
Revision Name	modulos
Top-level Entity Name	modulos
Family	Cyclone II
Device	EP2C5T144C8
Timing Models	Final
Total logic elements	1,644 / 4,608 ( 36 % )
Total combinational functions	1,644 / 4,608 ( 36 % )
Dedicated logic registers	73 / 4,608 ( 2 % )
Total registers	73

Figura 6.21. Recursos digitales empleados por la implementación de estrategia de modulación LS moduladora

### 6.4.3.2 Potencia

Los estados de conmutación generados por la implementación de la estrategia de modulación LS de desplazamiento por ciclo de señal moduladora se utilizan en conjunto con la plataforma de potencia para obtener los parámetros de tensión, corriente y potencia en cada celda del sistema. En la Figura 6.22 se pueden observar las señales de tensión (azul), corriente (fucsia) y potencia (rojo) generadas empleando esta estrategia.

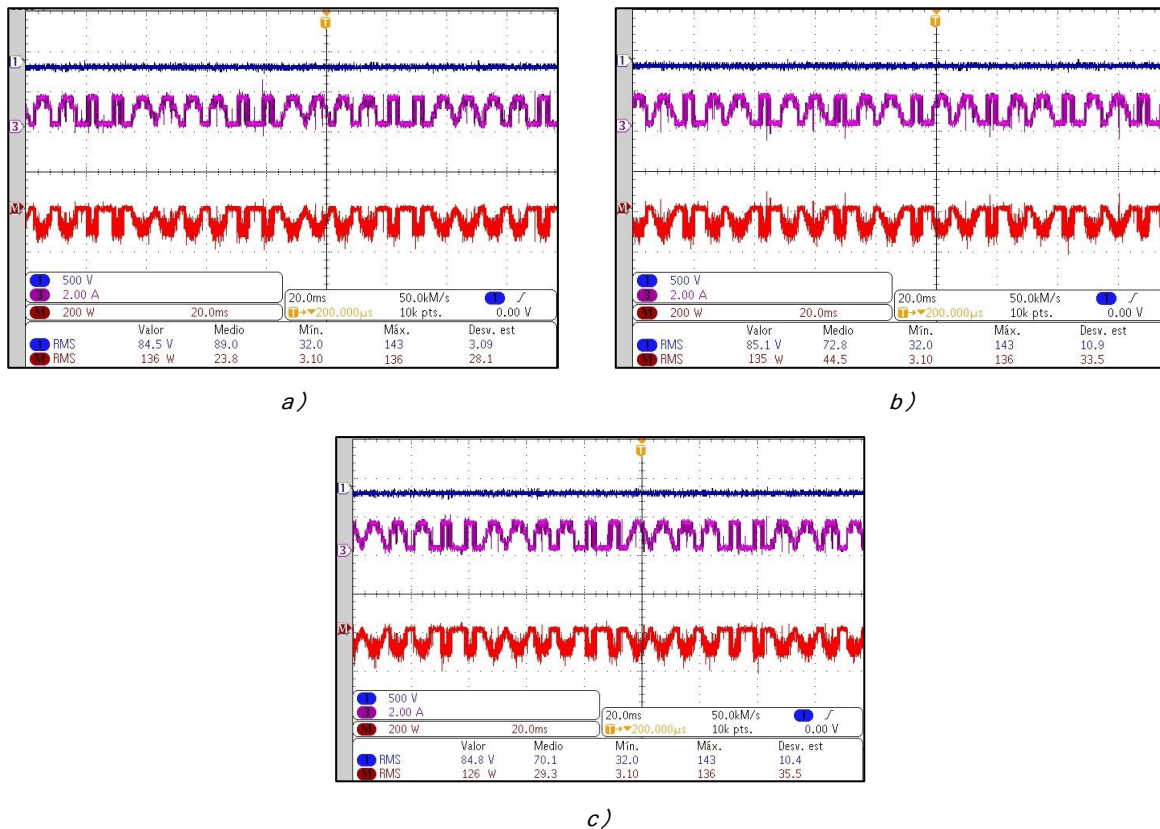


Figura 6.22. Señales de tensión, corriente y potencia empleando estrategia LS moduladora: a) celda 1; b) celda 2; c) celda 3

### 6.4.3.3 THD y DF

Una vez implementada la estrategia de modulación en conjunto con la etapa de potencia

se obtuvo experimentalmente el porcentaje de THD en la tensión de salida del inversor (Figura 6.23) mediante el analizador de energía HIOKI®. Además, se empleó el programa PQA-HiVIEW PRO 9624-50V2® para calcular el factor de distorsión (DF) en la señal de tensión de salida del inversor, empleando (6.1) y se obtuvo un valor de 2.08% para el DF utilizando esta estrategia de modulación.

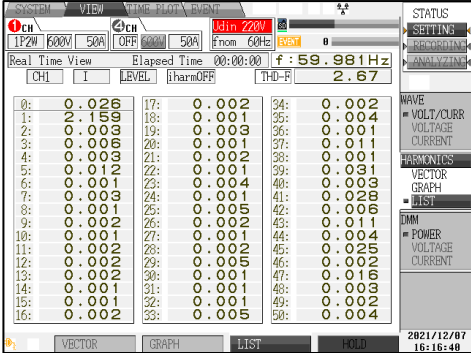


Figura 6.23. THD en la señal de tensión a la salida, empleando estrategia de modulación LS por ciclo de moduladora

**6.4.3.4 Temperatura**

La estrategia de modulación LS por ciclo de moduladora obtuvo valores máximos de 63.8 °C en celda 1, 64.8 °C en la celda 2 y 62.6 °C en la celda 3 (Figura 6.24), obtenidos de los datos recabados en la Figura 6.25.

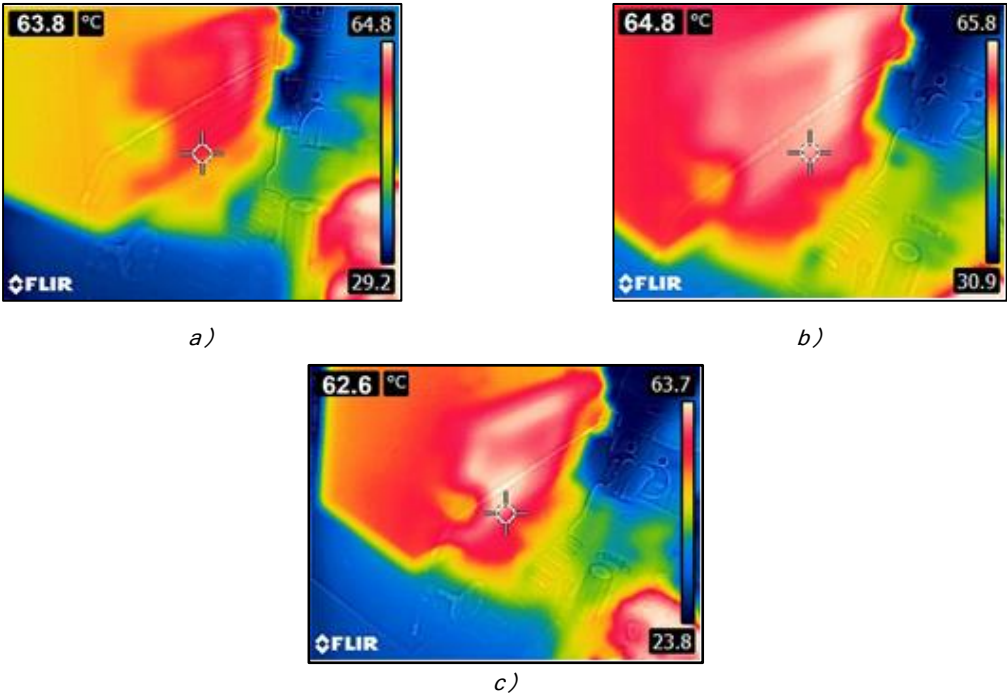


Figura 6.24. Temperatura máxima obtenida en cada celda, empleando estrategia LS moduladora; a) celda 1, b) celda 2, c) celda 3

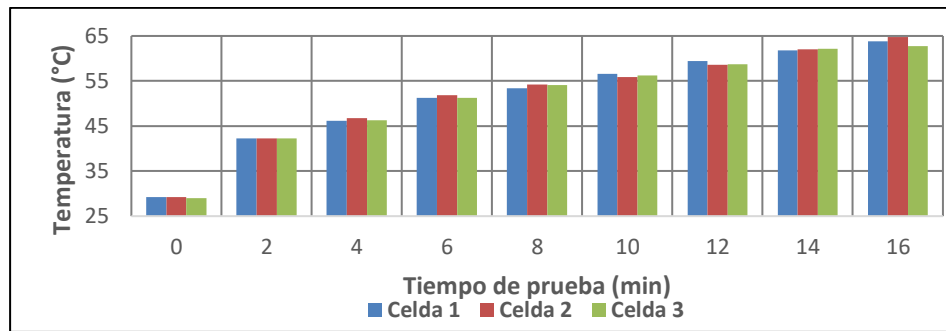


Figura 6.25. Temperatura en celdas obtenida experimentalmente, empleando estrategia LS moduladora

## 6.4.4 Estrategias de modulación con fines de balance energético, LS portadora

### 6.4.4.1 Recursos digitales

Los estados de conmutación generados por la implementación digital de la estrategia de modulación LS de desplazamiento de nivel por ciclo de portadora se encuentran en la Figura 6.26. Posteriormente, en la Figura 6.27 se encuentran los recursos digitales empleados del FPGA para la implementación de dicha técnica.

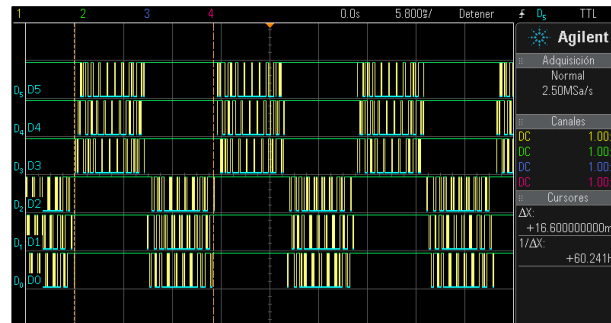


Figura 6.26. Señales de conmutación implementadas en FPGA, estrategia LS portadora

Flow Summary	
Flow Status	Successful - Wed Apr 26 20:54:39 2023
Quartus II 64-Bit Version	13.0.0 Build 156 04/24/2013 SJ Web Edition
Revision Name	modulos
Top-level Entity Name	modulos
Family	Cyclone II
Device	EP2C5T144C8
Timing Models	Final
Total logic elements	1,211 / 4,608 ( 26 % )
Total combinational functions	1,211 / 4,608 ( 26 % )
Dedicated logic registers	96 / 4,608 ( 2 % )
Total registers	96

Figura 6.27. Recursos digitales empleados por la implementación de estrategia de modulación LS portadora

### 6.4.4.2 Potencia

Mediante la estrategia de modulación LS de desplazamiento por ciclo de señal portadora, se generan los estados de conmutación que se utilizan en conjunto con la plataforma de potencia para obtener las señales de tensión, corriente y potencia en cada celda del inversor.

En la Figura 6.28, se pueden observar las señales resultantes antes mencionadas, donde la señal de tensión se representa en azul, la corriente en turquesa y la potencia en rojo.

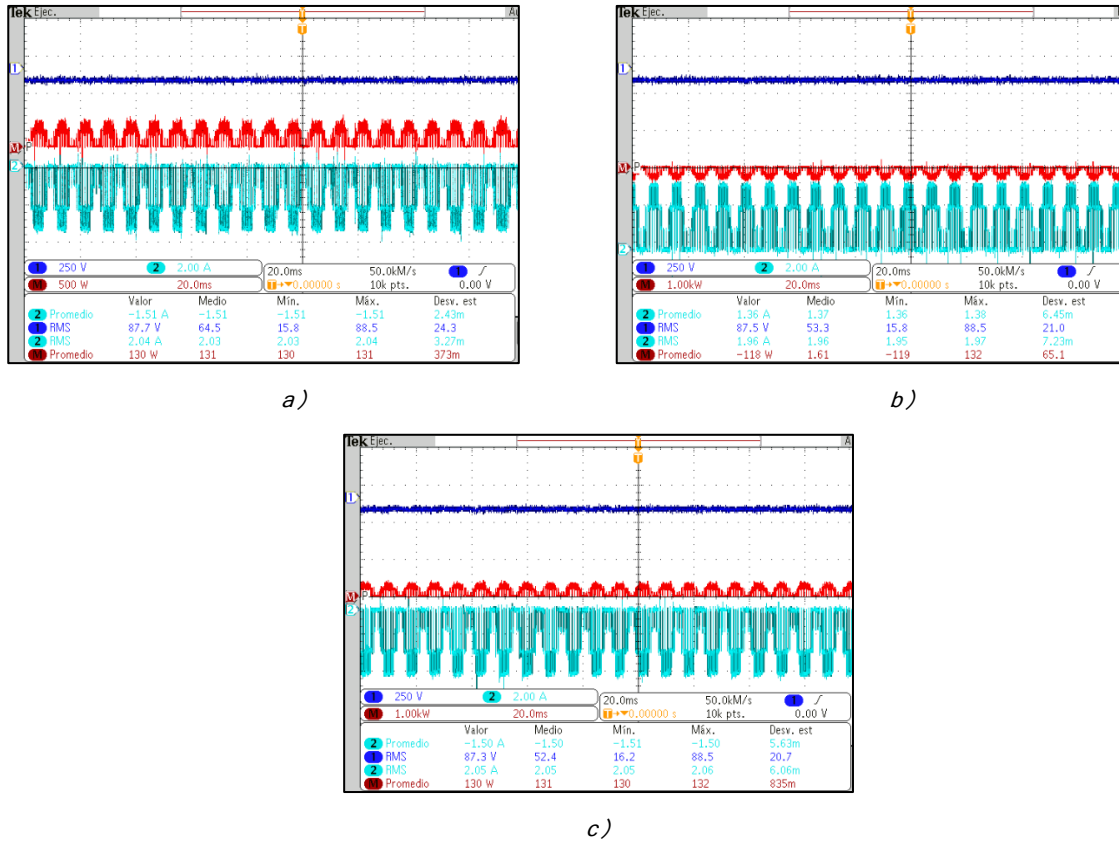


Figura 6.28. Señales de tensión, corriente y potencia empleando estrategia LS por ciclo de portadora: a) celda 1; b) celda 2; c) celda 3

### 6.4.4.3 THD y DF

En la Figura 6.29 se presenta el valor de THD obtenido en la señal de tensión a la salida del inversor empleando la modulación LS por ciclo de señal portadora. Asimismo, empleando el mismo procedimiento seguido por las estrategias anteriores para obtener el DF se obtuvo un 2.81% del mismo utilizando esta estrategia de modulación.

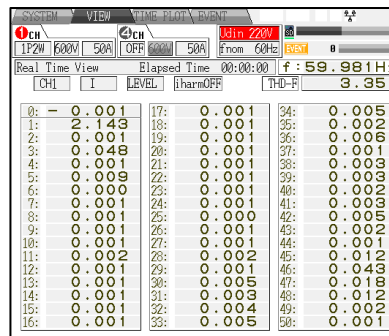


Figura 6.29. THD en la señal de tensión a la salida, empleando estrategia de modulación LS por ciclo de portadora

#### 6.4.4.4 Temperatura

En la Figura 6.30 se muestran los resultados obtenidos para esta estrategia de modulación, de la cual se obtuvieron los valores máximos por cada celda (Figura 6.31). Observando estos valores máximos y el comportamiento en los diferentes intervalos, se comprueba lo que se había planteado anteriormente relacionado a que esta estrategia obtenía valores diferentes en cuanto a conmutación y conducción en una de las celdas es correcto. En este caso la celda desbalanceada es la celda 1.

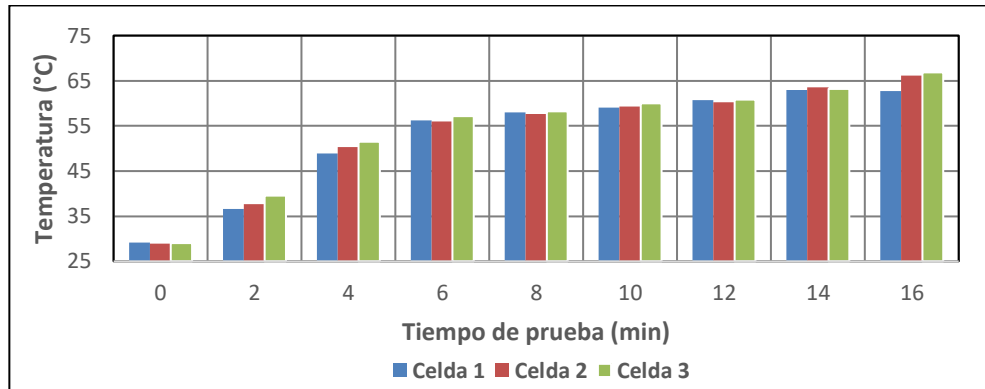


Figura 6.30. Temperatura en celdas obtenida experimentalmente, empleando estrategia LS portadora

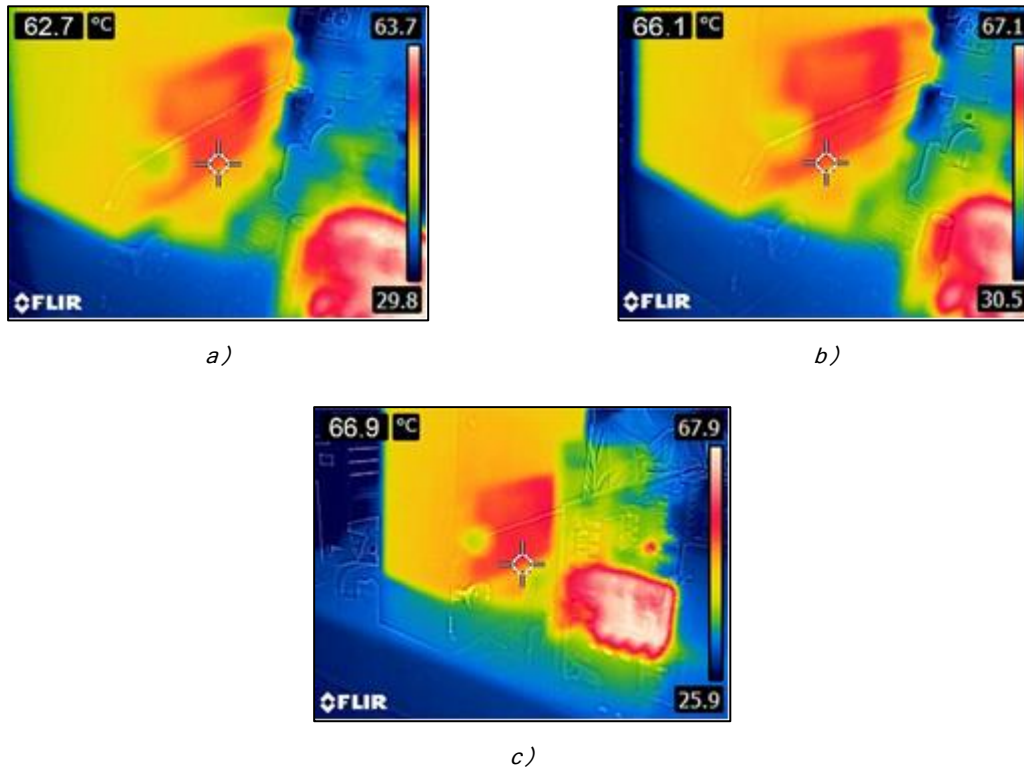


Figura 6.31. Temperatura máxima obtenida en cada celda, empleando estrategia LS portadora; a) celda 1, b) celda 2, c) celda 3

## 6.4.5 Estrategia de modulación alternativa propuesta, “moduladoras reconstruidas”

### 6.4.5.1 Recursos digitales

En la Figura 6.32 se encuentra la cantidad de recursos digitales empleados para la implementación de la estrategia “moduladoras reconstruidas” propuesta en esta tesis, obtenidas por el programa Quartus®. Posteriormente, los estados de conmutación de los interruptores de la etapa de potencia generados por dicha implementación se encuentran en la Figura 6.33.

Flow Summary	
Flow Status	Successful - Wed Apr 26 20:46:09 2023
Quartus II 64-Bit Version	13.0.0 Build 156 04/24/2013 SJ Web Edition
Revision Name	modulos
Top-level Entity Name	modulos
Family	Cyclone II
Device	EP2C5T144C8
Timing Models	Final
Total logic elements	491 / 4,608 ( 11 % )
Total combinational functions	491 / 4,608 ( 11 % )
Dedicated logic registers	78 / 4,608 ( 2 % )
Total registers	78

Figura 6.32. Recursos digitales empleados por la implementación de estrategia “moduladoras reconstruidas”

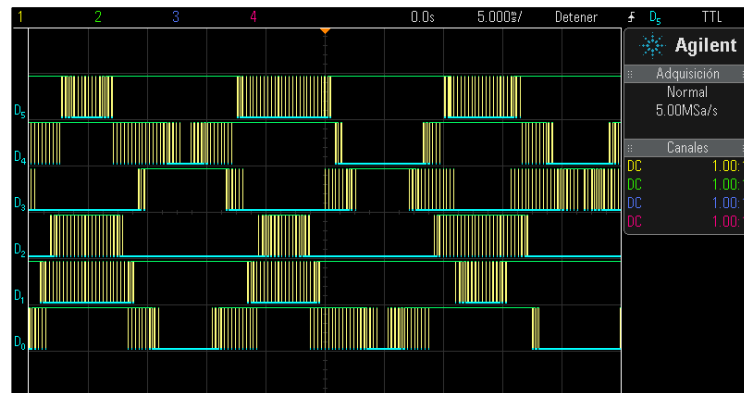


Figura 6.33. Señales de conmutación implementadas en FPGA, estrategia alternativa “moduladoras reconstruidas”

### 6.4.5.1 Potencia

Las señales digitales anteriores se emplean para activar/desactivar los interruptores del inversor multinivel, obteniendo la señal de tensión a la salida mostrada en la Figura 6.34. Para la comprobación del balance energético, en la Figura 6.35 se muestran las señales de tensión (azul), corriente (turquesa) y potencia (rojo) de cada celda del inversor, obtenidas empleando esta estrategia propuesta.



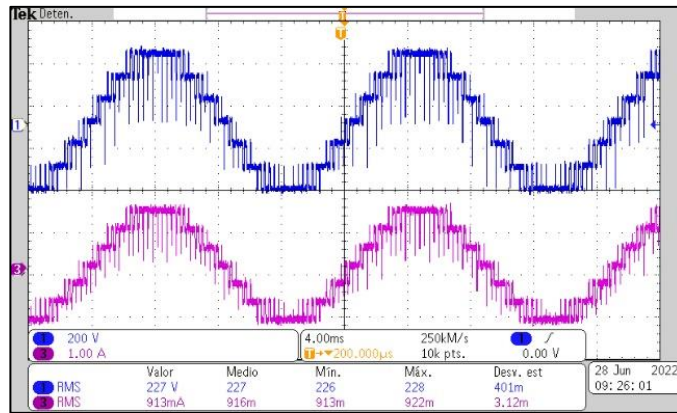
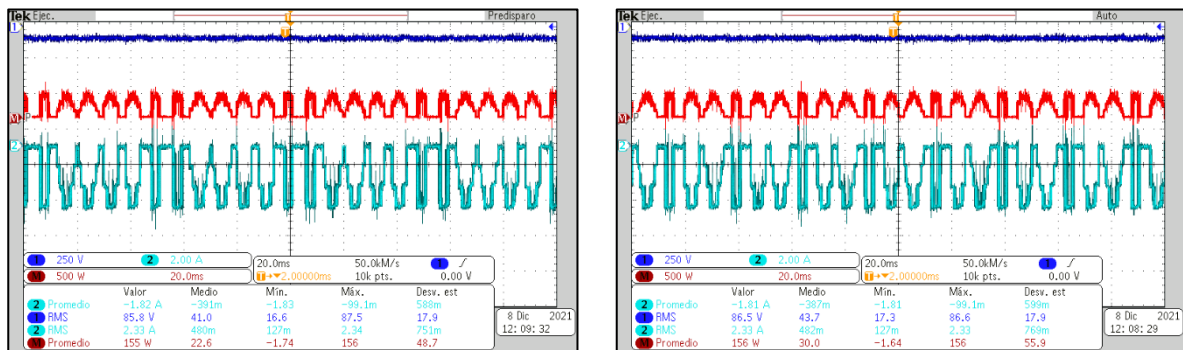
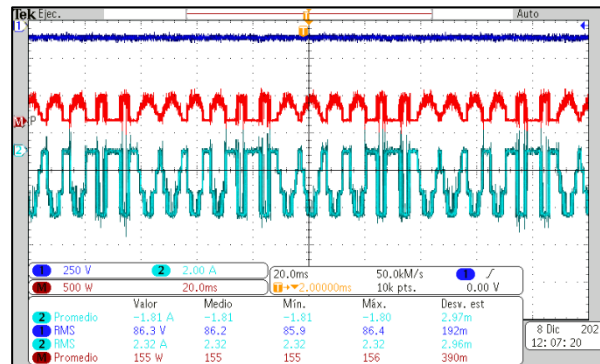


Figura 6.34. Señal de tensión a la salida del inversor multinivel, empleando estrategia alternativa “moduladoras reconstruidas”



a)

b)



c)

Figura 6.35. Señales de tensión, corriente y potencia empleando estrategia alternativa “moduladoras reconstruidas”: a) celda 1; b) celda 2; c) celda 3

#### 6.4.5.2 THD y DF

En la Figura 6.36 se resalta en rojo el valor del porcentaje de distorsión armónica total (THD) de la señal de tensión en la salida del inversor multinivel, el cual fue obtenido

experimentalmente mediante el uso de la estrategia de modulación “moduladoras reconstruidas”. Para realizar esta medición, se empleó el analizador de energía HIOKI®.

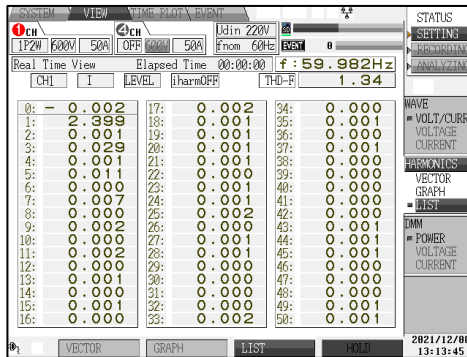


Figura 6.36. THD en la señal de tensión a la salida, empleando estrategia de modulación “moduladoras reconstruidas”

Para calcular el factor de distorsión (DF) en la señal de tensión de salida del inversor, se utilizó el programa PQA-HiVIEW PRO 9624-50V2® para extraer los datos del analizador de energía relacionados con la amplitud de la componente fundamental y las componentes armónicas de la señal. Luego, se aplicó la fórmula (6.1) y se obtuvo un valor de 1.05% para el DF utilizando esta estrategia de modulación.

#### 6.4.5.3 Temperatura

En la Figura 6.37 se muestran los resultados obtenidos para la estrategia de modulación propuesta. De esta figura se puede destacar que los valores obtenidos son menores en comparación a los presentados en las estrategias restantes. Obteniendo valores máximos de 60.8 °C para la celda uno, 60.5 °C para la celda 2 y 59.4 °C para la celda 3 (Figura 6.38).

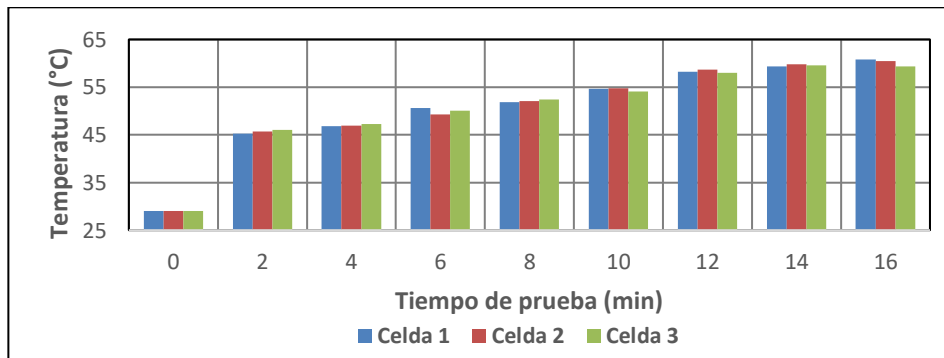


Figura 6.37. Temperatura en celdas obtenida experimentalmente, empleando estrategia alternativa “moduladoras reconstruidas”

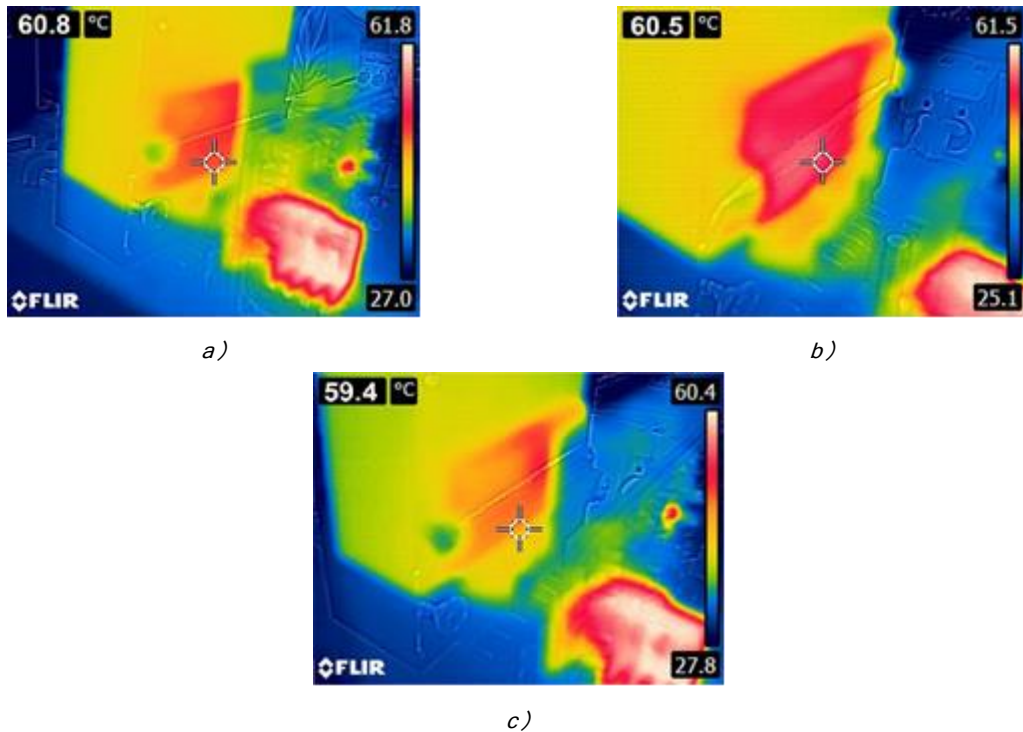


Figura 6.38. Temperatura máxima obtenida en cada celda, empleando estrategia alternativa “moduladoras reconstruidas”: a) celda 1, b) celda 2, c) celda 3

En el siguiente apartado se aborda una comparación y análisis de los resultados obtenidos de los diferentes parámetros bajo estudio.

## 6.5 Discusión de resultados experimentales

Tomando en cuenta los resultados obtenidos en implementación empleando las diferentes estrategias de modulación en conjunto con el inversor multinivel en cascada de siete niveles. Se enlistan las siguientes aseveraciones referentes al comportamiento de los parámetros de comparación empleando las estrategias de modulación de estudio:

### 6.5.1 Distorsión armónica total (THD) y factor de distorsión (DF)

En la Figura 6.39 se muestran los resultados obtenidos para cada una estrategia. En el Anexo 6 se encuentran concentradas las capturas de pantalla del analizador Hioki® que avalan dichos resultados en cada estrategia de modulación implementada.

Con los resultados de la Figura 6.39 se confirma lo obtenido en simulación, que la estrategia de modulación propuesta obtiene los niveles más bajos en THD y DF. Lo anterior se atribuye a que la estrategia “moduladoras reconstruidas” construye las tres moduladoras tomando en cuenta la misma amplitud que las señales portadoras haciendo que la intersección se haga las mismas veces abarcando la misma área, ocasionando que la señal de tensión a la salida sea más cercana a una onda senoidal ideal. Por último, cabe destacar que a

diferencia de simulación los valores de THD y DF obtenidos experimentalmente por la estrategia propuesta son aún más bajos que los de simulación. Lo anterior se puede deber a diversos factores, por ejemplo, a que en simulación se basa en cálculos numéricos que pueden estar sujetos a limitaciones de precisión del programa, mientras que en implementación los componentes pueden tener tolerancias y se realizan operaciones analógicas.

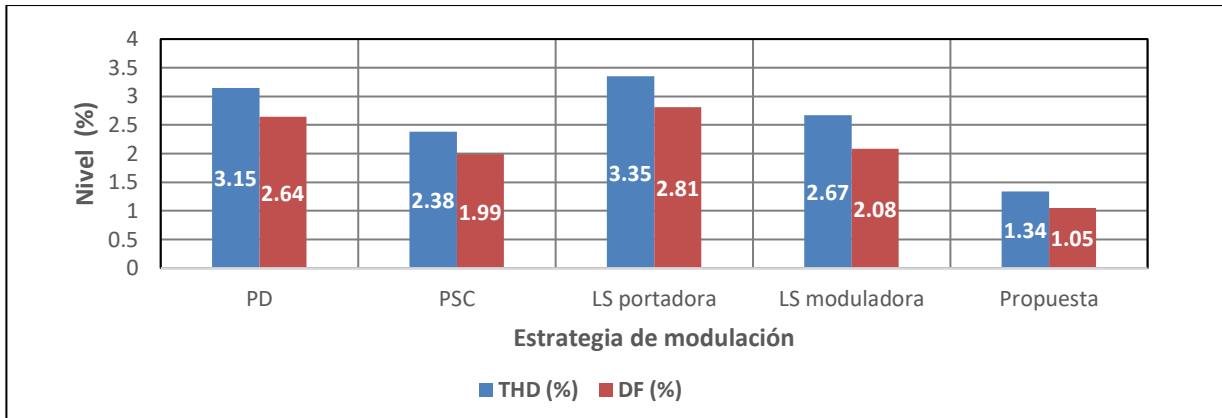


Figura 6.39. THD y DF en tensión de salida,  $m=0.9$

### 6.5.2 Porcentaje de desbalance máximo de potencia entre celdas

En la Figura 6.40 se muestra el desbalance máximo de potencia obtenido en cada celda. Los valores presentados en dicha figura se basan considerando el valor máximo obtenido experimentalmente, cuya tabla de valores base se encuentra en el Anexo 7. Se destaca que la estrategia de modulación propuesta es la que presenta menor desbalance entre celdas, y esto es debido a que divide las señales moduladoras en una cantidad específica de área logrando que la conmutación se proporcione equitativamente empleando como referencia únicamente dos señales de alta frecuencia garantizando con ello una mejor distribución de energía entre las celdas.

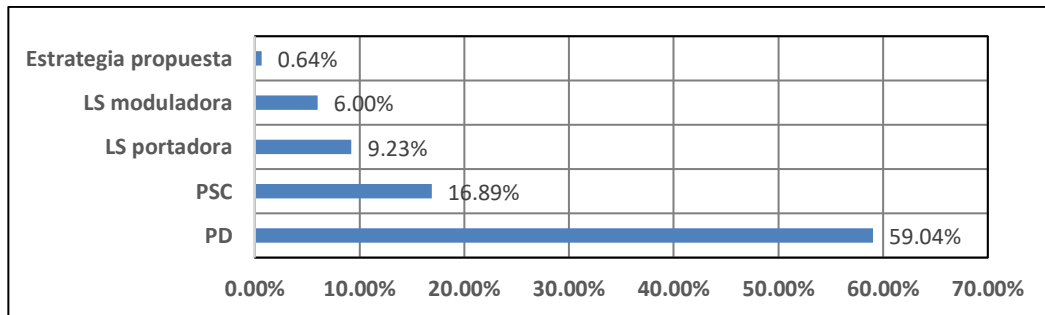


Figura 6.40. Porcentaje máximo de desbalance de potencia entre celdas

### 6.5.3 Energía transferida por cada celda

En la Figura 6.41 se muestra la energía promedio obtenida en cada celda para las diferentes estrategias tomando de referencia los datos de potencia extraídos del analizador de

energía HIOKI®. En este gráfico se puede confirmar que al igual que en simulación con la estrategia alternativa se logra transferir mayor energía a la carga, siendo esta un 20.05% más respecto al valor más cercano de las otras estrategias. Lo anterior se debe a que entre más equitativas son las áreas de conducción de los interruptores, mayor es la precisión de la modulación y con ello la capacidad de transferir energía aumenta.

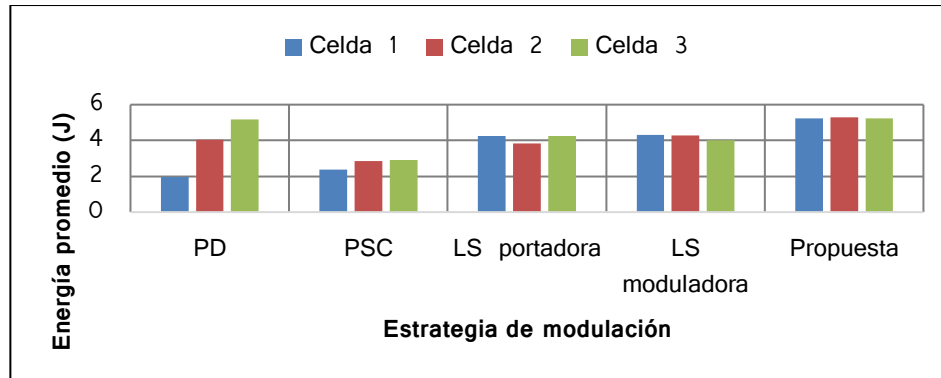


Figura 6.41. Energía promedio transferida por cada celda

### 6.5.4 Temperatura

Tomando en cuenta los valores máximos y mínimos de temperatura obtenidos por cada estrategia, presentados en la Figura 6.42, se puede observar que la estrategia propuesta obtiene los valores de temperatura más bajos, siguiéndola de cerca la estrategia LS por ciclo de moduladora. Y se destaca que la estrategia de balance PSC obtiene mayores valores de calentamiento incluso más allá que la estrategia que no tiene fines de balance energético, PD. Lo anterior es debido a que en la estrategia de modulación PSC la señal portadora conmuta a tres veces la frecuencia que la señal de modulación, lo cual puede generar corrientes de alta frecuencia y con ello mayor calentamiento debido a la resistencia del material de los dispositivos semiconductores.

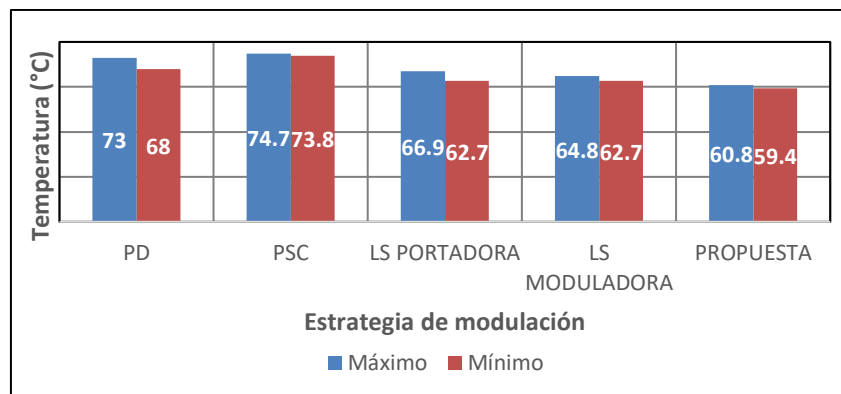


Figura 6.42. Valores máximos y mínimos de temperatura obtenidos experimentalmente.

Empleando los valores anteriores, en la Figura 6.43 se presenta el porcentaje de desbalance de temperaturas. Con esto se destaca que entre las estrategias de modulación que, si llevan

a cabo balance energético, la estrategia LS portadora es la que obtuvo mayor porcentaje del desbalance siguiendo muy de cerca a la estrategia PD, la cual no lleva a cabo balance. Además, se destaca que la estrategia de modulación PSC obtuvo menor porcentaje de diferencia entre la celda con valor máximo y la celda con valor mínimo obtenido de temperatura, pero al mismo tiempo es la que obtuvo mayores niveles de temperatura entre las estrategias de balance energético.

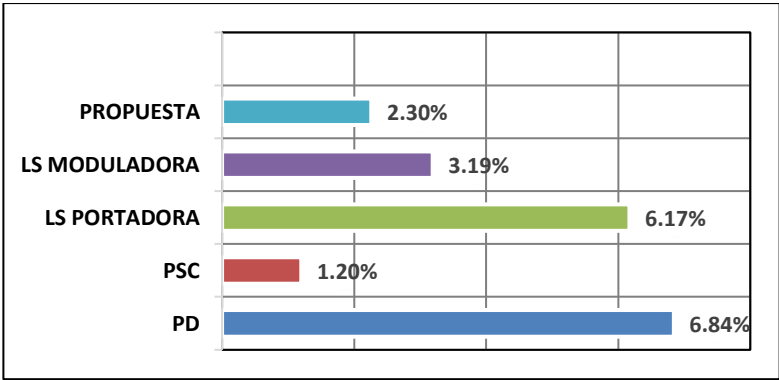


Figura 6.43. Porcentaje de diferencia de temperatura

### 6.5.5 Recursos digitales

En la Figura 6.44 se muestra la comparación en cuanto al porcentaje de uso recursos digitales de la tarjeta FPGA empleados por cada estrategia de modulación implementadas. Como se puede observar en dicha figura, la estrategia de modulación “moduladoras reconstruidas” emplea menos recursos digitales del FPGA debido a que emplea únicamente dos señales de alta frecuencia; mientras que la estrategia de balance energético PSC es la que emplea mayor recurso digital, esto es debido a que este tipo de estrategia multiplica la frecuencia de conmutación según sea el número de portadoras y como consecuencia existen mayor número de conmutaciones a la salida. Posteriormente, en la Figura 6.45 se muestra la comparación dependiendo del número de códigos VHDL requeridos para la implementación de las diferentes estrategias de modulación.

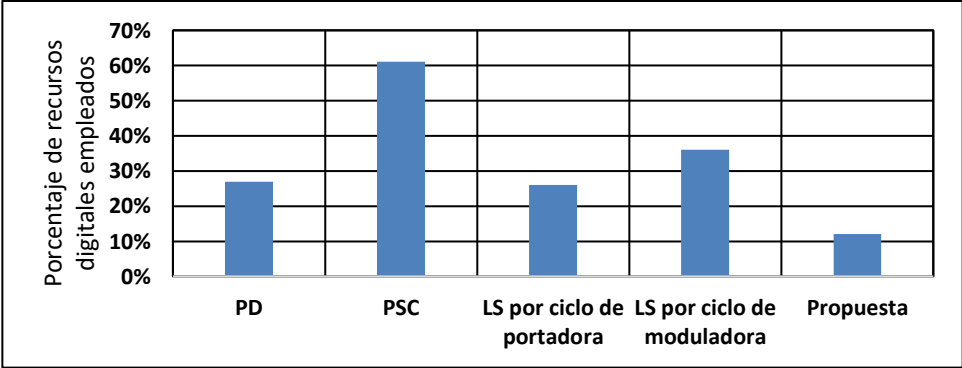


Figura 6.44. Comparación de estrategias de modulación según porcentaje de uso de recursos digitales

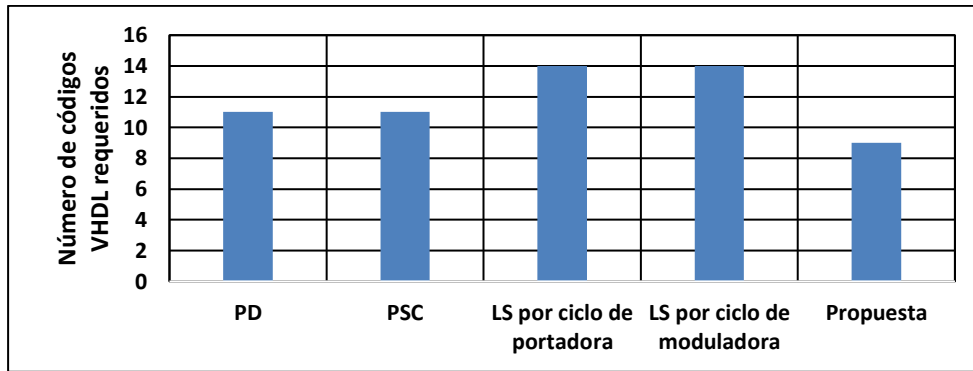


Figura 6.45. Comparación de estrategias de modulación según número de códigos VHDL requeridos

Finalmente, en las Figuras de la 6.46 a la 6.48 se presenta la comparación de los resultados obtenidos de manera experimental respecto a los obtenidos en simulación en los siguientes parámetros de estudio:

1. THD y DF. Según los resultados obtenidos se observa que cuantitativamente los resultados son desiguales entre lo simulado y lo experimental. Sin embargo, la tendencia se mantiene igual. Siendo esta que la estrategia LS portadora obtiene resultados de distorsión armónica total más altos y la estrategia propuesta “moduladoras reconstruidas” es la que obtuvo menor THD.
2. Desbalance máximo de energía entre celdas. Según los resultados obtenidos se observa que cuantitativamente los resultados son desiguales entre lo simulado y lo experimental. Además, a diferencia de lo obtenido en simulación, en implementación la estrategia de modulación propuesta presentó un porcentaje de desbalance considerablemente menor respecto a la estrategia más cercana, siendo 63.8% menor.

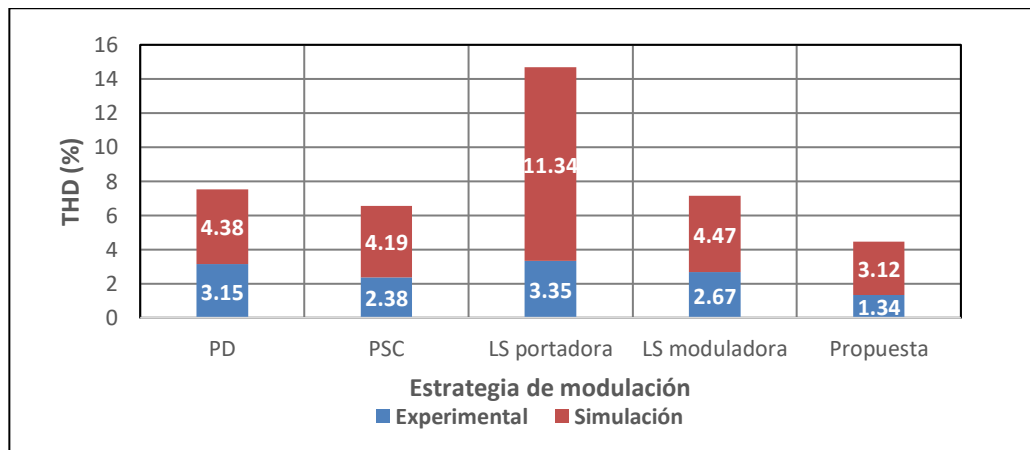


Figura 6.46. Comparación de resultados de THD, obtenido en simulación y experimentalmente

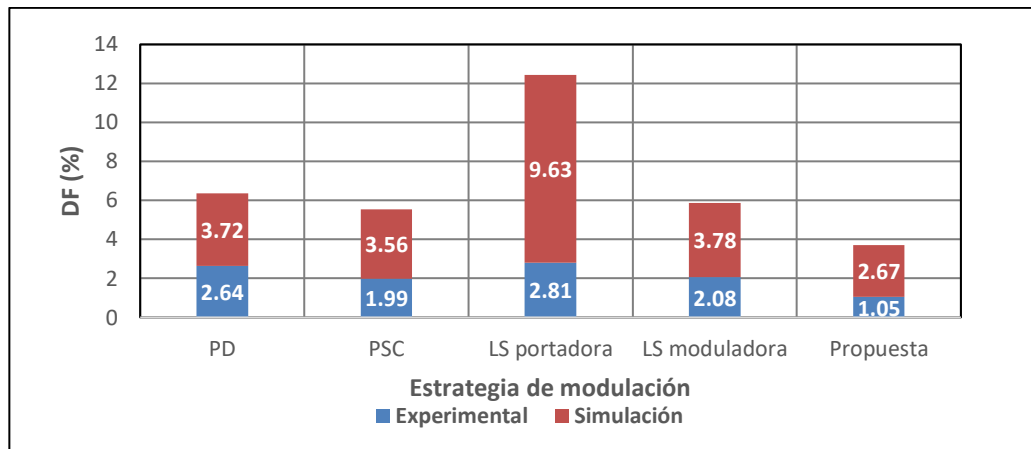


Figura 6.47. Comparación de resultados de DF, obtenido en simulación y experimentalmente

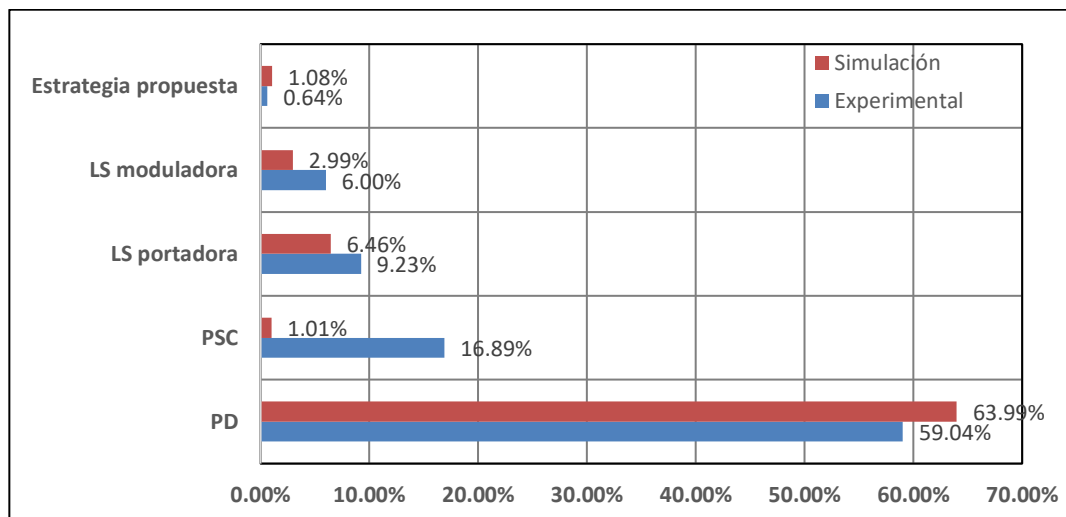


Figura 6.48. Comparación de resultados de desbalance máximo de energía entre celdas, obtenido en simulación y experimentalmente



---

# CAPÍTULO 7: CONCLUSIONES Y TRABAJOS

## FUTUROS

---

### 7.1 Conclusiones

Este trabajo de investigación surge debido a que en la actualidad existe un creciente interés en mejorar el aprovechamiento de la energía en las aplicaciones en las que se emplea un convertidor CD-CA.

A partir de los resultados obtenidos en simulación e implementación de este trabajo de investigación se puede concluir que se cumplió satisfactoriamente con el objetivo general de este trabajo de tesis, debido a que se diseñó, simuló e implementó una estrategia de modulación alternativa que realiza el balance energético entre las celdas del convertidor multinivel en cascada monofásico.

Para lograr llevar cabo la estrategia de modulación propuesta se realizaron diferentes actividades, tales como la revisión del estado del arte referente a las topologías multinivel y estrategias de modulación con fines de balance energético empleadas para la aplicación de estudio para con ello seleccionar las que representaban mejores resultados. Una vez tomando en cuenta los resultados obtenidos en la revisión bibliográfica se simularon e implementaron las diferentes variantes de estrategias de modulación seleccionadas (PD, PSC, LS moduladora, LS portadora) y se obtuvieron parámetros objetivos para el diseño de la estrategia alternativa propuesta “moduladoras reconstruidas”, tales como disminución de THD, disminución de desbalance energético, uso de recursos digitales, entre otros.

En comparación con las estrategias reportadas en la literatura, cuya función objetivo es el balance energético entre las celdas del convertidor multinivel en cascada, la estrategia “moduladoras reconstruidas” implementada mostró los siguientes resultados en los parámetros de estudio: una THD de 1.34%, un factor de distorsión (DF) de 1.05%, no obtuvo desbalance entre celdas de acuerdo al número de conmutaciones, un porcentaje de desbalance de tiempo de conducción por celda de 4.8% entre celdas 1-3 y celdas 2-3 y a su vez entre celdas 1-2 no presentó desbalance, un porcentaje de desbalance máximo de potencia entre celdas de 0.64%, un bajo porcentaje de recursos digitales empleados (12%), una mayor transferencia de potencia a la carga en comparación con la estrategia LS moduladora, y temperaturas más bajas, con una mínima de 60.8°C y una máxima de 59.4°C, y una diferencia de temperatura de 2.30%.

La estrategia "moduladoras reconstruidas" logró mejorar el balance energético entre las celdas del convertidor multinivel en cascada monofásico, obteniendo mejores resultados en diferentes parámetros de estudio en comparación con las estrategias existentes en la literatura. Estos resultados respaldan la efectividad de la estrategia propuesta en el balance de energía en aplicaciones de inversores multinivel.

## 7.2 Trabajos futuros

A continuación, se presentan los trabajos futuros que se consideran relevantes en relación a esta investigación:

- Realizar un estudio de confiabilidad al sistema, empleando la estrategia de modulación "moduladoras reconstruidas".
- Implementar la estrategia de modulación "moduladoras reconstruidas" en diferentes niveles de inversor multinivel, para observar su comportamiento.
- Realizar un estudio que analice el comportamiento de la estrategia de modulación propuesta empleando diferentes cargas.

## 7.3 Trabajos publicados

Como resultados de este trabajo de tesis se obtuvieron los siguientes documentos científicos:

- Congreso argentino de Sistemas Embebidos (CASE). "Estrategia de modulación alternativa con fines de balance energético implementada en FPGA", recibiendo la distinción de "trabajo destacado", ver Anexo 8.
- Modification of SPWM Modulating Signals for Energy Balancing Purposes, *Electronics*, vol. 11, no. 18, p. 2871, 2022, <https://doi.org/10.3390/electronics11182871>. En el Anexo 9 se muestra la carta de aceptación. La revista Electronics es incluida en el Journal Citation Reports (JCR), con factor de impacto de 2.69 y pertenece al cuartil Q4.
- Implementation in FPGA of alternative modulation strategy for energy balancing purposes, *IEEE Embedded Systems Letters*, DOI: <https://doi.org/10.1109/LES.2022.3231465>. En el Anexo 10 se encuentra la notificación de aceptación. La revista es incluida en el Journal Citation Reports (JCR), con factor de impacto de 1.54.

# REFERENCIAS

---

- [1] Z. Glasnovic and J. Margeta, "Vision of total renewable electricity scenario," *Renewable and Sustainable Energy Reviews*, vol. 15, no. 4, pp. 1873–1884, 2011/05/01/ 2011.
- [2] N. Brahmi and M. Chaabene, "Sizing optimization tool for wind/photovoltaic/battery plant considering potentials assessment and load profile," in *IREC2015 The Sixth International Renewable Energy Congress*, 2015, pp. 1–6.
- [3] S. Almazrouei, A. Hamid, and A. Mehiri, "Energy Management for Large-Scale Grid Connected PV – Batteries System," in *2017 International Renewable and Sustainable Energy Conference (IRSEC)*, 2017, pp. 1–5.
- [4] I. M. Kirpichnikova and A. A. Maliugina, "The energy efficiency of photovoltaic power plants," in *2016 2nd International Conference on Industrial Engineering, Applications and Manufacturing (ICIEAM)*, 2016, pp. 1–3.
- [5] S. Dwari, L. Arnedo, and V. Blasko, "Advanced techniques for integration of energy storage and photovoltaic generator in renewable energy systems," in *2014 IEEE Energy Conversion Congress and Exposition (ECCE)*, 2014, pp. 395–401.
- [6] M. Kayode and A. Enock, "Design of a pv system," *Global scientific journal*, vol. 10, no. 6, 2022.
- [7] S. Kouro, J. I. Leon, D. Vinnikov, and L. G. Franquelo, "Grid-Connected Photovoltaic Systems: An Overview of Recent Research and Emerging PV Converter Technology," *IEEE Industrial Electronics Magazine*, vol. 9, no. 1, pp. 47–61, 2015.
- [8] S. B. Kjaer, J. K. Pedersen, and F. Blaabjerg, "A review of single-phase grid-connected inverters for photovoltaic modules," *IEEE Transactions on Industry Applications*, vol. 41, no. 5, pp. 1292–1306, 2005.
- [9] J. Chavarria, D. Biel, F. Guinjoan, C. Meza, and J. J. Negroni, "Energy-Balance Control of PV Cascaded Multilevel Grid-Connected Inverters Under Level-Shifted and Phase-Shifted PWMs," *IEEE Transactions on Industrial Electronics*, vol. 60, no. 1, pp. 98–111, 2013.
- [10] M. Calais and V. G. Agelidis, "Multilevel converters for single-phase grid connected photovoltaic systems—an overview," in *IEEE International Symposium on Industrial Electronics. Proceedings. ISIE'98 (Cat. No.98TH8357)*, 1998, vol. 1, pp. 224–229 vol.1.
- [11] M. Malinowski, K. Gopakumar, J. Rodriguez, and M. A. Perez, "A Survey on Cascaded Multilevel Inverters," *IEEE Transactions on Industrial Electronics*, vol. 57, no. 7, pp. 2197–2206, 2010.

- [12] J. Rodriguez, L. Jih-Sheng, and P. Fang Zheng, "Multilevel inverters: a survey of topologies, controls, and applications," *IEEE Transactions on Industrial Electronics*, vol. 49, no. 4, pp. 724-738, 2002.
- [13] S. Busquets-Monge, J. Rocabert, P. Rodriguez, S. Alepuz, and J. Bordonau, "Multilevel Diode-Clamped Converter for Photovoltaic Generators With Independent Voltage Control of Each Solar Array," *IEEE Transactions on Industrial Electronics*, vol. 55, no. 7, pp. 2713-2723, 2008.
- [14] S. Daher, J. Schmid, and F. L. M. Antunes, "Multilevel Inverter Topologies for Stand-Alone PV Systems," *IEEE Transactions on Industrial Electronics*, vol. 55, no. 7, pp. 2703-2712, 2008.
- [15] M. Meinhardt and G. Cramer, *Multi-String-Converter: The next step in Evolution of String-Converter Technology*. 2001.
- [16] H. Braga and I. Barbi, "Inversores multinivel- Una revisión," *SBA Controle & Automação*, vol. 11, no. 01, pp. 20-28, 2000.
- [17] L. M. Tolbert and F. Z. Peng, "Multilevel converters as a utility interface for renewable energy systems," in *2000 Power Engineering Society Summer Meeting (Cat. No.00CH37134)*, 2000, vol. 2, pp. 1271-1274 vol. 2.
- [18] K. Feel-Soon, P. Sung-Jun, C. Su Eog, U. K. Cheul, and T. Ise, "Multilevel PWM inverters suitable for the use of stand-alone photovoltaic power systems," *IEEE Transactions on Energy Conversion*, vol. 20, no. 4, pp. 906-915, 2005.
- [19] I. L. Ropero, "Técnicas de modulación para convertidores de fijación por diodos de tres niveles multifase," *Tecnología electrónica*, Universidad del país Vasco, Bilbao, España, 2015.
- [20] J. Kwon, B. Kwon, and K. Nam, "Grid-Connected Photovoltaic Multistring PCS With PV Current Variation Reduction Control," *IEEE Transactions on Industrial Electronics*, vol. 56, no. 11, pp. 4381-4388, 2009.
- [21] R. Fu, T. Remo, and R. Margolis, "Evaluating the Cost Benefits of U.S. Utility-Scale Photovoltaics Plus Energy Storage Systems," in *2018 IEEE 7th World Conference on Photovoltaic Energy Conversion (WCPEC) (A Joint Conference of 45th IEEE PVSC, 28th PVSEC & 34th EU PVSEC)*, 2018, pp. 1-4.
- [22] V. M. Fthenakis and H. c. Kim, "Quantifying the Life-Cycle Environmental Profile of Photovoltaics and Comparisons with Other Electricity-Generating Technologies," in *2006 IEEE 4th World Conference on Photovoltaic Energy Conference*, 2006, vol. 2, pp. 2477-2480.
- [23] A. Fri, R. E. Bachtiri, and A. E. Ghzizal, "A Comparative Study of Three Topologies of Three-phase (5L) Inverter for a PV System," *Energy Procedia*, vol. 42, pp. 436-445, 2013/01/01/ 2013.
- [24] H. Jing and K. A. Corzine, "Extended operation of flying capacitor multilevel inverters," *IEEE Transactions on Power Electronics*, vol. 21, no. 1, pp. 140-147, 2006.
- [25] T. Petter, H. Raffel, and B. Orlik, "Multi-level converter power unit," in *2005 European Conference on Power Electronics and Applications*, 2005, pp. 10 pp.-P.10.

- [26] S. Mariethoz and A. Rufer, "Resolution and efficiency improvements for three-phase cascade multilevel inverters," in *2004 IEEE 35th Annual Power Electronics Specialists Conference (IEEE Cat. No.04CH37551)*, 2004, vol. 6, pp. 4441-4446 Vol.6.
- [27] S. Mariethoz and A. Rufer, "New configurations for the three-phase asymmetrical multilevel inverter," in *Conference Record of the 2004 IEEE Industry Applications Conference, 2004. 39th IAS Annual Meeting.*, 2004, vol. 2, pp. 828-835.
- [28] J. Dixon and L. Moran, "High-level multistep inverter optimization using a minimum number of power transistors," *IEEE Transactions on Power Electronics*, vol. 21, no. 2, pp. 330-337, 2006.
- [29] M. Calais, V. G. Agelidis, and M. S. Dymond, "A cascaded inverter for transformerless single-phase grid-connected photovoltaic systems," *Renewable Energy*, vol. 22, no. 1-3, pp. 255-262, 2001.
- [30] A. Rufer, M. Veenstra, and K. Gopakumar, "Asymmetric multilevel converter for high resolution voltage phasor generation," in *Proc. EPE*, 1999, pp. 9-10.
- [31] O. Lopez, R. Teodorescu, and J. Doval-Gandoy, "Multilevel transformerless topologies for single-phase grid-connected converters," in *IECON 2006 - 32nd Annual Conference on IEEE Industrial Electronics*, 2006, pp. 5191-5196.
- [32] G. Sivasankar, K. Vidhyaa, E. Anitha, B. A. Kumar, and P. Vairaprakash, "Application of Luo converter and multilevel cascaded converter for grid integration of solar PV systems," in *2016 International Conference on Circuit, Power and Computing Technologies (ICCPCT)*, 2016, pp. 1-6.
- [33] C. Cecati, F. Ciancetta, and P. Siano, "A Multilevel Inverter for Photovoltaic Systems With Fuzzy Logic Control," *IEEE Transactions on Industrial Electronics*, vol. 57, no. 12, pp. 4115-4125, 2010.
- [34] R. F. d. Camargo and H. Pinheiro, "Synchronisation method for three-phase PWM converters under unbalanced and distorted grid," *IEE Proceedings - Electric Power Applications*, vol. 153, no. 5, pp. 763-772, 2006.
- [35] A. Madhukar Rao, M. Sahoo, and K. Sivakumar, "A three phase five-level inverter with fault tolerant and energy balancing capability for photovoltaic applications," in *2016 IEEE International Conference on Power Electronics, Drives and Energy Systems (PEDES)*, 2016, pp. 1-5.
- [36] A. Nabae, I. Takahashi, and H. Akagi, "A New Neutral-Point-Clamped PWM Inverter," *IEEE Transactions on Industry Applications*, vol. IA-17, no. 5, pp. 518-523, 1981.
- [37] N. S. Choi, J. G. Cho, and G. H. Cho, "A general circuit topology of multilevel inverter," in *PESC '91 Record 22nd Annual IEEE Power Electronics Specialists Conference*, 1991, pp. 96-103.
- [38] P. Fang Zheng, L. Jih-Sheng, J. McKeever, and J. VanCoevering, "A multilevel voltage-source inverter with separate DC sources for static VAR generation," in *IAS '95. Conference Record of the 1995 IEEE Industry Applications Conference Thirtieth IAS Annual Meeting*, 1995, vol. 3, pp. 2541-2548 vol.3.

- [39] S. Adhikari, F. Li, and H. Li, "P-Q and P-V Control of Photovoltaic Generators in Distribution Systems," *IEEE Transactions on Smart Grid*, vol. 6, no. 6, pp. 2929–2941, 2015.
- [40] J. Li, G. Konstantinou, H. R. Wickramasinghe, J. Pou, X. Wu, and X. Jin, "Impact of Circulating Current Control in Capacitor Voltage Ripples of Modular Multilevel Converters Under Grid Imbalances," *IEEE Transactions on Power Delivery*, vol. 33, no. 3, pp. 1257–1267, 2018.
- [41] Y. Ma and L. Fan, "Circulating current and DC current ripple control in MMC under unbalanced grid voltage," in *2015 North American Power Symposium (NAPS)*, 2015, pp. 1–6.
- [42] Z. Ou, G. Wang, and J. Feng, "Two control strategies of modular multilevel converter in rectifier side based on arm current under unbalanced voltage condition," in *2015 5th International Conference on Electric Utility Deregulation and Restructuring and Power Technologies (DRPT)*, 2015, pp. 2281–2286.
- [43] F. Li and F. Gao, "Reducing DC Voltage Ripples of MMC by Injecting Circulating Current under Imbalanced Grid Conditions," in *2018 IEEE 4th Southern Power Electronics Conference (SPEC)*, 2018, pp. 1–6.
- [44] S. C. Illana, "Diseño y control de un convertidor modular multinivel para transmisión de energía eléctrica en corriente continua de alta tensión ", Escuela de ingenierías industriales, Universidad de valladolid, Valladolid, España, 2018.
- [45] M. S. Diab, B. W. Williams, D. Holliday, A. M. Massoud, and S. Ahmed, "A modular multilevel converter with isolated energy-balancing modules for MV drives incorporating symmetrical six-phase machines," in *2017 IEEE Energy Conversion Congress and Exposition (ECCE)*, 2017, pp. 2715–2722.
- [46] M. Fawzi, A. E. Kalas, M. H. Elfar, and O. Elbaksawi, "Circulating current control and energy balancing of modular multi-level converters," in *2016 IEEE International Conference on Power and Energy (PECon)*, 2016, pp. 449–454.
- [47] K. Kóska, P. Blaszczyk, P. Klimczak, P. Halat, and R. Jeż, "Branch energy balancing of double wye DC-DC Modular Multilevel Converter," in *2017 19th European Conference on Power Electronics and Applications (EPE'17 ECCE Europe)*, 2017, pp. P.1–P.10.
- [48] H. Fehr and A. Gensior, "Improved energy balancing for modular multilevel converters by optimized feed-forward circulating currents and common mode voltage," in *2017 19th European Conference on Power Electronics and Applications (EPE'17 ECCE Europe)*, 2017, pp. P.1–P.10.
- [49] M. Schroeder, F. Mahr, J. Jaeger, and S. H. Haensel, "Energy balancing in the modular multilevel converter under unbalanced grid conditions," in *2017 19th European Conference on Power Electronics and Applications (EPE'17 ECCE Europe)*, 2017, pp. P.1–P.10.
- [50] R. Marquardt, "Modular Multilevel Converter – Impact on future applications and semiconductors," in *Power Electronic Components and their Applications 2017; 7. ETG-Symposium*, 2017, pp. 1–10.

- [51] R. Marquardt, "Modular Multilevel Converters: State of the Art and Future Progress," *IEEE Power Electronics Magazine*, vol. 5, no. 4, pp. 24–31, 2018.
- [52] S. Gonzalez, M. Ropp, A. Fresquez, M. Montoya, and N. Opell, "Multi-PV inverter utility interconnection evaluations," in *2011 37th IEEE Photovoltaic Specialists Conference*, 2011, pp. 003738–003743.
- [53] J. V. Rao and A. Mahesh, "Hardware implementation of carrier rotation strategy for Cascaded H-bridge multilevel inverters," in *2017 International Conference on Computing, Communication and Automation (ICCCA)*, 2017, pp. 1578–1583.
- [54] A. S. Gadalla, X. Yan, S. Y. Altahir, and H. Hasabelrasul, "Evaluating the capacity of power and energy balance for cascaded H-bridge multilevel inverter using different PWM techniques," *The Journal of Engineering*, vol. 2017, no. 13, pp. 1713–1718, 2017.
- [55] L. Wang, Q. Wu, and W. Tang, "Energy Balance Control of a Cascaded Multilevel Inverter for Standalone Solar Photovoltaic Applications," *Energies*, vol. 10, no. 11, p. 1805, 2017.
- [56] D.-W. Kang, W.-K. Lee, and D.-S. Hyun, "Carrier-rotation strategy for voltage balancing in flying capacitor multilevel inverter," *IEE Proceedings-Electric Power Applications*, vol. 151, no. 2, pp. 239–248, 2004.
- [57] M. Angulo, P. Lezana, S. Kouro, J. Rodriguez, and B. Wu, "Level-shifted PWM for Cascaded Multilevel Inverters with Even Power Distribution," in *2007 IEEE Power Electronics Specialists Conference*, 2007, pp. 2373–2378.
- [58] Nimmi and A. Mahesh, "Carrier rotation schemes for equal device conduction periods in Cascaded H-bridge Multilevel Inverter," in *2018 International Conference on Power Energy, Environment and Intelligent Control (PEEIC)*, 2018, pp. 696–701.
- [59] Q. Xu, "An Improved Modulation Strategy Combining Phase Shifted PWM and Phase Disposition PWM for Cascaded H-Bridge Inverters," *Energies*, vol. 10, p. 1327, 09/02 2017.
- [60] V. Jagilinki and M. Aeidapu, "Carrier Rotation Strategies for Equal Power Distributions in Cascaded H-Bridge Multilevel Inverters," *International Journal of Emerging Electric Power Systems*, vol. 18, 01/13 2017.
- [61] A. K. Sadigh, V. Dargahi, and K. Corzine, "New active capacitor voltage balancing method for five-level stacked multicell converter," in *2016 IEEE Applied Power Electronics Conference and Exposition (APEC)*, 2016, pp. 1191–1197.
- [62] K. K. Gupta, P. Bhatnagar, H. Vahedi, and K. Al-Haddad, "Carrier based PWM for even power distribution in cascaded H-bridge multilevel inverters within single power cycle," in *IECON 2016-42nd Annual Conference of the IEEE Industrial Electronics Society*, 2016, pp. 6470–6475.
- [63] J. V. Rao and A. Mahesh, "Carrier Rotation Strategies for Equal Power Distributions in Cascaded H-Bridge Multilevel Inverters," *International Journal of Emerging Electric Power Systems*, vol. 18, no. 5, 2017.

- [64] A. G. Coronel, "Estudio de técnicas de optimización para la minimización de THD en inversores multinivel," Tesis de Maestría, Centro Nacional de Investigación y Desarrollo Tecnológico 2016.
- [65] A. F. Delgado, "Eliminación de armónicos en un inversor multinivel en cascada asimétrico con fuentes desiguales " Tesis de maestría, Centro Nacional de Investigación y Desarrollo Tecnológico 2015.
- [66] F. Filho, L. M. Tolbert, Y. Cao, and B. Ozpineci, "Real-Time Selective Harmonic Minimization for Multilevel Inverters Connected to Solar Panels Using Artificial Neural Network Angle Generation," *IEEE Transactions on Industry Applications*, vol. 47, no. 5, pp. 2117–2124, 2011.
- [67] J. Pou Félix, *Modulation and control of three-phase PWM multilevel converters*. Universitat Politècnica de Catalunya, 2002.
- [68] J.-S. Lai and F. Z. Peng, "Multilevel converters—a new breed of power converters," *IEEE Transactions on industry applications*, vol. 32, no. 3, pp. 509–517, 1996.
- [69] M. Prats and M. Ángeles, "Nuevas técnicas de modulación vectorial para convertidores electrónicos de potencia multinivel," Tesis Doctoral, Universidad de Sevilla, 2003.
- [70] Y. R. Severiano, "Estudio del desempeño del conjunto motor–inversor multinivel en cascada trifásico," Tesis de maestría, Centro Nacional de Investigación y Desarrollo Tecnológico (CENIDET), 2018.
- [71] V. Bhuvaneswari and H. Kumar, "Analysis of asymmetrical and symmetrical three phase cascaded multilevel inverter using multicarrier SPWM techniques," in *2014 International Conference on Green Computing Communication and Electrical Engineering (ICGCCEE)*, 2014, pp. 1–7.
- [72] G. Tang *et al.*, "Type tests on MMC-based HVDC valve section with synthetic test circuits," *International Transactions on Electrical Energy Systems*, vol. 26, no. 9, pp. 1983–1998, 2016.
- [73] E. Solas, G. Abad, J. A. Barrena, S. Aurtenetxea, A. Cárcar, and L. Zajac, "Modular Multilevel Converter With Different Submodule Concepts—Part I: Capacitor Voltage Balancing Method," *IEEE Transactions on Industrial Electronics*, vol. 60, no. 10, pp. 4525–4535, 2013.
- [74] R. A. V. Méndez, "Análisis de un Convertidor Multinivel en Cascada con Tolerancia a Fallas Empleando Control PWM Vectorial," Tesis doctoral, Centro Nacional de Investigación y Desarrollo Tecnológico (CENIDET) 2015.
- [75] J. Rodriguez, J. Leon, S. Kouro, and R. Portillo, "The Age of Multilevel Converters Arrives. Industrial Electronics," *IEEE Power Engineering Society Summer Meeting*, pp. 28–39, 01/01 2008.
- [76] L. Li, D. Czarkowski, Y. Liu, and P. Pillay, "Multilevel selective harmonic elimination PWM technique in series-connected voltage inverters," *IEEE Transactions on Industry Applications*, vol. 36, no. 1, pp. 160–170, 2000.



- [77] T. A. Meynard, H. Foch, P. Thomas, J. Courault, R. Jakob, and M. Nahrstaedt, "Multicell converters: basic concepts and industry applications," *IEEE Transactions on Industrial Electronics*, vol. 49, no. 5, pp. 955–964, 2002.
- [78] C. Govindaraju and K. Baskaran, "Efficient Sequential Switching Hybrid-Modulation Techniques for Cascaded Multilevel Inverters," *IEEE Transactions on Power Electronics*, vol. 26, no. 6, pp. 1639–1648, 2011.
- [79] T. V. V. S. Lakshmi, N. George, S. Umashankar, and D. P. Kothari, "Cascaded seven level inverter with reduced number of switches using level shifting PWM technique," in *2013 International Conference on Power, Energy and Control (ICPEC)*, 2013, pp. 676–680.
- [80] M. Balzani, A. Reatti, and G. Salvadori, "Design, Assembly and Testing of Modular Multilevel Converter with Multicarrier PWM Method," in *2006 Ph.D. Research in Microelectronics and Electronics*, 2006, pp. 57–60.
- [81] M. Calais, L. J. Borle, and V. G. Agelidis, "Analysis of multicarrier PWM methods for a single-phase five level inverter," in *2001 IEEE 32nd Annual Power Electronics Specialists Conference (IEEE Cat. No.01CH37230)*, 2001, vol. 3, pp. 1351–1356 vol. 3.
- [82] K. Matsukawa, K. Yoshida, and S. Kaku, "Multilevel pulsewidth modulation sinusoidal inverter with modulation switching and carrier frequency modulation," *Electronics and Communications in Japan (Part I: Communications)*, vol. 80, no. 2, pp. 35–43, 1997.
- [83] V. G. Agelidis and M. Calais, "Application specific harmonic performance evaluation of multicarrier PWM techniques," in *PESC 98 Record. 29th Annual IEEE Power Electronics Specialists Conference (Cat. No.98CH36196)*, 1998, vol. 1, pp. 172–178 vol.1.
- [84] K. Dae-Wook, L. Yo-Han, S. Bum-Seok, C. Chang-Ho, and H. Dong-Seok, "A carrierwave-based SVPWM using phase-voltage redundancies for multilevel H-bridge inverter," in *Industrial Electronics Society, 1999. IECON '99 Proceedings. The 25th Annual Conference of the IEEE*, 1999, vol. 1, pp. 324–329 vol.1.
- [85] B. P. McGrath and D. G. Holmes, "A comparison of multicarrier PWM strategies for cascaded and neutral point clamped multilevel inverters," in *Power Electronics Specialists Conference, 2000. PESC 00. 2000 IEEE 31st Annual*, 2000, vol. 2, pp. 674–679.
- [86] M. H. Rashid, *Power electronics handbook*. Butterworth-Heinemann, 2017.
- [87] E. Monmasson, *Power electronic converters: PWM strategies and current control techniques*. John Wiley & Sons, 2013.
- [88] D. C. Montgomery, E. A. Peck, and G. G. Vining, *Introduction to linear regression analysis*. John Wiley & Sons, 2021.
- [89] M. H. Rashid, *Power electronics handbook: devices, circuits and applications*. Elsevier, 2011.
- [90] E. C. Bozich, "Introducción a los Dispositivos FPGA. Análisis y ejemplos de diseño," ed: Tesis de Electrotecnia. La plata. , 2005.

- [91] J. A. E. García, "Modulador PWM en FPGA para un Inversor Multinivel en Cascada," Tesis de Maestría, CENIDET, 2009.
- [92] A. Corporation, *My first FPGA design tutorial*. San José, CA, 2008.
- [93] M. A. F. Rubio, "Introducción al lenguaje VHDL," *Universidad Politécnica de Madrid Departamento de Sistemas Electrónicos y de Control*, 2010.

## Anexo 1. Obtención de niveles de tensión con estados lógicos mostrados

Basándonos en la ecuación (3.2) de la sección 3.2 y los estados lógicos de los interruptores se obtienen cada nivel de tensión desglosados a continuación.

$$V_{celda(n)} = V_{CD(n)}(S_{(n,1)} - S_{(n,4)}) + 3V_{cd}$$

$$3V_{CD} = V_{CD(1)} * (S_{(1,1)} - S_{(1,4)}) + V_{CD(2)} * (S_{(2,1)} - S_{(2,4)}) + V_{CD(3)} * (S_{(3,1)} - S_{(3,4)})$$

$$3V_{CD} = V_{CD(1)} * (1 - 0) + V_{CD(2)} * (1 - 0) + V_{CD(3)} * (1 - 0)$$

$$3V_{CD} = V_{CD(1)} + V_{CD(2)} + V_{CD(3)}$$

$$2V_{CD} = V_{CD(1)} * (S_{(1,1)} - S_{(1,4)}) + V_{CD(2)} * (S_{(2,1)} - S_{(2,4)}) + V_{CD(3)} * (S_{(3,1)} - S_{(3,4)}) + 2V_{cd}$$

$$2V_{CD} = V_{CD(1)} * (0 - 0) + V_{CD(2)} * (1 - 0) + V_{CD(3)} * (1 - 0)$$

$$2V_{CD} = V_{CD(2)} + V_{CD(3)}$$

$$V_{CD} = V_{CD(1)} * (S_{(1,1)} - S_{(1,4)}) + V_{CD(2)} * (S_{(2,1)} - S_{(2,4)}) + V_{CD(3)} * (S_{(3,1)} - S_{(3,4)}) + V_{cd}$$

$$V_{CD} = V_{CD(1)} * (0 - 0) + V_{CD(2)} * (0 - 0) + V_{CD(3)} * (1 - 0)$$

$$V_{CD} = V_{CD(3)}$$

$$0 = V_{CD(1)} * (S_{(1,1)} - S_{(1,4)}) + V_{CD(2)} * (S_{(2,1)} - S_{(2,2)}) + 0 * (S_{(3,1)} - S_{(3,2)}) + 0$$

$$0 = V_{CD(1)} * (0 - 0) + V_{CD(2)} * (0 - 0) + V_{CD(3)} * (0 - 0)$$

$$0 = 0$$

$$-V_{CD} = V_{CD(1)} * (S_{(1,1)} - S_{(1,4)}) + V_{CD(2)} * (S_{(2,1)} - S_{(2,4)}) + V_{CD(3)} * (S_{(3,1)} - S_{(3,4)}) - V_{cd}$$

$$-V_{CD} = V_{CD(1)} * (0 - 0) + V_{CD(2)} * (0 - 0) + V_{CD(3)} * (0 - 1)$$

$$-V_{CD} = -V_{CD(3)}$$

$$-2V_{CD} = V_{CD(1)} * (S_{(1,1)} - S_{(1,4)}) + V_{CD(2)} * (S_{(2,1)} - S_{(2,4)}) + V_{CD(3)} * (S_{(3,1)} - S_{(3,4)})$$

$$-2V_{CD} = V_{CD(1)} * (0 - 0) + V_{CD(2)} * (0 - 1) + V_{CD(3)} * (0 - 1)$$

$$-2V_{CD} = -V_{CD(2)} - V_{CD(3)}$$

$$-3V_{CD} = V_{CD(1)} * (S_{(1,1)} - S_{(1,4)}) + V_{CD(2)} * (S_{(2,1)} - S_{(2,4)}) + V_{CD(3)} * (S_{(3,1)} - S_{(3,4)})$$

$$-3V_{CD} = V_{CD(1)} * (0 - 1) + V_{CD(2)} * (0 - 1) + V_{CD(3)} * (0 - 1)$$

$$-3V_{CD} = -V_{CD(1)} - V_{CD(2)} - V_{CD(3)}$$

## Anexo 2. Código VHDL principal

A continuación, se presenta el código vhdl principal del tipo de implementación 1. Es importante recordar que este es uno de los 34 códigos desarrollados para la implementación de las técnicas de modulación utilizadas en este trabajo de tesis.

```
library ieee;
use ieee.std_logic_1164.all;
use ieee.std_logic_unsigned.all;
entity modulos is
    port(
        clk: in std_logic;
        salida1 :out std_LOGIC;
        salida2 :out std_LOGIC;
        salida3 :out std_LOGIC;
        salida4 :out std_LOGIC;
        salida5 :out std_LOGIC;
        salida6 :out std_LOGIC );
end entity;
architecture arch of modulos is
    COMPONENT clock_24k
    PORT(
        clk: in std_logic;
        pulse: out std_logic );
    END COMPONENT;
    COMPONENT senceronueve
    PORT(
        clk: in std_logic;
        seno1: out std_logic_vector( 8 downto 0 ) );
    END COMPONENT;
    COMPONENT clock_336k
    PORT(
        clk: in std_logic;
        pulse: out std_logic );
    END COMPONENT;
    COMPONENT triang1
    PORT(
        clk: in std_logic;
        triangular1: out std_logic_vector( 8 downto 0 ) );
    END COMPONENT;
    COMPONENT triang2
```

```

PORT(
    clk: in std_logic;
    triangular2: out std_logic_vector(8 downto 0));
END COMPONENT;
COMPONENT triang3
PORT(
    clk: in std_logic;
    triangular3: out std_logic_vector(8 downto 0));
END COMPONENT;
COMPONENT triang4
PORT(
    clk: in std_logic;
    triangular4: out std_logic_vector(8 downto 0));
END COMPONENT;
COMPONENT triang5
PORT(
    clk: in std_logic;
    triangular5: out std_logic_vector(8 downto 0));
END COMPONENT;
COMPONENT triang6
PORT(
    clk: in std_logic;
    triangular6: out std_logic_vector(8 downto 0));
END COMPONENT;
COMPONENT comparacion
PORT(sin : in STD_LOGIC_VECTOR(8 DOWNTO 0);
      trg : in STD_LOGIC_VECTOR(8 DOWNTO 0);
      s1: out STD_LOGIC);
END COMPONENT;
signal CLK_PUENTE: std_logic;
signal CLK_PUENTE2: std_logic;
signal seno1: std_logic_VECTOR(8 downto 0);
signal seno2: std_logic_VECTOR(8 downto 0);
signal seno3: std_logic_VECTOR(8 downto 0);
signal triangular1: std_logic_VECTOR(8 downto 0);
signal triangular2: std_logic_VECTOR(8 downto 0);
signal triangular3: std_logic_VECTOR(8 downto 0);
signal triangular4: std_logic_VECTOR(8 downto 0);
signal triangular5: std_logic_VECTOR(8 downto 0);
signal triangular6: std_logic_VECTOR(8 downto 0);
signal comparacionnot1: std_LOGIC;

```

```

    signal comparacionnot2: std_LOGIC;
    signal comparacionnot3: std_LOGIC;
begin
Ins_clock_24k: clock_24k PORT MAP(
    clk => clk ,
    pulse => CLK_PUENTE);
Ins_seno0: senceronueve PORT MAP(
    clk => CLK_PUENTE ,
    seno1 => seno1);
Ins_clock_336k: clock_336k PORT MAP(
    clk => clk ,
    pulse => CLK_PUENTE2);
Ins_triangular1: triang1 PORT MAP(
    clk => CLK_PUENTE2 ,
    triangular1 => triangular1);
Ins_triangular2: triang2 PORT MAP(
    clk => CLK_PUENTE2 ,
    triangular2 => triangular2);
Ins_triangular3: triang3 PORT MAP(
    clk => CLK_PUENTE2 ,
    triangular3 => triangular3);
Ins_triangular4: triang4 PORT MAP(
    clk => CLK_PUENTE2 ,
    triangular4 => triangular4);
Ins_triangular5: triang5 PORT MAP(
    clk => CLK_PUENTE2 ,
    triangular5 => triangular5);
Ins_triangular6: triang6 PORT MAP(
    clk => CLK_PUENTE2 ,
    triangular6 => triangular6);
Ins_comparacion1: comparacion PORT MAP(
    sin => seno1 ,
    trg => triangular1,
    s1 => comparacionnot1);
Ins_comparacion2: comparacion PORT MAP(
    sin => seno1 ,
    trg => triangular2,
    s1 => comparacionnot2);
Ins_comparacion3: comparacion PORT MAP(
    sin => seno1,
    trg => triangular3,

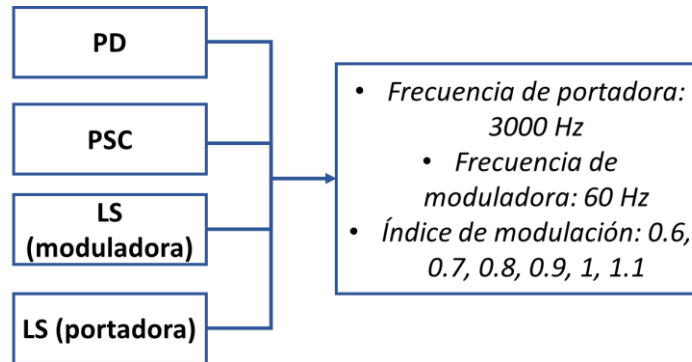
```

```
    s1 => comparacionnot3 );  
Ins_comparacion4: comparacion PORT MAP (  
    sin => seno1,  
    trg => triangular4,  
    s1 => salida4 );  
Ins_comparacion5: comparacion PORT MAP (  
    sin => seno1,  
    trg => triangular5,  
    s1 => salida5 );  
Ins_comparacion6: comparacion PORT MAP (  
    sin => seno1,  
    trg => triangular6,  
    s1 => salida6 );  
end arch;
```



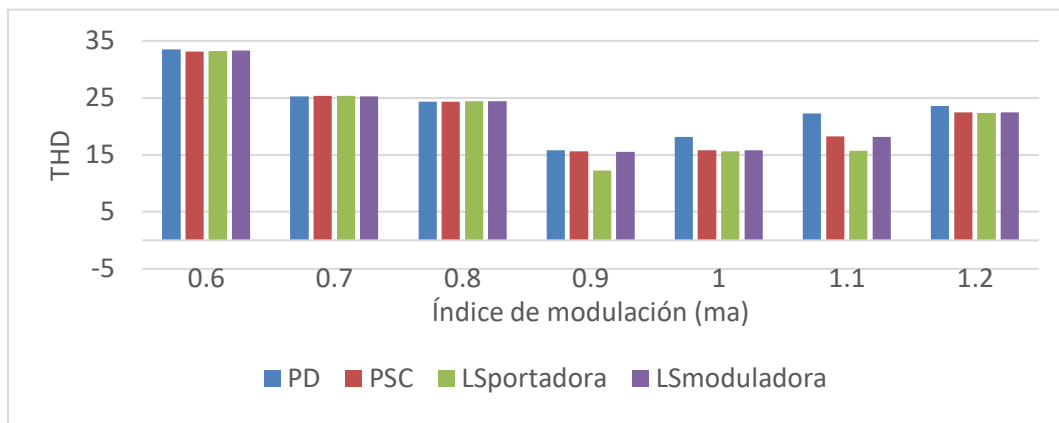
### Anexo 3. Estudio de comportamiento de índices de modulación

Para llevar a cabo la comparación de los diferentes índices de modulación se realizaron diversas simulaciones siguiendo el esquema presentado en la siguiente figura. Para cada estrategia de modulación se variaron los índices de modulación y se mantuvo fijo el índice de frecuencia ( $m_f=50$ ). En total se llevaron a cabo 24 simulaciones para realizar esta comparación.



*Esquema de simulación para definir índice de modulación*

El parámetro de comparación entre los diferentes índices fue la distorsión armónica total. Es decir, se selecciona el índice de modulación que represente el más bajo contenido armónico empleando las diferentes estrategias de modulación. En la siguiente figura se muestran los resultados obtenidos de la variación de los índices de modulación para el inversor multinivel de siete niveles. Se puede observar que la gráfica muestra la tendencia de que cuando existe sobremodulación la THD aumenta al igual que al momento en el que el índice de modulación se acerca al límite permitido con el cual se obtienen siete niveles. Tomando en cuenta lo anterior se puede ver que el índice con menor THD en todas las técnicas de modulación es  $m = 0.9$ .



*Comparación de índice de modulación vs THD para las diferentes estrategias de modulación*

## Anexo 4. Resumen de porcentajes de desbalance de energía entre celdas (simulación)

*Porcentaje de desbalance de energía entre celdas de las diferentes estrategias de modulación*

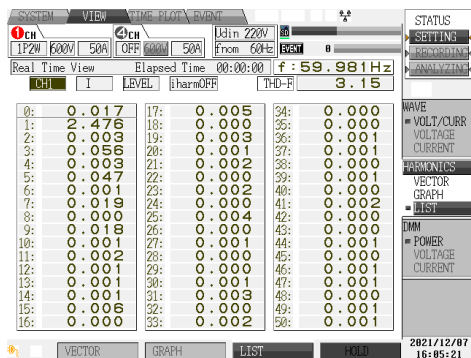
Estrategia de modulación	Porcentaje de desbalance de energía entre celdas			
	Celda 1 – Celda 2	Celda 1 – Celda 3	Celda 2 – Celda 3	Máximo desbalance
PD	15.40%	63.99%	57.43%	63.99%
PSC	0.59%	1.01%	0.60%	1.01%
LS portadora	1.77%	6.46%	4.78%	6.46%
LS moduladora	1.31%	2.99%	1.71%	2.99%
Estrategia propuesta	1.08%	0%	1.08%	1.08%

## Anexo 5. Resumen de energía promedio transferida por cada celda (simulación)

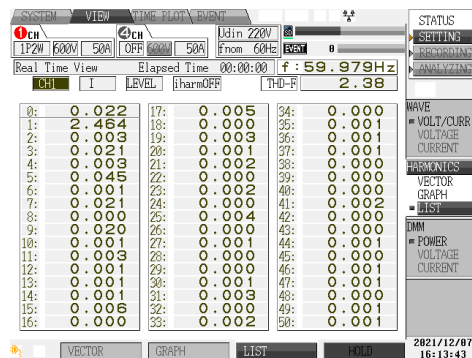
*Potencia y energía promedio transferida por celda*

	Potencia promedio (W)			Energía promedio (J)		
	Celda 1	Celda 2	Celda 3	Celda 1	Celda 2	Celda 3
PD	100.1	234.9	277.8	2.50	5.88	6.95
PSC	201.3	201.2	199.9	4.98	5.01	5.04
LS portadora	203.9	203.6	204.3	5.04	5.02	5.11
LS moduladora	204.1	203.9	204.3	5.32	5.28	5.35
<b>Propuesta</b>	213	212.9	213.3	6.47	6.4	6.47

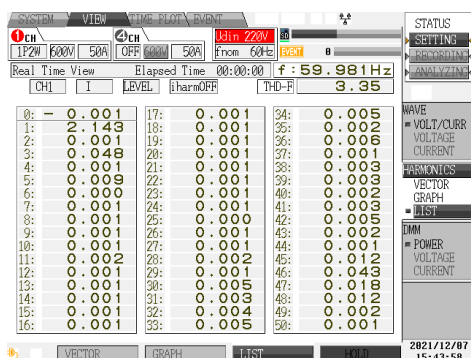
## Anexo 6. Datos de THD obtenidos en implementación con el analizador de energía HIOKI®



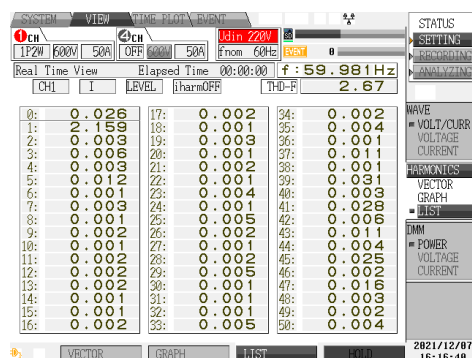
THD, estrategia PD



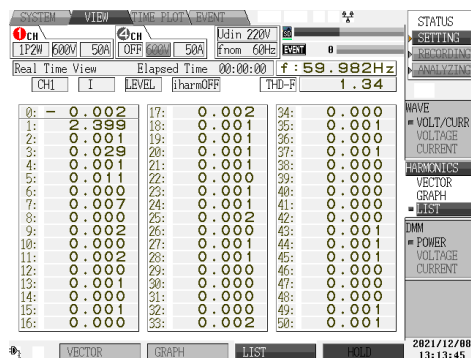
THD, estrategia PSC



THD, estrategia LS portadora



THD, estrategia LS moduladora



THD, estrategia alternativa

## Anexo 7. Resumen de porcentajes de desbalance de potencia entre celdas (experimental)

*Porcentaje de desbalance de energía entre celdas de las diferentes estrategias de modulación*

Estrategia de modulación	Porcentaje de desbalance de energía entre celdas			
	Celda 1 – Celda 2	Celda 1 – Celda 3	Celda 2 – Celda 3	Máximo desbalance
PD	49.62%	59.04%	18.68%	59.04%
PSC	16.33%	1.09%	16.89%	16.89%
LS portadora	9.23%	9.23%	0%	9.23%
LS moduladora	0.66%	6.62%	6%	6%
Estrategia propuesta	0.64%	0.64%	0%	0.64%

## Anexo 8. Constancia de participación a congreso CASE 2022



**CASE** 2022  
CONGRESO ARGENTINO DE SISTEMAS EMBEBIDOS



**ACSE**

Asociación Civil para la  
Promoción, Investigación y  
Desarrollo de los Sistemas  
Electrónicos Embebidos

### Agradecimiento

Agradecemos la participación de  
**Yesenia Reyes Severiano, Jesus Aguayo Alquicira, Susana Estefany De León Aldaco y Luis Mauricio Carrillo Santos**  
por presentar el siguiente trabajo en la modalidad *Artículo*:  
“Estrategia de modulación alternativa con fines de balance energético implementada en FPGA”  
en el **Congreso Argentino de Sistemas Embebidos**  
realizado del 18 al 19 agosto de 2022.

 _____ Dr. Maximiliano Antonelli Comité CASE 2022	 _____ Dra. Luciana De Micco Comité CASE 2022	 _____ Mg. Ing. Diego J. Brengi Comité CASE 2022
----------------------------------------------------------------------------------------------------------------------------------------------	------------------------------------------------------------------------------------------------------------------------------------------	---------------------------------------------------------------------------------------------------------------------------------------------



## Anexo 9. Comprobante de publicación de artículo en revista Electronics



## Anexo 10. Comprobante de publicación de artículo en revista IEEE Embedded Systems Letters

This is to notify you that the following article, "Implementation in FPGA of alternative modulation strategy for energy balancing purposes," is available under the "Early Access" area on IEEE Xplore. This article has been accepted for publication in a future issue of this journal, but has not been edited and content may change prior to final publication. It may be cited as an article in a future issue by its Digital Object Identifier. To view the article abstract page, please use the below URL

<https://ieeexplore.ieee.org/document/9997089>

This paper appears in: IEEE Embedded Systems Letters

Print ISSN: 1943-0663

Online ISSN: 1943-0671

Digital Object Identifier: 10.1109/LES.2022.3231465

IEEE Author Posting Policy:

IEEE seeks to maximize the rights of its authors and their employers to post the peer-reviewed accepted manuscript of an article on the author's personal web site or on a server operated by the author's employer. Additionally, IEEE allows its authors to follow mandates of agencies that fund the author's research by posting the peer-reviewed accepted manuscript versions of their articles in the agencies' publicly accessible repositories. No third party (other than authors and employers) may post IEEE-copyrighted material without obtaining the necessary licenses or permissions from the IEEE Intellectual Property Rights Office or other authorized representatives of the IEEE.

Thank you,

IEEE Publishing Operations  
445 Hoes Lane  
Piscataway, NJ 08854  
This email is for information only.