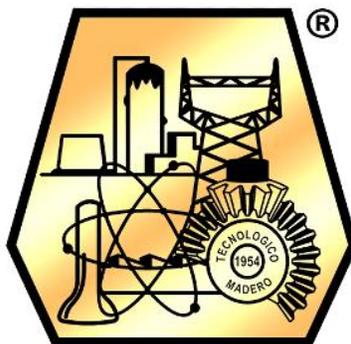




INSTITUTO TECNOLÓGICO DE CIUDAD MADERO

DIVISIÓN DE ESTUDIOS DE POSGRADO E INVESTIGACIÓN

MAESTRÍA EN INGENIERÍA ELÉCTRICA



“POR MI PATRIA Y POR MI BIEN”

TESIS

GENERACIÓN DE LAS SEÑALES DE CONTROL DE UN PWM
SÍNCRONO PARA UN INVERSOR TIPO PUENTE COMPLETO
MONOFÁSICO

Que para obtener el Título de
Maestro en Ingeniería Eléctrica

Presenta

Ing. Alejandro Yáñez Cortés

G11071546

No. CVU 1144468

Director de Tesis

M.C. Aarón González Rodríguez

No. CVU 314382

Co-director de Tesis

Dr. Pedro Martín García Vite

Cd. Madero, Tamaulipas

Diciembre 2023

Ciudad Madero, Tamaulipas, 07/septiembre/2023

Oficio No.: U.104/2023
Asunto: Autorización de impresión de tesis

C. ALEJANDRO YÁÑEZ CORTÉS
No. DE CONTROL GT1071546
PRESENTE

Me es grato comunicarle que después de la revisión realizada por el Jurado designado para su Examen de Grado de Maestría en Ingeniería Eléctrica, se acordó autorizar la impresión de su tesis titulada:

**"GENERACIÓN DE LAS SEÑALES DE CONTROL DE UN PWM SÍNCRONO PARA UN INVERSOR TIPO
PUENTE COMPLETO MONOFÁSICO"**

El Jurado está integrado por los siguientes catedráticos:

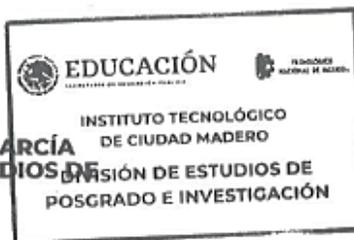
| | |
|--------------------|--------------------------------------|
| PRESIDENTE: | MTRO. AARÓN GONZÁLEZ RODRÍGUEZ |
| SECRETARIO: | DR. PEDRO MARTÍN GARCÍA VITE |
| VOCAL: | MTRO. HERMENEGILDO CISNEROS VILLEGAS |
| SUPLENTE: | MTRO. EDUARDO NACÚ SALAS CABRERA |
| DIRECTOR DE TESIS: | MTRO. AARÓN GONZÁLEZ RODRÍGUEZ |
| CO-DIRECTOR: | DR. PEDRO MARTÍN GARCÍA VITE |

Es muy satisfactorio para la División de Estudios de Posgrado e Investigación compartir con usted el logro de esta meta. Espero que continúe con éxito su desarrollo profesional y dedique su experiencia e inteligencia en beneficio de México.

ATENTAMENTE

Excelencia en Educación Tecnológica
"Por mi patria y por mi bien"


MARCO ANTONIO CORONEL GARCÍA
JEFE DE LA DIVISIÓN DE ESTUDIOS DE
POSGRADO E INVESTIGACIÓN



ccp. Archivo
MACG 'RCC'



Av. 1° de Mayo y Sor Juana I. de la Cruz S/N Col. Los Mangos C.P. 89440 Cd. Madero, Tam.
Tel. 01 (833) 357 48 20, ext. 3110, e-mail: depi_cdmadero@tecnm.mx
tecnm.mx | cdmadero.tecnm.mx



Agradecimientos.

El finalizar un trabajo tan arduo y lleno de dificultades como lo es el desarrollo de esta tesis de maestría llena de gran gozo y satisfacción no solo a mí, sino también a mi familia. Sin embargo, siendo realmente objetivos debo reconocer que la magnitud de este aporte hubiese sido imposible sin la participación de catedráticos e instituciones que me han permitido concluir este trabajo. Es para mí un verdadero placer utilizar este espacio para expresarles mis agradecimientos.

Agradezco de manera especial y sincera a mi asesor, M.C. Aarón González Rodríguez, por ser mi guía durante estos dos años en el desarrollo de este proyecto. Su apoyo, confianza y, sobre todo, su gran capacidad y conocimientos fueron un sostén para mí en la finalización de esta tesis. Le agradezco todas las horas de trabajo que compartimos y sus enseñanzas las cuales me han ayudado a ser un mejor profesionalista.

Debo expresar mi más sincero agradecimiento al Profesor Rafael Castillo Gutiérrez, coordinador de la Maestría en Ingeniería Eléctrica, por aceptarme en este programa y brindarme siempre su apoyo, incluso en los momentos difíciles, para la culminación exitosa de este proyecto. También, a mi co-director de tesis, el Dr. Pedro Martín García Vite, por sus amplios conocimientos impartidos a través del aula de clases en el instituto.

Le agradezco al Profesor Eduardo Nacú Salas Cabrera, por sus conocimientos y enseñanzas a través del aula de clases, pero sobre todo por sus valiosos consejos y palabras de ánimo y motivación las cuales me han ayudado en mi formación como ser humano y como profesionalista. Al Dr. Rubén Salas Cabrera, le agradezco por sus amplios conocimientos y enseñanzas impartidos en el aula de clases, pero también, el motivarnos a superar nuestros límites y continuar siempre ampliando nuestros conocimientos.

Agradezco a mi alma mater, el Instituto Tecnológico de Ciudad Madero, a través de sus programas, en especial el programa de posgrado en ingeniería eléctrica, junto a los docentes que le conforman, por aportar mucho a mi formación académica y profesional.

Y, por supuesto, el agradecimiento más profundo y sincero es para mi familia y amigos que me apoyaron en esta faceta. A mis padres, les dedico a ustedes este logro, ya que siempre estuvieron conmigo apoyándome en el día a día para culminar esta meta.

Finalmente, agradezco al Consejo Nacional de Humanidades, Ciencias y Tecnologías (CONAHCYT) por todo el apoyo económico brindado a lo largo de estos dos años de estudio de posgrado.

Resumen.

El objetivo del presente proyecto es el diseño y construcción de un circuito electrónico para generar las señales de control de un inversor monofásico tipo puente completo el cuál, a su vez, regula la velocidad de un motor de C.A., pero con la característica de no generar componentes subarmónicos en su voltaje de salida, con una frecuencia y un voltaje variables. Fue indispensable que el diseño de este circuito eliminara los componentes subarmónicos ya que éstos pueden llegar a afectar al motor sobrecalentándolo e incluso llegar a dañarlo.

El prototipo diseñado utiliza el método de control PWM síncrono unipolar, el cuál presenta ventajas como armónicas de menor tamaño y mayor frecuencia, algunas de las cuales se evitan con un filtro pasa bajas frecuencias, y lo más importante: la ausencia de subarmónicas en la carga, es decir, evita el sobrecalentamiento del motor.

A lo largo de los capítulos se muestra el desarrollo del proyecto donde se van alcanzado los objetivos propuestos y, por medio de la información teórica recopilada, se llegó al diseño del circuito de control en donde los resultados demuestran que el motor monofásico utilizado funciona de manera eficiente y cómo su velocidad varía ajustando la frecuencia. El diseño y construcción de este prototipo podrá, con las modificaciones necesarias, aplicarse a los inversores tipo puente completo trifásico tal y como se menciona en el último capítulo de conclusiones y recomendaciones.

Palabras clave: control PWM síncrono unipolar, inversor, sincronización, frecuencia.

Abstract.

The objective of this Project is the design and construction of an electronic circuit to generate control signals of a full-bridge single-phase inverter that allows regulating the speed of an AC motor, but with the characteristics of eliminating subharmonic components in its output voltage, with variable frequency and voltage. It was essential that the design of this circuit eliminates subharmonic components since these can affect the motor by overheating or damaging it.

The designed prototype uses unipolar synchronous PWM control method, which presents advantages such as smaller harmonics and higher frequency, some of which are avoided with a low-pass filter, and most importantly: the absence of subharmonics in the load which prevents motor overheating.

Throughout the chapters the development of the project is shown, the proposed objectives are achieved and, through the theoretical information collected, the design of the control circuit was reached. The results show that this single-phase motor works correctly and its speed varies by adjusting the frequency. The design and construction of this prototype may be applied to three-phase full bridge type inverters as mentioned in the last chapter of conclusions and recommendations, with some needed modifications.

Keywords: unipolar synchronous PWM control, inverter, synchronization, frequency.

Contenido

Capítulo I. Introducción.

| | | |
|-------|----------------------------------|---|
| 1.1 | Antecedentes. | 2 |
| 1.2 | Planteamiento del problema. | 3 |
| 1.3 | Justificación..... | 3 |
| 1.4 | Objetivos. | 4 |
| 1.4.1 | Objetivo General..... | 4 |
| 1.4.2 | Objetivos Específicos. | 4 |
| 1.5 | Hipótesis..... | 5 |
| 1.6 | Alcances y Limitaciones. | 5 |
| 1.6.1 | Alcances: | 5 |
| 1.6.2 | Limitaciones: | 5 |

Capítulo II. Marco Teórico.

| | | |
|-------|---|----|
| 2.1 | Mosfet e IGBT. | 7 |
| 2.1.1 | Mosfet: Estructura y Funcionamiento. | 8 |
| 2.1.2 | IGBT: Estructura y Funcionamiento. | 12 |
| 2.2 | Variación de velocidad de un motor de C.A. | 15 |
| 2.2.1 | Antecedente: motores de corriente directa. | 15 |
| 2.2.2 | Maquinas de C.A.: campo magnético..... | 16 |
| 2.2.3 | Relación entre la frecuencia eléctrica y la velocidad de rotación del campo magnético. | 17 |
| 2.2.4 | Control de velocidad en los motores de inducción..... | 20 |
| 2.3 | Inversores. | 22 |
| 2.3.1 | Inversores monofásicos de puente completo..... | 22 |

| | |
|--|----|
| 2.4. Conmutación por Modulación Ancho de Pulso. | 24 |
| 2.4.1 PWM con conmutación por voltaje bipolar..... | 26 |
| 2.4.2 Conmutación PWM por voltaje unipolar..... | 27 |
| 2.5 Amplificador Operacional (AO) y sus configuraciones..... | 31 |
| 2.5.1 Amplificador comparador de voltaje..... | 32 |
| 2.5.2 Amplificador seguidor de voltaje. | 33 |
| 2.5.3 Amplificador integrador inversor. | 33 |
| 2.5.4 Amplificador comparador con histéresis..... | 34 |
| 2.5.5 Amplificador operacional logarítmico..... | 36 |

Capítulo III. Descripción General.

| | |
|---|----|
| 3.1 Etapas de diseño. | 39 |
| 3.2 Etapa 1. Generación de la Señal Portadora. | 40 |
| 3.3 Etapa 2. Generación de la Señal de Referencia..... | 40 |
| 3.4 Etapa 3. Procesamiento de la Señal Sinusoidal..... | 41 |
| 3.5 Etapa 4. Generación de los Pulsos de Activación. | 41 |
| 3.6 Etapa 5. Circuito de Potencia. | 42 |

Capítulo IV. Etapa 1. Generación de la Señal Portadora.

| | |
|--|----|
| 4.1 Exposición del problema. | 44 |
| 4.2 Metodología de diseño del circuito electrónico. | 44 |
| 4.3 Simulación del circuito generador de la onda triangular..... | 46 |
| 4.4 Implementación del circuito..... | 48 |

Capítulo V. Etapa 2. Generación de la Señal de Referencia.

| | |
|--|----|
| 5.1 Exposición del problema..... | 51 |
| 5.2 Metodología del diseño del circuito electrónico..... | 51 |
| 5.3 Simulación del circuito generador de la señal de referencia..... | 53 |
| 5.4 Implementación del circuito..... | 55 |

Capítulo VI. Etapa 3. Procesamiento de la Señal Sinusoidal.

| | |
|--|----|
| 6.1 Exposición del problema..... | 59 |
| 6.2 Metodología del diseño del circuito electrónico..... | 59 |
| 6.3 Implementación del circuito..... | 64 |

Capítulo VII. Etapa 4. Generación de los pulsos de activación.

| | |
|---|----|
| 7.1 Exposición del problema..... | 67 |
| 7.2 Metodología de diseño del circuito electrónico..... | 67 |
| 7.3 Implementación del circuito..... | 70 |

Capítulo VIII. Etapa 5. Circuito de Potencia.

| | |
|---|----|
| 8.1 Exposición del problema..... | 75 |
| 8.2 Metodología de diseño del circuito de potencia..... | 75 |
| 8.3 Implementación del circuito..... | 77 |

Capítulo IX. Conclusiones.

| | |
|------------------------------|----|
| 9.1 Logros del proyecto..... | 81 |
|------------------------------|----|

| | |
|---|-----|
| 9.2 Diagramas del circuito de control y potencia..... | 83 |
| 9.3 Recomendaciones para trabajos futuros..... | 87 |
| Apéndice..... | 88 |
| Bibliografías | 108 |

Contenido de Figuras

Capítulo I. Introducción.

Capítulo II. Marco Teórico.

| | |
|--|----|
| Fig. 2. 1 Mosfet de Potencia con encapsulado TO220. | 7 |
| Fig. 2. 2 IGBT de potencia, modelo típico. | 7 |
| Fig. 2. 3 Símbolo Mosfet canal n enriquecimiento..... | 8 |
| Fig. 2. 4 Estructura básica..... | 8 |
| Fig. 2. 5 Corte transversal de un Mosfet V..... | 9 |
| Fig. 2. 6 Características de transferencia Mosfet canal n enriquecimiento. | 10 |
| Fig. 2. 7 Características de salida de un Mosfet tipo enriquecimiento. | 11 |
| Fig. 2. 8 Modelo de conmutación en estado permanente del Mosfet. | 11 |
| Fig. 2. 9 Estructura de silicio de un IGBT..... | 12 |
| Fig. 2. 10 Circuito equivalente y simplificado. | 13 |

| | |
|---|----|
| Fig. 2. 11 Símbolo y circuito de un IGBT. | 14 |
| Fig. 2. 12 Características típicas de salida y de transferencia de IGBTs. | 14 |
| Fig. 2. 13 Un estator trifásico simple. | 17 |
| Fig. 2. 14 Campo magnético giratorio en un estator representado como polos norte-sur en movimiento. | 18 |
| Fig. 2. 15 Inversor Puente Completo. | 23 |
| Fig. 2. 16 PWM: Señal de control vs Señal Portadora. | 24 |
| Fig. 2. 17 Inversor de modo conmutado de una pata. | 25 |
| Fig. 2. 18 PWM: Voltaje VAo y frecuencia fundamental. | 26 |
| Fig. 2. 19 Inversor monofásico de puente completo. | 28 |
| Fig. 2. 20 Voltaje de salida de la pata A del inversor respecto del bus N de CC negativa. | 29 |
| Fig. 2. 21 PWM con conmutación por voltaje unipolar (monofásico). | 30 |
| Fig. 2. 22 Símbolo del AO (TL 081) de 8 terminales. | 31 |
| Fig. 2. 23 Comparador de Voltaje. | 32 |
| Fig. 2. 24 Detector de cruce por cero. | 32 |
| Fig. 2. 25 Seguidor de Voltaje. | 33 |
| Fig. 2. 26 Amplificador Integrador. | 34 |
| Fig. 2. 27 Comparador con Histéresis. | 34 |
| Fig. 2. 28 Circuito del amplificador operacional logarítmico. | 36 |

Capítulo III. Descripción General.

Fig. 3. 1 Diagrama a bloques de las etapas del circuito..... 39

Capítulo IV. Etapa 1. Generación de la Señal Portadora.

Fig. 4. 1 Circuito generador de la onda triangular..... 44

Fig. 4. 2 Análisis del comportamiento de la señal..... 45

Fig. 4. 3 Simulación del circuito generador de la onda triangular en LTspice..... 47

Fig. 4. 4 Onda triangular de 960Hz simulada en LTspice..... 47

Fig. 4. 5 Circuito Generador de la onda triangular..... 48

Fig. 4. 6 Onda triangular de 960 Hz..... 49

Capítulo V. Etapa 2. Generación de la Señal de Referencia.

Fig. 5. 1 Circuito divisor de frecuencia..... 51

Fig. 5. 2 Circuito convertidor a señal senoidal..... 52

Fig. 5. 3 Circuito equivalente diseñado en esta etapa en LTspice..... 54

Fig. 5. 4 Señal Sinusoidal obtenida en esta etapa, simulada en LTspice..... 54

Fig. 5. 5 Circuito generador de la onda sinusoidal..... 55

Fig. 5. 6 Señal λ del circuito divisor de frecuencia..... 56

Fig. 5. 7 Señal Sinusoidal a 60 Hz..... 56

Fig. 5. 8 Señal Sinusoidal a 40 Hz..... 57

Capítulo VI. Etapa 3. Procesamiento de la Señal Sinusoidal.

| | |
|---|----|
| Fig. 6. 1 AD633JN. Diagrama interno de conexión. | 60 |
| Fig. 6. 2 Señal V_G . Voltaje en CD | 60 |
| Fig. 6. 3 Diagrama del circuito que procesa la señal sinusoidal..... | 61 |
| Fig. 6. 4 Sección del circuito que procesa la señal sinusoidal..... | 64 |
| Fig. 6. 5 Señal sinusoidal a 40 Hz. | 65 |
| Fig. 6. 6 Señal sinusoidal a 60 Hz. | 65 |

Capítulo VII. Etapa 4. Generación de los pulsos de activación.

| | |
|--|----|
| Fig. 7. 1 Manejador de compuerta para la rama A. | 68 |
| Fig. 7. 2 Manejador de compuerta para la rama B..... | 69 |
| Fig. 7. 3 Circuito Generador de pulsos armado en físico. | 70 |
| Fig. 7. 4 Onda triangular de 640 Hz y Onda sinusoidal de 40 Hz, sincronizadas. | 71 |
| Fig. 7. 5 Onda triangular de 960 Hz y Onda sinusoidal de 60 Hz, sincronizadas. | 71 |
| Fig. 7. 6 Señal V_I invertida. | 72 |
| Fig. 7. 7 PWM generado a través de los comparadores..... | 72 |
| Fig. 7. 8 Señal de salida de la manejadora de compuerta con retardo. | 73 |

Capítulo VIII. Etapa 5. Circuito de Potencia.

| | |
|---|----|
| Fig. 8. 1 Circuito de Potencia. | 75 |
| Fig. 8. 2 Filtro LC de la señal V_{AB} | 76 |

| | |
|---|----|
| Fig. 8. 3 Circuito inversor puente completo monofásico..... | 77 |
| Fig. 8. 4 Señal V_{AB} vista desde el osciloscopio..... | 78 |
| Fig. 8. 5 Fuente de alimentación en C.D. empleada en el proyecto. | 78 |
| Fig. 8. 6 Voltaje promedio de la señal V_{AB} | 79 |
| Fig. 8. 7 Etapa de pruebas y funcionamiento del circuito. | 79 |

Capítulo IX. Conclusiones.

| | |
|--|----|
| Fig. 9. 1 Diagrama de Control 1. | 83 |
| Fig. 9. 2 Diagrama de Control 2. | 84 |
| Fig. 9. 3 Diagrama de Control 3. | 85 |
| Fig. 9. 4 Diagrama de Potencia..... | 86 |

Contenido de Tablas

| | |
|--|----|
| Tabla 2. 1 Estados de conmutación para un inversor monofásico fuente-voltaje de puente completo. .. | 24 |
|--|----|

Introducción.

En este apartado se verá lo que son los antecedentes del proyecto que se realizó, el planteamiento del problema, la justificación del por qué se realizó, los objetivos que se pretenden alcanzar y también los alcances que se pueden lograr con el proyecto, así como también las limitaciones de este.

1.1 ANTECEDENTES.

En la electrónica de potencia, los inversores son ampliamente usados en el campo de la conversión energética. En concreto, en la conversión de una fuente de poder de corriente continua a corriente alterna (DC/AC). Su evolución en términos de frecuencia de conmutación, pérdidas en conducción y facilidad de operación ha contribuido a la popularización de este tipo de convertidores. Su aplicación en el control de motores de inducción ha permitido un fuerte impulso en su desarrollo sustituyendo así a los tradicionales reductores mecánicos.

Existen diferentes puntos de vista en la clasificación de los inversores, por ejemplo, sus componentes semiconductores como interruptores (tiristores o transistores), las características de salida (configuración medio puente, puente completo monofásico, puente completo trifásico), características de entrada (inversor alimentado en tensión o en corriente) y método de excitación de la base de los transistores (inversores de onda cuadrada, PWM de alta frecuencia, desplazamiento de fase, etc).

En la industria es común el uso de motores para diversas aplicaciones, por ejemplo, para el traslado de productos o materiales por medio de bandas transportadoras utilizando un motor el cuál se requiere controlar su velocidad. Para este tipo de aplicaciones un motor de corriente directa en donde su control de velocidad se da por medio del control de voltaje, puede suplir esa necesidad, pero la relación costo-beneficio no es el adecuado.

Un motor de CA a comparación de uno de CD tiene mayor durabilidad y funciona mejor en aplicaciones que requieren el rendimiento de la potencia durante largos periodos de tiempo, además de que son compatibles con la mayoría de los aparatos modernos. En general la fabricación, el mantenimiento y la durabilidad son más rentables en los motores de CA.

1.2 PLANTEAMIENTO DEL PROBLEMA.

Es frecuente la necesidad de contar con un sistema de potencia de energía eléctrica que proporcione una forma de onda senoidal de frecuencia variable para el control de motores de corriente alterna. Los inversores son ampliamente utilizados para el control de motores de CA con fuentes de alimentación en CD.

Existen dos métodos principales de control para generar las señales de conmutación del circuito de potencia de un inversor: PWM Asíncrono y PWM Síncrono. Ambos pueden ser de dos tipos, el control PWM Bipolar y control PWM Unipolar. En estos métodos, dado que los dispositivos electrónicos de potencia se operan como interruptores TODO-NADA (ON-OFF) se tendrá en el voltaje de salida frecuencias armónicas con amplitudes significativas. De los anteriores, el PWM unipolar tiene menor magnitud de sus frecuencias armónicas; además, sería preferible utilizar el PWM síncrono, ya que el PWM asíncrono genera subarmónicos que son indeseables en la mayoría de las aplicaciones, aunque es más fácil de diseñar e implementar.

Se pretende realizar el circuito de control de un inversor monofásico tipo puente con características tales que evite las frecuencias subarmónicas (armónicos de orden menor), las cuales pueden llegar a producir un calentamiento excesivo a una carga resistiva-inductiva, tal como un motor de corriente alterna. Para ello, debe haber una sincronización entre la frecuencia fundamental deseada y la frecuencia de control, es decir, la frecuencia de conmutación de los dispositivos electrónicos de potencia.

1.3 JUSTIFICACIÓN.

Como se mencionó anteriormente, es frecuente la necesidad de variar la velocidad de un motor eléctrico para diferentes aplicaciones, y resulta más conveniente emplear el motor de corriente alterna sobre el motor de corriente directa; pero, a diferencia del motor de CD cuya velocidad se controla simplemente variando su voltaje de CD de alimentación, el motor de CA requiere variar la frecuencia de la fuente de CA de alimentación al mismo. Por lo que, se hace necesario el diseño de un circuito electrónico que proporcione esta alimentación de corriente alterna de frecuencia variable a partir de una fuente de alimentación de CD, circuito electrónico que se conoce con el nombre de inversor.

Con la realización del presente proyecto se obtuvo un prototipo de un circuito de control el cual podrá aplicarse a un inversor monofásico puente completo. Para lograr generar las señales de control en los inversores se requiere la aplicación de conocimientos específicos de la electrónica de potencia tales como: transistores de potencia como interruptores, diodos de potencia, métodos de control PWM (bipolar y unipolar) y motores de CA (campo magnético, relación entre frecuencia eléctrica y velocidad de rotación, control de velocidad por medio de la frecuencia).

Lograr el diseño de este prototipo dará pie a futuras implementaciones como, por ejemplo, un puente completo trifásico, ya que el uso del motor de CA trifásico es ampliamente usado y actualmente acapara el mercado por sus grandes beneficios.

1.4 OBJETIVOS.

1.4.1 OBJETIVO GENERAL.

Diseñar un circuito que genere las señales de control de un PWM síncrono aplicado a un inversor monofásico puente completo.

1.4.2 OBJETIVOS ESPECÍFICOS.

1. Generar las cuatro señales de control para los dispositivos electrónicos de potencia.
2. Se empleará una fuente de alimentación de corriente directa que proporcione un voltaje superior al voltaje de la carga (127v rms), además que sea capaz de recibir corriente en sus entradas.
3. Los dispositivos electrónicos de potencia a controlar serán transistores tipo MOSFET o IGBT.
4. La frecuencia fundamental de salida podrá variar de 40 Hz a 60 Hz.

1.5 HIPÓTESIS

Es posible, mediante el diseño y la selección de los componentes electrónicos apropiados, la realización de un circuito para el control de un inversor monofásico con una nula presencia de componentes subarmónicos en su voltaje de salida, y con una frecuencia y un voltaje variables.

1.6 ALCANCES Y LIMITACIONES.

1.6.1 ALCANCES:

1. Diseñar los circuitos que serán capaces de producir los pulsos necesarios para la activación de los transistores de potencia.
2. Tener aislamiento eléctrico entre el circuito de control y el de potencia.
3. Tener una sincronización entre la frecuencia fundamental de la onda senoidal de salida del inversor y la frecuencia de conmutación de los pulsos, de manera que no se generen frecuencias subarmónicas que producirían sobrecalentamiento en la carga.

1.6.2 LIMITACIONES:

1. La carga para el inversor sería uno de los motores de corriente alterna disponibles en uno de los módulos Labvolt.
2. Rango de frecuencia manipulada sólo entre los valores de 40 Hz a 60 Hz.
3. El control es únicamente de lazo abierto.

Marco Teórico.

Este apartado es fundamental para la realización del proyecto, ya que se procede a ver la información teórica necesaria para la realización del proyecto.

2.1 MOSFET E IGBT.

Un MOSFET (Metal Oxide Semiconductor Field Effect Transistor) de potencia es un dispositivo controlado por voltaje y requiere sólo una pequeña corriente de entrada. La velocidad de conmutación es muy alta y los tiempos de conmutación son del orden de nanosegundos. Los MOSFET de potencia se utilizan cada vez más en convertidores de alta frecuencia y baja potencia. Los dos tipos de MOSFET son: Mosfet de enriquecimiento y Mosfet de agotamiento [1][2].



Fig. 2. 1 Mosfet de Potencia con encapsulado TO220.

Un IGBT (Insulated Gate Bipolar Transistor) combina las ventajas de los BJT y los MOSFET. Un IGBT tiene alta impedancia de entrada, como los Mosfet, y bajas pérdidas por conducción en estado activo, como los BJT. Sin embargo, no tiene el problema de segunda ruptura, como los BJT. Por el diseño y estructura del microcircuito (*chip*), la resistencia equivalente a fuente R_{DS} se controla para que se comporte como la de un BJT [1][2].

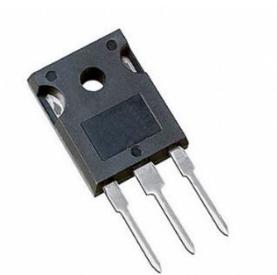


Fig. 2. 2 IGBT de potencia, modelo típico.

2.1.1 MOSFET: ESTRUCTURA Y FUNCIONAMIENTO.

Las terminales típicas del Mosfet son 3: Compuerta (G), Drenaje (D) y Fuente (S). El símbolo para un Mosfet de enriquecimiento de canal N se puede apreciar en la figura 2.3.

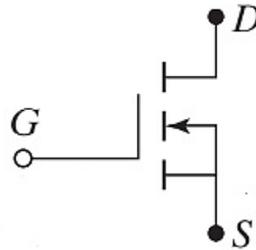


Fig. 2. 3 Símbolo Mosfet canal n enriquecimiento.

Un Mosfet tipo enriquecimiento de canal n no tiene un canal físico, como se muestra en la figura 2.4. Si V_{GS} es positivo, un voltaje inducido atrae electrones de sustrato p y los acumula en la superficie debajo de la capa de óxido. Si V_{GS} es mayor que o igual a un valor conocido como voltaje de umbral V_T , un número suficiente de electrones se acumulan para formar un canal n virtual, como lo indican las líneas sombreadas de la figura 2.4, y la corriente fluye del drenaje a la fuente [1][2].

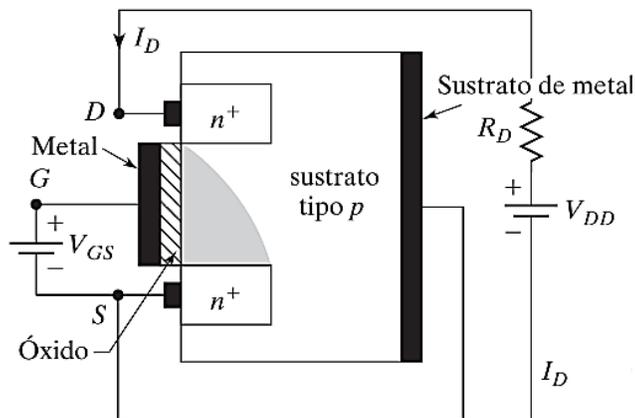


Fig. 2. 4 Estructura básica.

Dado que el Mosfet tipo enriquecimiento permanece en estado abierto a voltaje de compuerta cero, por lo general son utilizados como dispositivos de conmutación en la electrónica de potencia. Para reducir la resistencia en estado de conducción por contar con un área de conducción más grande, por lo común se utiliza la estructura tipo V para Mosfet de potencia. En la figura 2.5 se muestra el corte transversal de un Mosfet de potencia conocido como Mosfet vertical (V).

Cuando la compuerta tiene un voltaje suficientemente positivo con respecto a la fuente, el efecto de su campo eléctrico atrae electrones de la capa n^+ hacia la capa p . Esto abre el canal más cercano a la compuerta, el cual a su vez permite que fluya corriente del drenaje a la fuente. Hay una capa dieléctrica de óxido de silicio (SiO_2) entre el metal de la compuerta y la unión n^+ y p . El Mosfet estará fuertemente dopado del lado del drenaje para crear una capa intermedia n^+ debajo de la capa de deriva n . Esta capa intermedia impide que la capa de agotamiento llegue al metal, nivela el esfuerzo de voltaje a través de la capa n , e incluso reduce la caída de voltaje en sentido directo durante la conducción.

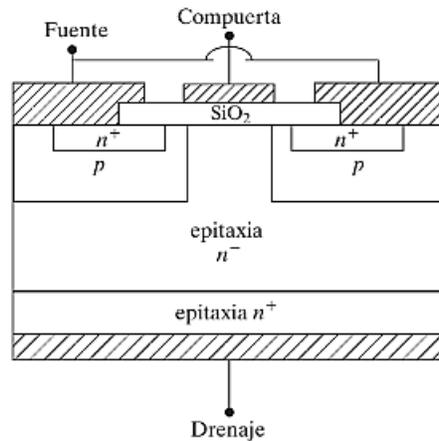


Fig. 2. 5 Corte transversal de un Mosfet V.

Los Mosfet son dispositivos controlados por voltaje y su impedancia de entrada es muy alta. La compuerta absorbe una corriente de fuga muy pequeña, del orden de nano amperes. La ganancia de corriente, la cual es la relación de la corriente de drenaje I_D a la corriente de compuerta de entrada I_G , es típicamente del orden de 10^9 . Sin embargo, la ganancia de corriente no es un parámetro importante [1].

La transconductancia, la cual es la relación de la corriente de drenaje al voltaje de compuerta, define las características de transferencia y es un parámetro muy importante. La figura 2.6 muestra las características de transferencia del Mosfet de canal n . Estas se pueden usar para determinar la corriente en estado de conducción i_D :

$$i_D = K_n (V_{GS} - V_T)^2 \text{ para } V_{GS} > V_T \text{ y } V_{DS} \geq (V_{GS} - V_T) \quad (2.1)$$

donde:

K_n es la constante MOS, A/V^2

V_{GS} es el voltaje de compuerta a fuente, V

V_T es el voltaje de umbral, V

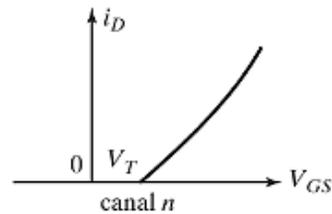


Fig. 2. 6 Características de transferencia Mosfet canal n enriquecimiento.

La figura 2.7 muestra las características de salida de un Mosfet de enriquecimiento de canal n . Hay tres regiones de operación para el Mosfet, pero si éste será utilizado como interruptor, solo se utilizan dos regiones de operación:

1. Región corte, donde $V_{GS} \leq V_T$.
2. Región de Saturación, donde $V_{DS} \geq V_{GS} - V_T$ [1].

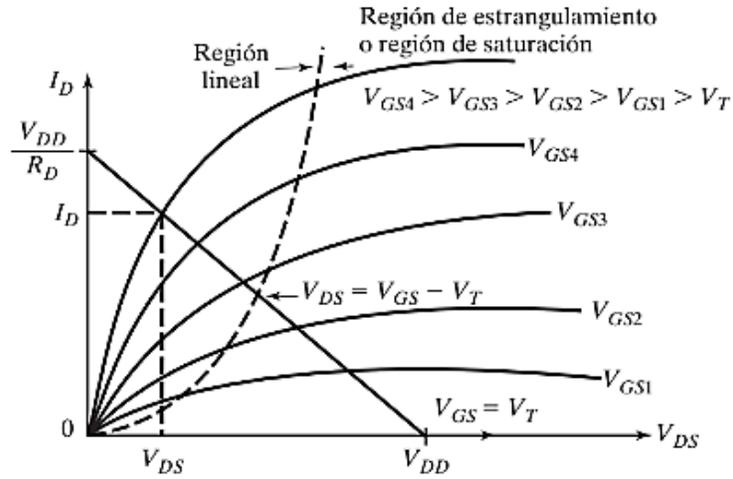


Fig. 2. 7 Características de salida de un Mosfet tipo enriquecimiento.

La figura 2.8 muestra el modelo de conmutación en estado permanente, el cual es el mismo tanto para Mosfet tipo agotamiento como para tipo enriquecimiento. R_D es la resistencia de carga. Se conecta una resistencia grande R_G en el orden de megaohms entre la compuerta y la fuente para establecer el voltaje de compuerta a un nivel definido. R_S ($\ll R_G$) limita las corrientes de carga mediante las capacitancias internas del Mosfet [1].

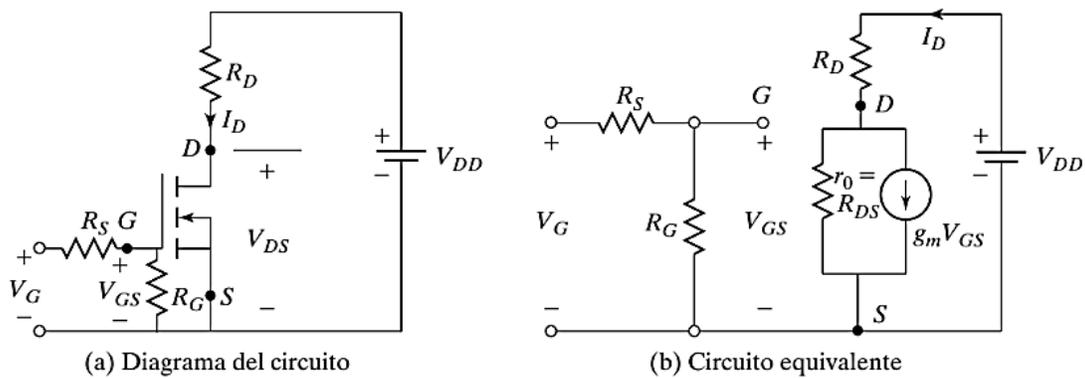


Fig. 2. 8 Modelo de conmutación en estado permanente del Mosfet.

Los Mosfet son dispositivos controlados por voltaje y su impedancia de entrada es muy alta. La compuerta atrae una muy pequeña corriente de fuga, del orden de nano amperes. El tiempo de cierre de un Mosfet depende del tiempo de carga de la capacitancia de entrada o de compuerta [1][2].

Resumiendo, la operación de un Mosfet canal n de enriquecimiento, es:

Con $V_{GS} = 0v$ se comportará como un interruptor abierto entre D y S.

Con $V_{GS} \geq +12v$ se comportará como un interruptor cerrado entre D y S.

2.1.2 IGBT: ESTRUCTURA Y FUNCIONAMIENTO.

En la figura 2.9 se muestra la sección transversal de la estructura de silicio de un IGBT, la cual es idéntica a la de un Mosfet, excepto por el sustrato p^+ . No obstante, el desempeño de un IGBT se parece más al de un BJT que al de un Mosfet. Esto se debe al sustrato p^+ , el cual es responsable de inyectar portadores minoritarios en la región n [1].

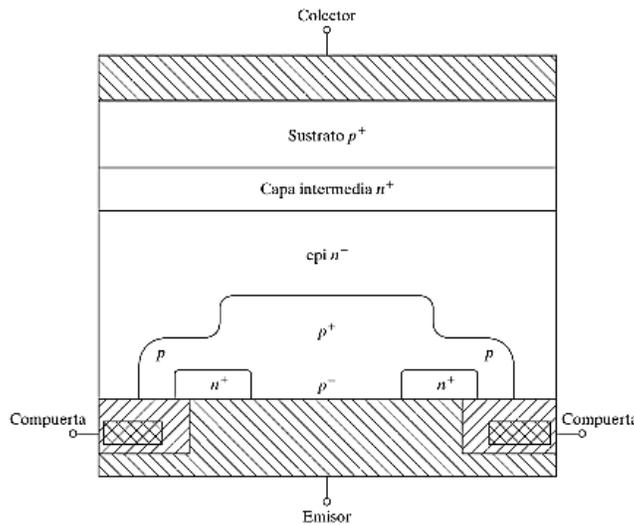


Fig. 2. 9 Estructura de silicio de un IGBT.

El circuito equivalente se muestra en la figura 2.10, que el cual puede simplificarse quedando:

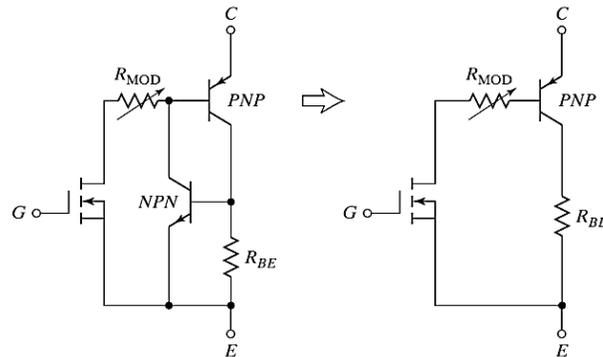


Fig. 2. 10 Circuito equivalente y simplificado.

Un IGBT se construye con cuatro capas alternas *PNP*, y podría enganchar como un tiristor si se cumple la condición necesaria $(\alpha_{npn} + \alpha_{ppn}) > 1$. La capa intermedia n^+ y la ancha base epitaxial reducen la ganancia de la terminal *NPN* mediante diseño interno con lo cual se evita el enganche.

Los IGBT tienen dos estructuras: de perforación (PT) y de no perforación (NPT). Para el primer caso, el tiempo de conmutación se reduce con el uso de una capa intermedia n altamente dopada en la región de deriva cerca del colector. En la estructura NPT los portadores tienen una vida más larga que en la estructura PT, lo que ocasiona modulación por conductividad de la región de deriva y reduce la caída de voltaje en estado encendido.

Un IGBT es un dispositivo controlado por voltaje similar a un Mosfet de potencia. Al igual que un Mosfet, cuando la compuerta se vuelve positiva con respecto al emisor para el encendido, se atraen portadores n hacia el canal p cerca de la región de la compuerta; esto produce una polarización directa de la base del transistor *NPN* con la cual, por tanto, se enciende [1].

Un IGBT se cierra con sólo aplicar un voltaje de compuerta positivo para abrir el canal a los portadores n y se abre al eliminar el voltaje de compuerta, con lo que se cierra el canal. El IGBT es

inherentemente más rápido que un BJT; sin embargo, la velocidad de conmutación de los IGBT es inferior a la de los Mosfet.

En la figura 2.11 se muestra el símbolo y el circuito de un interruptor IGBT. Sus tres terminales son compuerta (G), colector (C) y emisor (E). En la figura 2.12 se muestran las características de salida típicas de i_C en función de V_{CE} para varios voltajes V_{GE} de compuerta a emisor, también se aprecia la transferencia típica de i_C en función de V_{GE} .

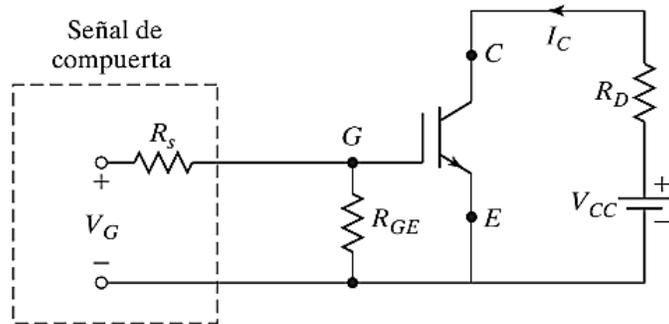


Fig. 2. 11 Símbolo y circuito de un IGBT.

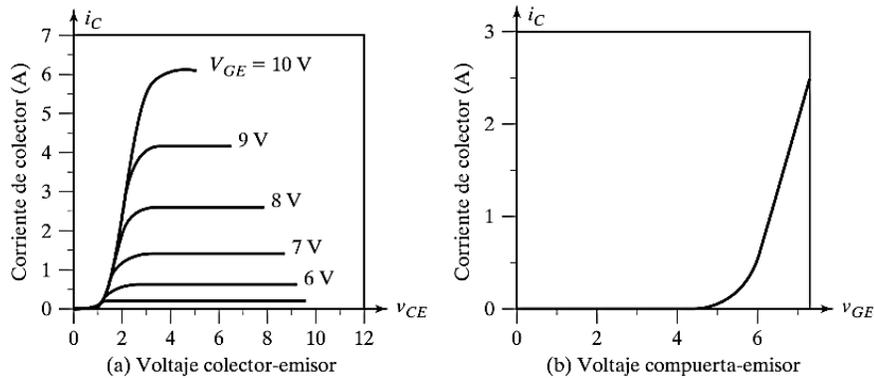


Fig. 2. 12 Características típicas de salida y de transferencia de IGBTs.

La capacidad de corriente de un IGBT puede ser hasta 6500 V, 2400 A y la frecuencia de conmutación puede ser hasta de 20 kHz. Los IGBT se utilizan cada vez más en aplicaciones de mediana potencia como controladores de motor de ca, fuentes de potencia, relevadores de estado sólido, y contactores [1][2].

2.2 VARIACIÓN DE VELOCIDAD DE UN MOTOR DE CA.

2.2.1 ANTECEDENTE: MOTORES DE CORRIENTE DIRECTA.

Los motores (CD) convierten energía eléctrica de CD en energía mecánica. Fueron los primeros sistemas de potencia en los Estados Unidos, pero a finales de la década de 1890 quedó claro que los sistemas de potencia de CA ganaban terreno. Una aplicación de los motores de CD es cuando se requieren variaciones amplias de velocidad.

Antes de la creciente difusión de los rectificadores-inversores de potencia electrónicos, no había un mejor motor que uno de CD para las aplicaciones de control de velocidad. Incluso si no había una fuente de potencia de CD disponible, se usaban rectificadores en estado sólido y circuitos recortadores para crear la potencia de CD que se requería y se utilizaban motores de cd para suministrar el control de velocidad deseado.

A menudo se comparan los motores de CD entre sí con base en su regulación de velocidad. La regulación de velocidad (RV) es una medida aproximada de la forma de la característica par-velocidad de un motor: una regulación de velocidad positiva significa que la velocidad del motor cae cuando se incrementa la carga, mientras que una regulación de voltaje negativa implica que la velocidad del motor se incrementa cuando disminuye la carga [3].

Hay cinco grandes tipos de motores de CD de uso general:

1. Motor de cd de excitación separada.
2. Motor de cd en derivación.
3. Motor de cd de imán permanente.
4. Motor de cd en serie.
5. Motor de cd compuesto.

Para lograr el control de velocidad de un motor se utilizan dos métodos comunes y uno menos usual. Los dos métodos de control de velocidad para una maquina de CD en derivación son:

1. Ajustar la resistencia de campo R_F (y por lo tanto el flujo del campo)
2. Ajustar el voltaje en las terminales aplicando al inducido [3].

El método menos usual para controlar la velocidad es:

3. Insertar un resistor en serie con el circuito del inducido (y con lo cual, se varía el voltaje en las terminales aplicado al inducido)

Para que un motor de CD funcione adecuadamente, debe tener incorporado algún equipo de control y protección especial, como son los arrancadores de motores de cd. Su propósito es:

1. Proteger al motor contra daños debidos a cortocircuitos en el equipo.
2. Proteger al motor contra daños por sobrecargas prolongadas.
3. Proteger al motor contra daños por corrientes de arranque excesivas.
4. Proporcionar una forma conveniente de controlar la velocidad de operación del motor (pérdida de campo) [3].

2.2.2 MAQUINAS DE CA: CAMPO MAGNÉTICO.

Hay dos clases principales de máquinas de CA: las máquinas síncronas y las máquinas de inducción (también llamadas máquinas asíncronas). Las máquinas síncronas son motores y generadores cuya corriente de campo magnético la suministra una fuente de potencia ca externa, mientras que las máquinas de inducción son motores y generadores cuya corriente de campo magnético se suministra a sus devanados de campo por medio de inducción magnética (acción transformadora).

El principio fundamental de la operación de las máquinas de CA es que si un grupo de corrientes trifásicas, cada una de igual magnitud y desfasadas entre ellas 120° , fluye en un devanado trifásico, producirán un campo magnético giratorio de magnitud constante. Un devanado trifásico consta de tres devanados individuales, separados 120° eléctricos alrededor de la superficie de la máquina (fig. 2.13) [3].

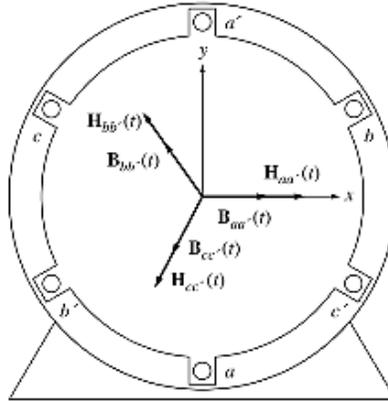


Fig. 2. 13 Un estator trifásico simple.

Supóngase que las corrientes en las tres bobinas se obtienen de las ecuaciones:

$$i_{aa'}(t) = I_M \text{ sen } \omega t \quad ; \quad i_{bb'}(t) = I_M \text{ sen } (\omega t - 120^\circ) \quad ; \quad i_{cc'}(t) = I_M \text{ sen } (\omega t - 240^\circ) \quad (2.2)$$

La corriente aa' en la bobina fluye hacia el extremo a de la bobina y sale por el extremo a' de ella. Produce la intensidad de campo magnético:

$$H_{aa'}(t) = H_M \text{ sen } \omega t \angle 0^\circ \text{ A} \cdot \text{vueltas/m} \quad (2.3)$$

donde 0° es el ángulo espacial del vector de intensidad de campo magnético. La dirección del vector de intensidad de campo magnético $H_{aa'}(t)$ se encuentra por medio de la regla de la mano derecha: si los dedos de la mano derecha se doblan en la dirección del flujo de corriente en la bobina, entonces el dedo pulgar apunta en la dirección del campo magnético resultante [3].

2.2.3 RELACIÓN ENTRE LA FRECUENCIA ELÉCTRICA Y LA VELOCIDAD DE ROTACIÓN DEL CAMPO MAGNÉTICO.

La figura 2.14 muestra que el campo magnético giratorio en el estator se puede representar con un polo norte (por donde el flujo sale del estator) y un polo sur (por donde el flujo entra). Estos polos

magnéticos completan una rotación mecánica alrededor de la superficie del estator por cada ciclo eléctrico de la corriente aplicada. Por lo tanto, la velocidad mecánica de rotación del campo magnético en revoluciones por segundo es igual a la frecuencia eléctrica en Hertz:

$$f_e = f_m \tag{2.4}$$

$$\omega_e = \omega_m$$

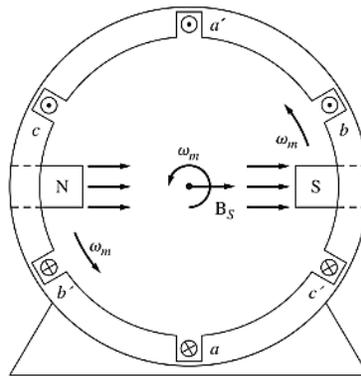


Fig. 2. 14 Campo magnético giratorio en un estator representado como polos norte-sur en movimiento [3].

En este caso f_m y ω_m representan la velocidad mecánica en revoluciones por segundo y radianes por segundo, mientras que f_e y ω_e representan la velocidad eléctrica en hertz y radianes por segundo. Nótese que el orden de los devanados del estator bipolar de la figura 2.14 (en sentido contrario a las manecillas del reloj) es:

$$a-c' -b-a' -c-b' \tag{2.5}$$

En otro caso particular, dónde el devanado es de cuatro polos, la frecuencia eléctrica de la corriente será dos veces la frecuencia mecánica de rotación:

$$f_e = 2f_m \tag{2.6}$$

$$\omega_e = 2\omega_m$$

En general, si el número de polos magnéticos en el estator de una máquina de CA es P, entonces hay P/2 repeticiones de la secuencia de devanados a-c'-b-a'-c-b' alrededor de su superficie interior y las cantidades mecánicas y eléctricas en el estator se relacionan por medio de:

$$\theta_e = \frac{P}{2} \theta_m \quad (2.7)$$

$$f_e = \frac{P}{2} f_m \quad (2.8)$$

$$\omega_e = \frac{P}{2} \omega_m \quad (2.9)$$

También, puesto que $f_m = n_m/60$, es posible relacionar la frecuencia eléctrica del estator en hertz con la velocidad mecánica resultante de los campos magnéticos en revoluciones por minuto. Esta relación es:

$$f_e = \frac{n_m P}{120} \quad (2.10)$$

Inversión de la dirección de rotación del campo magnético: Si se intercambia la corriente en dos de las tres bobinas, se invertirá la dirección de rotación del campo magnético. Esto significa que es posible invertir la dirección de rotación de un motor de ca simplemente conmutando las conexiones de dos de las tres bobinas. Al realizar esto, el campo magnético tendrá la misma magnitud, pero girará en el sentido de las manecillas del reloj.

Regulación de Velocidad: La regulación de velocidad (SR, por sus siglas en inglés) es la medida de la capacidad de un motor para mantener constante la velocidad del eje cuando varía la carga. Se define con la ecuación:

$$SR = \frac{\omega_{sc} - \omega_{pc}}{\omega_{pc}} \times 100\% \quad (2.11)$$

o

$$SR = \frac{n_{sc} - n_{pc}}{n_{pc}} \times 100\% \quad (2.12)$$

Es la medida aproximada de la forma de la característica par-velocidad de un motor; una regulación de velocidad positiva significa que la velocidad del motor cae cuando se incrementa la carga, mientras que una regulación de velocidad negativa significa que la velocidad del motor se incrementa cuando disminuye la carga. La magnitud de la regulación de velocidad dicta aproximadamente la inclinación de la pendiente de la curva de par-velocidad [3].

2.2.4 CONTROL DE VELOCIDAD EN LOS MOTORES DE INDUCCIÓN.

En realidad, hay sólo dos técnicas posibles para controlar la velocidad de un motor de inducción. Una consiste en la variación de la velocidad síncrona, que es la velocidad de los campos magnéticos del estator y del rotor, puesto que la velocidad del rotor siempre permanece cerca de n_{sinc} . La otra técnica consiste en la variación del deslizamiento del rotor para una carga dada. La velocidad síncrona de un motor de inducción está dada por:

$$n_{sinc} = \frac{120f_e}{P} \quad (2.13)$$

por lo que las únicas maneras en que se puede modificar la velocidad síncrona de una máquina son:

- 1) cambiando la frecuencia eléctrica y
- 2) cambiando el número de polos de la máquina.

Se puede lograr el control del deslizamiento si se modifica la resistencia del rotor o el voltaje en los terminales del motor. Centrémonos en el control de velocidad mediante el cambio en la frecuencia de la línea [3].

Si se cambia la frecuencia eléctrica aplicada al estator de un motor de inducción, la tasa de rotación de sus campos magnéticos n_{sinc} cambiará en proporción directa con el cambio de la frecuencia eléctrica y el punto de vacío sobre la curva de la característica par-velocidad cambiará con ella. La velocidad síncrona del motor en condiciones nominales se conoce como velocidad base. Si se utiliza el control de frecuencia variable, se puede ajustar la velocidad del motor por arriba o por debajo de la velocidad base.

El controlador de la frecuencia variable de un motor de inducción debidamente diseñado puede ser muy flexible. Puede controlar la velocidad de un motor de inducción dentro de un intervalo que va desde tan poco como 5% de la velocidad base hasta el doble de ella. Sin embargo, es importante mantener ciertos límites en el voltaje y par del motor conforme se varía la frecuencia para asegurarse de que la operación es segura.

Cuando se opera a velocidades menores a la velocidad base es necesario reducir el voltaje en los terminales aplicado al estator para obtener una operación adecuada. El voltaje en los terminales aplicado al estator debe disminuir linealmente con el decremento de la frecuencia del estator (degradación).

El método que se prefiere hoy en día para controlar la velocidad de los motores de inducción son los controladores de frecuencia variable para motores de inducción de estado sólido. El controlador es muy flexible: su potencia de entrada puede ser monofásica o trifásica, a 50 o 60 Hz y entre 208 y 230 V. La forma de salida de este controlador es un conjunto de voltajes trifásicos cuya frecuencia puede variar entre 0 y 120 Hz y cuyo voltaje puede variar de 0 V hasta el voltaje nominal del motor [3].

Conclusión: Gracias a los actuales desarrollos de inversores de potencia electrónicos, actualmente resulta más conveniente el empleo de motores de corriente alterna que de motores de corriente directa, para aplicaciones en dónde se requiera variar su velocidad de rotación. Ya que su costo y mantenimiento es mucho menor en un motor de ca que en un motor de CD.

2.3 INVERSORES.

Los convertidores CD a CA se conocen como inversores. La función de un inversor es cambiar un voltaje de entrada de CD a un voltaje simétrico de salida de CA de magnitud y frecuencia deseadas. Si el voltaje de entrada de CD es fijo y no es controlable, se puede obtener un voltaje de salida variable si se hace que la ganancia del inversor varíe, lo que normalmente se consigue mediante el control de modulación por ancho de pulso (PWM) dentro del inversor. La ganancia del inversor se puede definir como la relación del voltaje de salida de CA al voltaje de entrada de CD.

Las formas de onda de los inversores prácticos no son senoidales y contienen ciertos armónicos. Para aplicaciones de baja y mediana frecuencia, se pueden aceptar voltajes de onda cuadrada o de onda cuasi cuadrada; para aplicaciones de alta potencia, se requieren formas de onda senoidales poco distorsionadas.

Los inversores se pueden clasificar ampliamente en dos tipos:

- (1) inversores monofásicos.
- (2) inversores trifásicos.

Cada tipo puede usar diferentes dispositivos como interruptores controlados, por ejemplo, transistores de unión bipolar (BJT), transistores de efecto de campo semiconductores de óxido metálico (MOSFET), transistores bipolares de compuerta aislada (IGBT), tiristores controlados semiconductores de óxido metálico (MCT), transistores de inducción estática (SIT), y tiristores de bloqueo o apagado por compuerta (GTO). Por lo general estos inversores utilizan señales de control de PWM para producir un voltaje de salida de ca [1] [4].

2.3.1 INVERSORES MONOFÁSICOS DE PUENTE COMPLETO.

La figura 2.15 muestra un inversor de puente completo. Este inversor consiste en dos inversores de una rama o terminal, y se prefiere ante otros arreglos en potencias nominales más altas. Con el mismo voltaje de CC de entrada, el voltaje máximo de salida del inversor de puente completo es el doble del inversor de medio puente.

Esto implica que, para la misma potencia, la corriente de salida y la corriente de los interruptores conforman la mitad de las corrientes de un inversor de medio puente. En niveles de potencia más alta, esto es una clara ventaja, pues requiere menos conexiones paralelas de dispositivos [4].

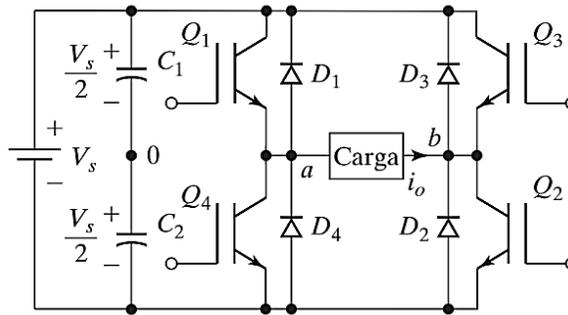


Fig. 2. 15 Inversor Puente Completo.

Cuando los transistores Q_1 y Q_2 se encienden al mismo tiempo, el voltaje de entrada V_s aparece a través de la carga. Si los transistores Q_3 y Q_4 se encienden al mismo tiempo, el voltaje a través de la carga se invierte y es $-V_s$.

La tabla 2.1 muestra los cinco estados de conmutación. Los transistores Q_1 y Q_4 de la figura 2.21 actúan como los dispositivos de conmutación S_1 y S_4 , respectivamente. Si dos interruptores: uno superior y el otro inferior conducen al mismo tiempo de tal modo que el voltaje de salida sea $\pm V_s$, el estado de conmutación es 1, en tanto que, si estos interruptores están cerrados al mismo tiempo, el estado de interruptor es 0 [1] [4].

Tabla 2. 1 Estados de conmutación para un inversor monofásico fuente-voltaje de puente completo.

| Estado | Estado núm. | Estado de conmutación* | v_{ao} | v_{bo} | v_{co} | Componentes que conducen |
|--|-------------|------------------------|---------------------|---------------------|-----------------|--|
| S_1 y S_2 abiertos, S_4 y S_3 están cerrados | 1 | 10 | $V_S/2$ | $-V_S/2$ | V_S | S_1 y S_2 si $i_o > 0$ D_1 y D_2 si $i_o < 0$ |
| S_4 y S_3 abiertos, S_1 y S_2 están cerrados | 2 | 01 | $-V_S/2$ | $V_S/2$ | $-V_S$ | D_4 y D_3 si $i_o > 0$ S_4 y S_3 si $i_o < 0$ |
| S_1 y S_3 abiertos, S_4 y S_2 están cerrados | 3 | 11 | $V_S/2$ | $V_S/2$ | 0 | S_1 y D_3 si $i_o > 0$ D_1 y S_3 si $i_o < 0$ |
| S_1 y S_2 abiertos, S_4 y S_3 están cerrados | 4 | 00 | $-V_S/2$ | $-V_S/2$ | 0 | D_4 y S_2 si $i_o > 0$ S_4 y D_2 si $i_o < 0$ |
| S_1, S_2, S_3 y S_4 están cerrados todos | 5 | off | $-V_S/2$ $V_S/2$ | $V_S/2$ $-V_S/2$ | $-V_S$ V_S | D_4 y D_3 si $i_o > 0$ D_1 y D_2 si $i_o < 0$ |

*1 Si un interruptor superior está abierto y 0 si un interruptor inferior está cerrado.

2.4. CONMUTACIÓN POR MODULACIÓN ANCHO DE PULSO.

En circuitos inversores, el PWM es un poco más complejo, ya que la salida del inversor se pretende sea sinusoidal, con magnitud y frecuencia controlables. A fin de producir una forma de onda sinusoidal de voltaje de salida en una frecuencia deseada, se compara una señal de control sinusoidal con la frecuencia deseada con una forma de onda triangular, como se aprecia en la figura 2.15 [1] [4].

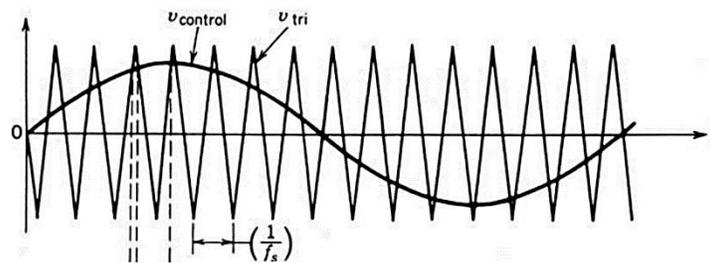


Fig. 2. 16 PWM: Señal de control vs Señal Portadora.

La frecuencia de la forma de onda triangular establece la frecuencia de conmutación del inversor y por lo general se mantiene constante junto con su amplitud V_{tri} .

La forma de onda triangular v_{tri} en la figura 2.15 está en una frecuencia de conmutación f_s , lo que establece la frecuencia con que se conmutan los interruptores del inversor (a f_s también se le denomina frecuencia portadora). La señal de control $v_{control}$ se usa para modular la relación de trabajo del interruptor y tiene una frecuencia f_1 , que es la frecuencia fundamental deseada de la salida de voltaje del inversor (f_1 también se llama frecuencia moduladora), reconociendo que el voltaje de salida del inversor no será una onda sinusoidal perfecta y contendrá componentes de voltaje en frecuencias armónicas de f_1 . La relación de modulación de amplitud m_a se define como:

$$m_a = \frac{\hat{v}_{Control}}{\hat{v}_{tri}} \quad (2.14)$$

donde $\hat{v}_{control}$ es la amplitud pico de la señal de control. La amplitud \hat{v}_{tri} de la señal triangular por lo general se mantiene constante. La relación de modulación de frecuencia m_f se define como:

$$m_f = \frac{f_s}{f_1} \quad (2.15)$$

En el inversor de la figura 2.16, los interruptores T_{A+} y T_{A-} se controlan por la comparación entre $v_{control}$ y v_{tri} , y el resultado es el siguiente voltaje de salida, independientemente del sentido de i_o :

$$V_{control} > V_{tri}, T_{A+} \text{ está encendido, } V_{Ao} = \frac{1}{2} V_d \quad (2.16)$$

$$V_{control} < V_{tri}, T_{A-} \text{ está encendido, } V_{Ao} = -\frac{1}{2} V_d$$

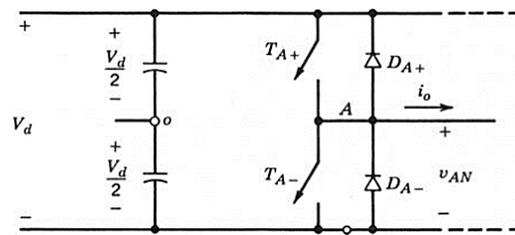


Fig. 2. 17 Inversor de modo conmutado de una pata.

Como los dos interruptores nunca están apagados al mismo tiempo, el voltaje de salida v_{Ao} fluctúa entre dos valores ($1/2 V_d$ y $-1/2V_d$). El voltaje v_{Ao} y su componente de frecuencia fundamental (curva de línea interrumpida) se muestran en la figura 2.17, para $m_f = 15$ y $m_a = 0.8$ [4].

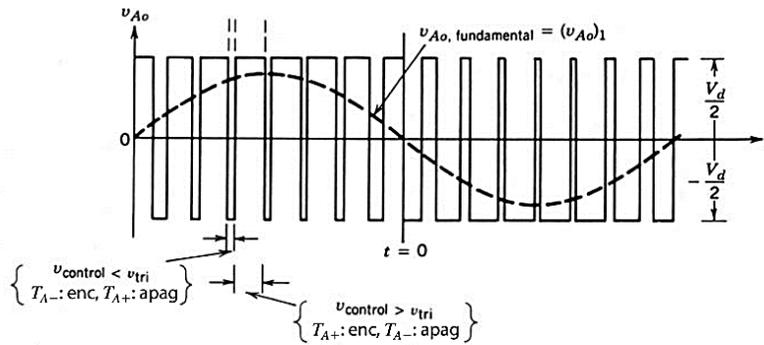


Fig. 2. 18 PWM: Voltaje v_{Ao} y frecuencia fundamental.

Por la relativa facilidad de filtrar voltajes armónicos a altas frecuencias, es deseable usar la frecuencia de conmutación más alta posible, con una desventaja significativa: las pérdidas por conmutación en los interruptores de inversores aumentan en forma proporcional con la frecuencia de conmutación f_s . En aplicaciones del tipo de 50 o 60 Hz, como motores de CA (donde puede requerirse una frecuencia fundamental de la salida del inversor hasta de 200 Hz), la relación de modulación de frecuencia m_f puede ser 9 o incluso menos para frecuencias de conmutación de menos de 2 kHz [4].

2.4.1 PWM CON CONMUTACIÓN POR VOLTAJE BIPOLAR.

Este método de PWM es utilizado en los convertidores de CC-CC de puente completo. Los interruptores diagonalmente opuestos (T_{A+} , T_{B-}) y (T_{A-} , T_{B+}) de las dos patas o terminales de la figura 2.19 se conmutan como pares de interruptores 1 y 2, respectivamente. En este tipo de conmutación de PWM, la forma de onda de voltaje de salida de la pata A es idéntica a la salida del inversor básico de una pata, que se determina de la misma manera por medio de la comparación entre $v_{control}$ y v_{tri} en la figura 2.16 [1] [4].

La salida de la pata B del inversor es negativa de la salida de la pata A: por ejemplo, cuando T_{A+} está encendido y v_{A0} es igual a ½ V_d, T_{B-} también está encendido y v_{B0} = ½ V_d. Por tanto,

$$v_{B_0}(t) = -v_{A_0}(t) \quad (2.17)$$

Y

$$v_{0(t)} = v_{A_0}(t) - v_{B_0}(t) = 2v_{A_0}(t) \quad (2.18)$$

La forma de onda V₀ se muestra en la figura 2.18. Por tanto, el pico del componente de frecuencia fundamental de salida en el voltaje de salida (\hat{v}_{01}) se obtiene de las ecuaciones 2.18 y:

$$(\hat{v}_{A_0})_1 = m_a \frac{v_d}{2} m_a \leq 1.0 \quad (2.19)$$

$$\frac{v_d}{2} < (\hat{v}_{A_0})^1 < \frac{4}{\pi} \frac{v_d}{2} \quad (2.20)$$

Cómo:

$$\hat{v}_{01} = m_a v_d (m_a \leq 1.0) \quad (2.21)$$

Y

$$V_d < \hat{v}_{01} < \frac{4}{\pi} v_d (m_a > 1.0) \quad (2.22)$$

En la figura 2.18 observamos que el voltaje de salida V₀ conmuta entre los niveles de voltaje -V_d y +V_d. Por esta razón, este tipo de conmutación se llama PWM con conmutación por voltaje bipolar [1] [4].

2.4.2 CONMUTACIÓN PWM POR VOLTAJE UNIPOLAR.

En la conmutación PWM por voltaje unipolar, los interruptores en las dos patas del inversor de puente completo de la figura 2.18 no se conmutan en forma simultánea. Aquí, las patas o terminales A y B del inversor de puente completo están controladas por separado mediante la comparación entre v_{tri} con v_{control}

y $-v_{control}$, respectivamente. Como se muestra en la figura 2.20, la comparación de $v_{control}$ con la forma de onda triangular genera las siguientes señales lógicas para controlar los interruptores en la pata A:

$$V_{control} > V_{tri}: T_A + \text{ está encendido y } V_{AN} = V_d \tag{2.23}$$

$$V_{control} < V_{tri}: T_A - \text{ está encendido y } V_{AN} = 0$$

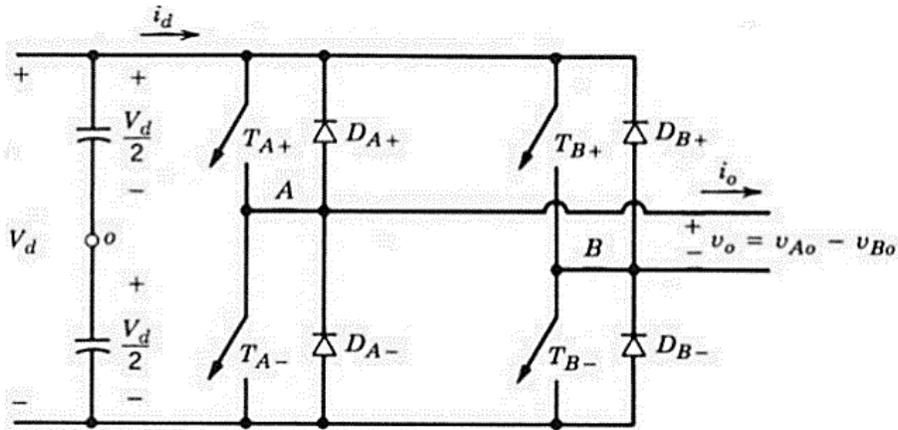


Fig. 2. 19 Inversor monofásico de puente completo.

El voltaje de salida de la pata A del inversor respecto del bus N de CC negativa se muestra en la figura 2.19. Para controlar los interruptores de la pata B, $-v_{control}$ se compara con la misma forma de onda triangular, lo cual nos da lo siguiente:

$$-V_{control} > V_{tri}: T_B + \text{ está encendido y } V_{BN} = V_d \tag{2.24}$$

$$-V_{control} < V_{tri}: T_B - \text{ está encendido y } V_{BN} = 0$$

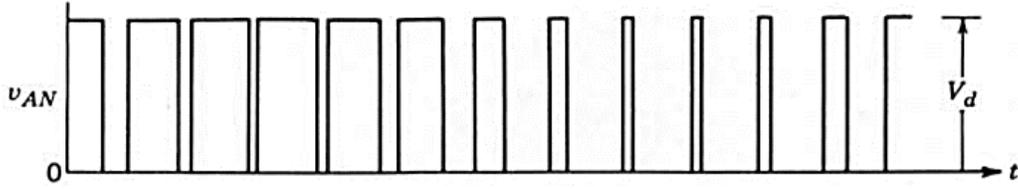


Fig. 2. 20 Voltaje de salida de la pata A del inversor respecto del bus N de CC negativa.

Debido a los diodos de realimentación en conexión antiparalelo con los interruptores, los voltajes precedentes dados por las ecuaciones 2.17 y 2.18 son independientes del sentido de la corriente de salida i_o .

Las formas de onda de la figura 2.20 muestran que existen cuatro combinaciones de estados activos de interruptores y los siguientes niveles de voltaje:

1. T_{A+}, T_{B-} enc: $V_{AN} = V_d, V_{BN} = 0; v_o = V_d$
 2. T_{A-}, T_{B+} enc: $V_{AN} = 0, V_{BN} = V_d; v_o = -V_d$
 3. T_{A+}, T_{B+} enc: $V_{AN} = V_d, V_{BN} = V_d; v_o = 0$
 4. T_{A-}, T_{B-} enc: $V_{AN} = 0, V_{BN} = 0; v_o = 0$
- (2.25)

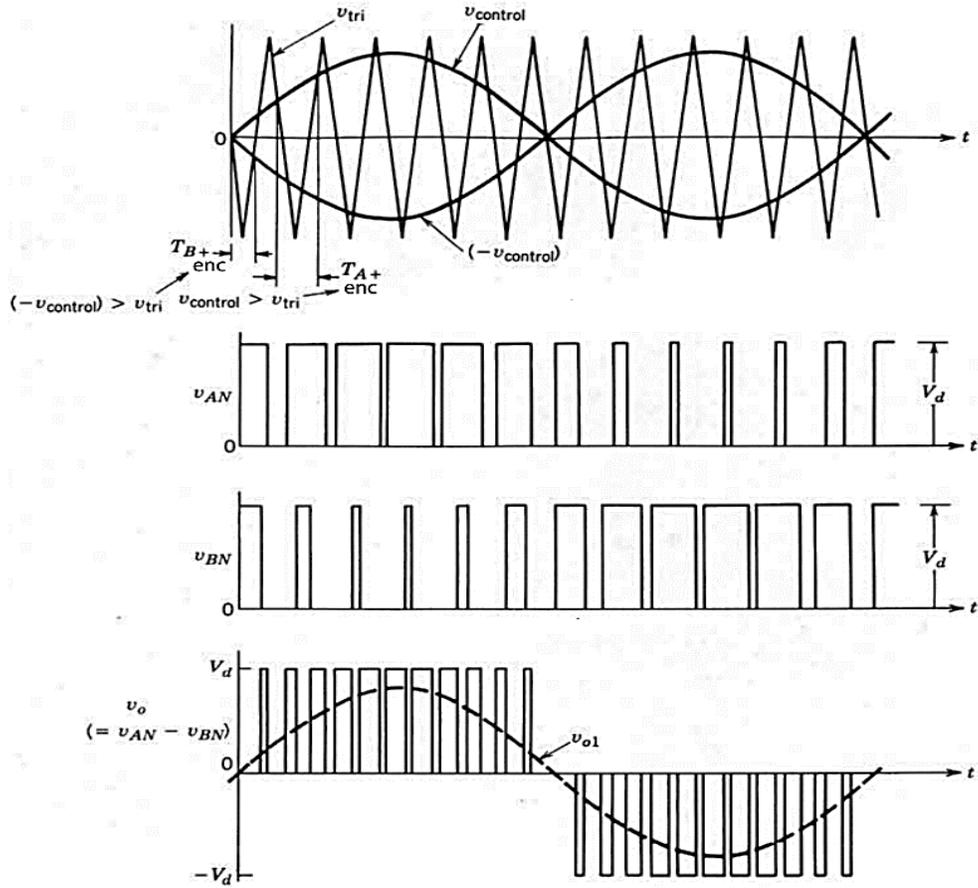


Fig. 2. 21 PWM con conmutación por voltaje unipolar (monofásico).

Observamos que, cuando ambos interruptores superiores están encendidos, el voltaje de salida es cero. La corriente de salida circula en un lazo a través de T_{A+} y D_{B+} , o D_{A+} y T_{B+} , según el sentido de i_o . Durante este intervalo, la corriente de entrada i_d es cero. Una condición parecida ocurre cuando ambos interruptores inferiores T_{A-} y T_{B-} están encendidos [1] [4].

En este tipo de método PWM, cuando ocurre una conmutación, el voltaje de salida cambia entre los niveles de voltaje cero y $+V_d$, o entre cero y $-V_d$. Este método tiene la ventaja de doblar “efectivamente” la frecuencia de conmutación en cuanto a los armónicos de salida.

2.5 AMPLIFICADOR OPERACIONAL (AO) Y SUS CONFIGURACIONES.

Es uno de los dispositivos electrónicos de mayor uso y versatilidad en aplicaciones lineales. El símbolo del AO es el siguiente:

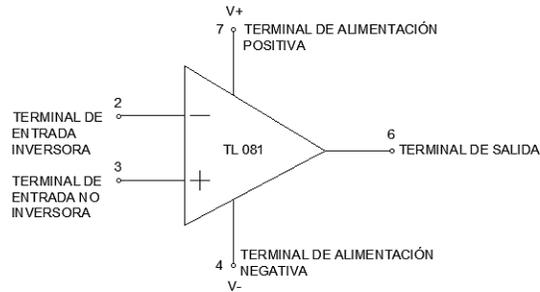


Fig. 2. 22 Símbolo del AO (TL 081) de 8 terminales.

El AO es un circuito integrado, amplificador diferencial, es decir, el voltaje a su salida viene determinado por la ecuación (2.26):

$$V_o = A \cdot (e_1 - e_2) \quad (2.26)$$

Donde e_1 es el voltaje de la entrada no inversora, e_2 es el voltaje de la entrada inversora y A es la ganancia interna del AO.

El AO tiene las siguientes características:

1. Alta ganancia interna o de lazo abierto.
2. Alta impedancia de entrada.
3. Baja impedancia de salida.
4. Amplio ancho de banda.

Algunas de las configuraciones con AO empleadas en este proyecto se explican a continuación [5] [6] [7].

2.5.1 AMPLIFICADOR COMPARADOR DE VOLTAJE.

La función del comparador consiste en cotejar los dos voltajes en sus respectivas entradas e_1 y e_2 (uno de ellos, normalmente fijo y el otro variable), obteniéndose como resultado en el voltaje de salida V_o dos posibles condiciones, correspondientes a los niveles alto (saturación positiva) o bajo (saturación negativa) en la salida del AO [5].

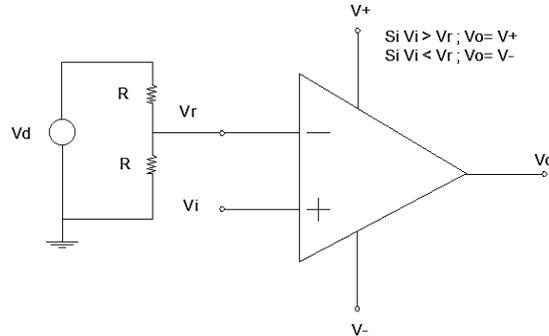


Fig. 2. 23 Comparador de Voltaje.

Como se aprecia en la figura 2.23, si el voltaje V_i (entrada no inversora) es mayor al voltaje V_r (entrada inversora), se tendrá una salida $V_o = V_+$ (voltaje de saturación positiva), debido a la muy alta ganancia A del amplificador. Por el contrario, si el voltaje V_i es menor al voltaje V_r , se tendrá una salida $V_o = V_-$ (voltaje de saturación negativa). A continuación, se muestra un ejemplo en la figura 2.24 en donde $V_r = 0$ y V_i es una onda senoidal; a este comparador se le denomina detector de cruce por cero.

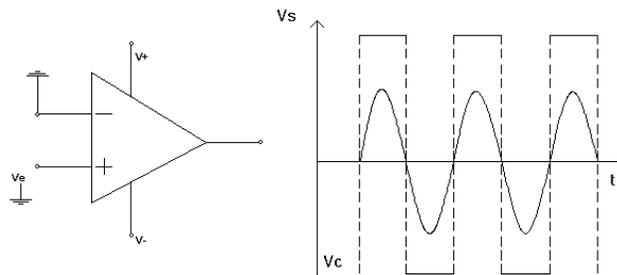


Fig. 2. 24 Detector de cruce por cero.

2.5.2 AMPLIFICADOR SEGUIDOR DE VOLTAJE.

La configuración conocida como seguidor de voltaje se observa en la figura 2.25 y su función es mantener el voltaje tal cual de entrada a la salida. Esto se debe a que en esta configuración la ganancia, es decir, la relación entre el voltaje de salida (V_o) y el voltaje de entrada (V_{in}) es 1, por lo cual, no proporciona ninguna amplificación a la señal de entrada, pero sí se le presenta una alta impedancia de entrada, por lo que la corriente que proporciona V_{in} es casi nula y, por lo tanto, no se afecta el valor del voltaje V_{in} . Por otra parte, en la salida se tiene una baja impedancia, lo cual permite alimentar una carga sin que se altere el voltaje de salida [5].

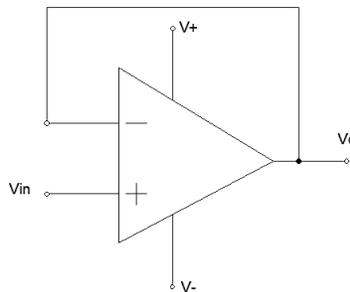


Fig. 2. 25 Seguidor de Voltaje.

2.5.3 AMPLIFICADOR INTEGRADOR INVERSOR.

La configuración de un amplificador operacional como un circuito integrador se observa en la figura 2.26. Éste realiza un proceso de suma llamado ‘integración’. La tensión de salida del circuito integrador es proporcional al área bajo la curva de entrada (onda de entrada), para cualquier instante. La relación entre el voltaje de entrada V_{in} y el voltaje de salida V_o viene dado por la ecuación (2.27) [5].

$$V_o = -\frac{1}{RC} \int_0^t V_{in} \cdot dt \pm V_o(0) \quad (2.27)$$

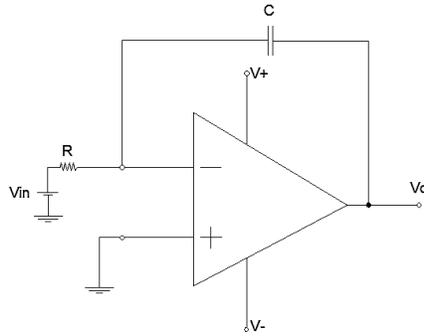


Fig. 2. 26 Amplificador Integrador.

2.5.4 AMPLIFICADOR COMPARADOR CON HISTÉRESIS.

Cuando un AO empleado como comparador de voltajes cambia de un estado de saturación al otro estado de saturación con un valor en la entrada (V_{UT}) y regresa del segundo al primer estado de saturación con otro valor de entrada (V_{LT}), se dice que el comparador exhibe histéresis. La diferencia de voltaje entre V_{UT} y V_{LT} se denomina voltaje de histéresis, V_H . La figura 2.27 muestra la configuración del comparador con histéresis. En este diagrama, V_{UT} tendrá un valor superior a V_{ref} , y V_{LT} tendrá un valor inferior a V_{ref} [6].

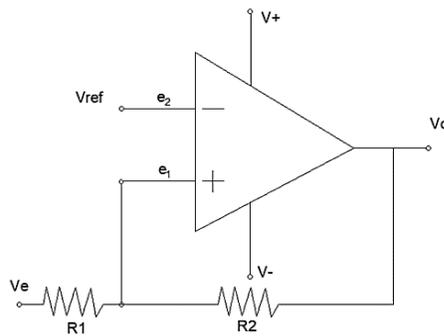


Fig. 2. 27 Comparador con Histéresis.

Analizando el circuito de la figura 2.27, podemos deducir los voltajes en las entradas e_1 (entrada no inversora) y e_2 (entrada inversora) del AO, obteniendo las siguientes ecuaciones (2.28,2.29) por medio del teorema de superposición:

$$e_1 = +V_{ref} \quad (2.28)$$

$$e_2 = V_o \frac{R_1}{R_1 + R_2} + V_e \frac{R_2}{R_1 + R_2} \quad (2.29)$$

De este planteamiento se observa que, cuando el voltaje en la entrada e_1 sea mayor a la entrada e_2 , el voltaje en la salida (V_o) será igual al voltaje de saturación positiva. Cuando el voltaje en la entrada e_1 sea menor a la entrada e_2 , el voltaje en la salida será igual al voltaje de saturación negativa. Esto se puede expresar de la siguiente manera:

$$V_o \frac{R_1}{R_1 + R_2} + V_e \frac{R_2}{R_1 + R_2} > V_{ref} \text{ entonces } V_o = +V_{SAT} \quad (2.30)$$

$$V_o \frac{R_1}{R_1 + R_2} + V_e \frac{R_2}{R_1 + R_2} < V_{ref} \text{ entonces } V_o = -V_{SAT} \quad (2.31)$$

Para el caso del presente proyecto, V_{ref} será aproximadamente cero, por lo que el momento de la transición del voltaje de salida (V_o) estará definido por la ecuación (2.32):

$$V_o \frac{R_1}{R_1 + R_2} + V_e \frac{R_2}{R_1 + R_2} = 0 \quad (2.32)$$

De dónde, se obtiene que el voltaje que se debe aplicar en la entrada (V_e) estará determinado por la ecuación (2.33):

$$V_e = -\frac{R_1}{R_2} V_o \quad (2.33)$$

2.5.5 AMPLIFICADOR OPERACIONAL LOGARÍTMICO.

En la figura 2.28 se visualiza un AO en configuración tipo logarítmico, compuesto de los componentes siguientes; un diodo en el lazo de realimentación que sirve para ilustrar las limitaciones que conducen a diseños de circuitos más sofisticados, y también una resistencia en la entrada inversora. El circuito opera idealmente para entradas positivas.

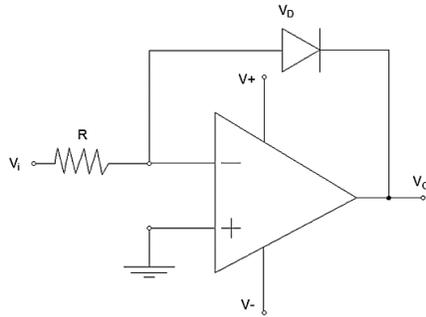


Fig. 2. 28 Circuito del amplificador operacional logarítmico.

Partiendo de la ecuación del diodo y suponiendo infinita la impedancia de entrada al amplificador se deduce la siguiente ecuación (2.32):

$$I_D = I_0 \left(e^{\frac{v_D}{n v_T}} - 1 \right) = I_0 \frac{v_D}{\ln v_T}; \quad I_i = I_D \quad (2.32)$$

Ahora bien, suponiendo que las corrientes de entrada (I_i) y por el diodo (I_D), éstas serían iguales, por lo tanto, el voltaje de conducción del diodo (V_D) será igual al voltaje de salida (V_0) cambiada de signo:

$$I_i = \frac{v_i}{R} = I_D = I_0 \frac{v_D}{\ln v_T} \quad V_0 = -V_D; \quad (2.33)$$

Por lo que, obtenemos que el voltaje de salida (V_0) dependerá de manera logarítmica a la entrada y sus parámetros, que dependen a su vez de la temperatura [6], tal y como se observa en la ecuación (2.34):

$$\frac{v_i}{R} = I_0 e^{\frac{-V_0}{n V_T}} \rightarrow V_0 = -n V_T \ln \left(\frac{v_i}{I_0 R} \right); \rightarrow V_0 = f(T) \quad (2.34)$$

En base al análisis de la figura 2.28, cuando el voltaje de salida del amplificador (V_o) es directamente proporcional al logaritmo natural del voltaje de entrada (V_i), se le conoce como amplificador logarítmico. Esto quiere decir que, el logaritmo natural del voltaje de entrada se multiplica por un valor constante provocando en la salida un voltaje directamente proporcional [6].

Descripción General.

En este apartado se detalla el análisis y desarrollo de la metodología aplicada al proyecto, para el diseño del circuito de control que nos ayudará a responder parcialmente la pregunta de investigación y la hipótesis descritas para este proyecto.

3.1 ETAPAS DE DISEÑO.

De los distintos métodos de control discutidos en el capítulo dos, el empleado en este proyecto será el denominado control PWM síncrono unipolar, que, aunque sea más complejo, se prefiere por sus ventajas ya mencionadas, como son: armónicas de menor tamaño y mayor frecuencia, y, sobre todo, la ausencia de subarmónicas en la carga. Lo que evita el sobrecalentamiento del motor.

En base a lo anterior, el circuito a diseñar se divide en 5 etapas en total, de las cuales las primeras 4 involucra el circuito de control y la última etapa involucra el circuito de potencia, facilitando así el desarrollo de cada sección que le integra. La figura 3.1 muestra el diagrama a bloques de las etapas contempladas en este proyecto.

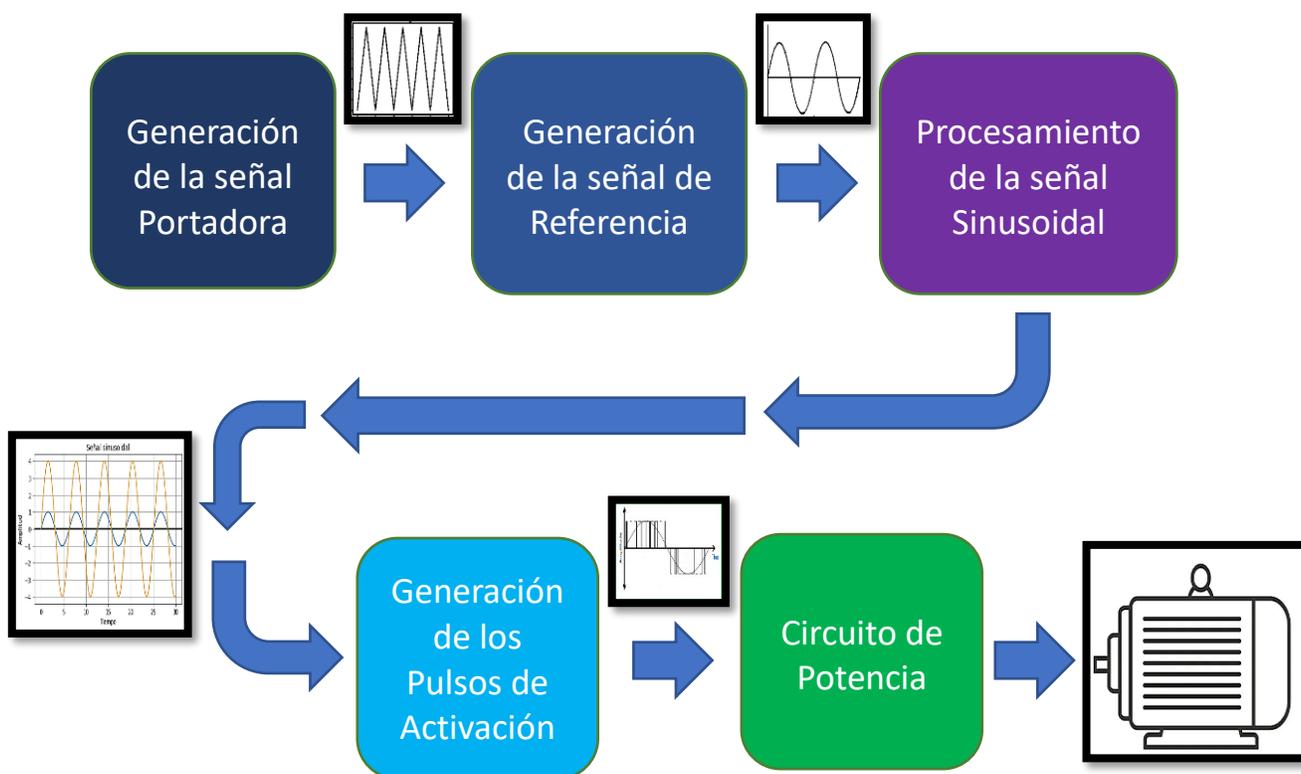


Fig. 3. 1 Diagrama a bloques de las etapas del circuito.

Como se observa de la figura 3.1 las etapas del diseño del circuito son las siguientes:

- Etapa 1. Generación de la Señal Portadora.
- Etapa 2. Generación de la Señal de Referencia.
- Etapa 3. Procesamiento de la Señal Sinusoidal.
- Etapa 4. Generación de los Pulsos de Activación.
- Etapa 5. Circuito de Potencia.

A continuación, se procede a explicar qué función desempeña cada una de las etapas desarrolladas en este proyecto.

3.2 ETAPA 1. GENERACIÓN DE LA SEÑAL PORTADORA.

Como ya se vio en el capítulo dos, para el método de control PWM se requiere una onda triangular de una frecuencia varias veces superior a la frecuencia fundamental que se desea obtener en la carga conectada al inversor. Esta onda triangular es a la que se le llama señal portadora y debe ser de amplitud constante, pero de frecuencia ajustable por el usuario, y sus valores de voltaje deberán recorrer desde un determinado valor negativo hasta un valor igual pero positivo.

Por ello, esta etapa tendrá como propósito el diseño de un circuito electrónico capaz de generar la onda triangular con las características ya mencionadas. Su circuito electrónico correspondiente se discutirá en el capítulo cuatro.

3.3 ETAPA 2. GENERACIÓN DE LA SEÑAL DE REFERENCIA.

Esta segunda etapa, tendrá como propósito el diseño de un circuito que sea capaz de generar una onda sinusoidal de frecuencia variable (40 Hz a 60 Hz) que sea submúltiplo entero exacto de la frecuencia de la onda triangular. De tal manera que, al ajustar el usuario la frecuencia de la onda triangular, también cambia la frecuencia de la onda sinusoidal conservando constante la relación entre ambas frecuencias.

Cumpliendo así, la deseada sincronización para evitar la existencia de subarmónicas en la salida del inversor. Esta señal sinusoidal es a la que se llama señal de referencia, y es la que se reflejaría en promedio en la carga, aunque por su puesto, amplificada en voltaje y potencia. Su circuito electrónico correspondiente se discutirá en el capítulo cinco.

3.4 ETAPA 3. PROCESAMIENTO DE LA SEÑAL SINUSOIDAL.

La onda sinusoidal (señal de referencia) obtenida en la etapa 2 del proyecto, presenta un gran inconveniente que debe corregirse. Esta señal, al momento de que el usuario ajuste la frecuencia, la amplitud de la onda sinusoidal presenta una relación lineal inversamente proporcional, lo cual no es deseado. En otras palabras; al momento de aumentar la frecuencia (para aumentar la velocidad del motor) la amplitud de la onda sinusoidal decrece, lo que provocaría una disminución del voltaje en el motor y, al momento de bajar la frecuencia (para disminuir la velocidad del motor) la amplitud de la señal sinusoidal aumenta, lo que ocasionaría que el motor reciba un mayor voltaje.

Como se mencionó en el capítulo 2, en el método de control de velocidad de los motores a través de la frecuencia, el voltaje en las terminales aplicado al estator debe disminuir linealmente con el decremento de la frecuencia del estator, entendiéndose así que la relación entre voltaje-frecuencia debe mantenerse constante. Por ello, el propósito de esta tercera etapa, es el diseño de un circuito electrónico que sea capaz de corregir la amplitud de la onda sinusoidal, que esta sea directamente proporcional a la frecuencia ajustada por el usuario, es decir, que la amplitud aumente al aumentar la frecuencia, o también se puede decir que la amplitud disminuya al disminuir la frecuencia. Los detalles de este circuito electrónico se discutirán en el capítulo seis.

3.5 ETAPA 4. GENERACIÓN DE LOS PULSOS DE ACTIVACIÓN.

Esta cuarta etapa del proyecto, tendrá como propósito el diseño de un circuito electrónico capaz de generar los pulsos de activación de los IGBT's del circuito inversor tipo puente. Por ello, habiendo obtenido de las etapas anteriores las ondas triangular y sinusoidal, este circuito hará la comparación de ambas señales para generar la modulación en ancho de pulso (PWM). Con este circuito se obtienen las 4

señales de control correspondientes a cada una de las compuertas de los transistores, planteadas en el primer capítulo. La explicación de este circuito electrónico se verá en el capítulo siete.

3.6 ETAPA 5. CIRCUITO DE POTENCIA.

Esta última etapa tiene como objetivo implementar el circuito inversor tipo puente completo monofásico, mencionado en el capítulo dos, en donde se realizarán las pruebas y diagnósticos de la operación y funcionamiento del circuito de control propuesto en este proyecto. Habiendo generado los pulsos de activación de la etapa anterior, estas señales activarán las compuertas (G) de los IGBT permitiendo el paso de la corriente en el circuito inversor y, de esta manera proporcionar al motor un conjunto de pulsos cuyo valor promedio es una onda senoidal. Cabe recordar que, como parte de la configuración empleada, se incluye en esta etapa una fuente de voltaje de CD para alimentar al circuito de potencia. Los detalles de este circuito electrónico se discutirán en el capítulo ocho.

Etapa I. Generación de la Señal Portadora.

En este apartado se detalla la fase del diseño y construcción del circuito electrónico que genera la señal portadora requerida en el método de control PWM síncrono unipolar. Esta señal deberá cumplir con algunas especificaciones requeridas para este proyecto, las cuales se mencionarán a continuación. Se utilizarán algunos componentes electrónicos y circuitos integrados como, por ejemplo, el amplificador operacional TL081.

4.1 EXPOSICIÓN DEL PROBLEMA.

Como se analizó en el capítulo 3, la primera etapa tiene como objetivo el diseño de un circuito electrónico capaz de generar la señal portadora que, en este caso, será una onda triangular debido a que el método de control PWM síncrono unipolar así lo requiere. Esta onda triangular debe ser de valor pico constante y que su frecuencia, además de ser ajustable por el usuario, sea varias veces superior a la de la señal de referencia. Sabiendo que la frecuencia de la señal de referencia es 60 Hz, se ha escogido, por facilidad del diseño, como se comprenderá más adelante, que el múltiplo exacto para la frecuencia de la onda triangular sea 16, es decir, 960 Hz.

El principal componente que se emplea en este proyecto es el amplificador operacional (tipo TL081) en donde sus configuraciones fueron descritas en el capítulo 2. Con este componente electrónico (y sus configuraciones) se implementará el circuito electrónico requerido en esta etapa.

4.2 METODOLOGÍA DE DISEÑO DEL CIRCUITO ELECTRÓNICO.

En la figura 4.1 se presenta el diseño del circuito electrónico que genera la señal triangular con características ya mencionadas anteriormente. Este diseño emplea dos tipos de configuraciones del amplificador operacional aunado de otros componentes electrónicos.

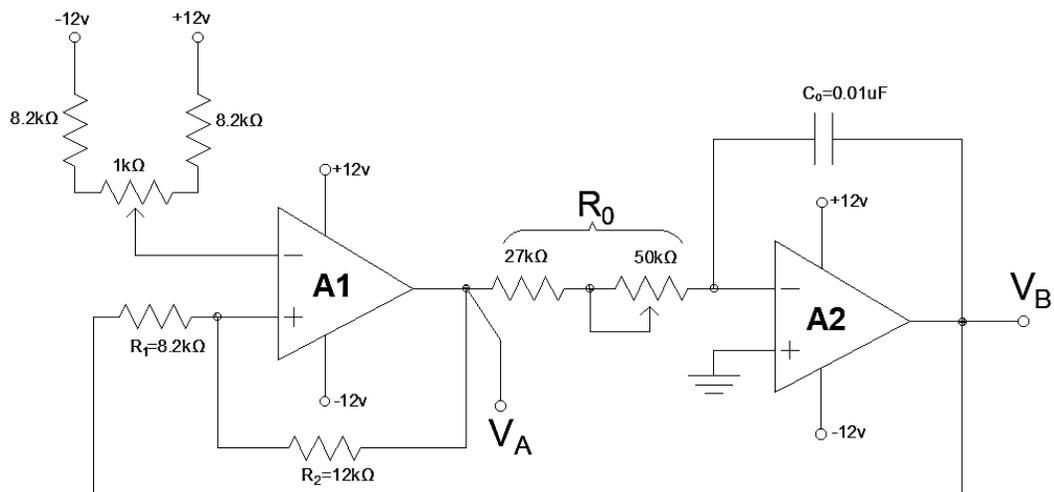


Fig. 4. 1 Circuito generador de la onda triangular.

En el circuito electrónico de la figura 4.1 se observan dos amplificadores operacionales (A1 y A2) y sus respectivas configuraciones: A1 es un amplificador operacional configurado como comparador con histéresis mientras que A2 es un amplificador operacional configurado como integrador inversor. En el caso particular de A1, a través de la configuración empleada, se obtienen en la salida V_A los pulsos de saturación (+12v y -12v) que serán necesarios para el integrador inversor.

El funcionamiento del circuito es como sigue: Suponiendo que inicialmente el voltaje de salida de A1 (V_A) sea $-V_{sat}$ (aproximadamente -12V), el integrador inversor A2 generará a su salida (V_B) una onda rampa con pendiente positiva, la cual se aplica a la entrada del comparador con histéresis A1. Cuando el voltaje de la onda rampa alcance el valor de $(R1/R2) \times V_{sat}$, el cual con los valores propuestos se obtuvo un voltaje de 7 volts aproximadamente, el voltaje a la salida del comparador A1 cambiará a saturación positiva. Este último voltaje es aplicado a la entrada del integrador A2 y generará ahora una rampa con pendiente negativa a partir de un voltaje inicial de 7 volts. Cuando ahora el voltaje de la onda rampa llegue a ser aproximadamente -7 volts, el comparador A1 regresará a saturación negativa y se repetirá nuevamente lo ya descrito obteniéndose a la salida V_B una onda triangular, y en la salida V_A una onda rectangular de igual frecuencia que la triangular y sincronizada con ésta.

Cabe mencionar que, debido a que el amplificador operacional no se satura en valor absoluto a voltajes iguales, a la entrada inversora A1 se le realizó un arreglo de resistencias (un divisor de voltaje ajustable) para inyectarle un pequeño voltaje y, de esta forma, la onda triangular sea simétrica con respecto a tierra.

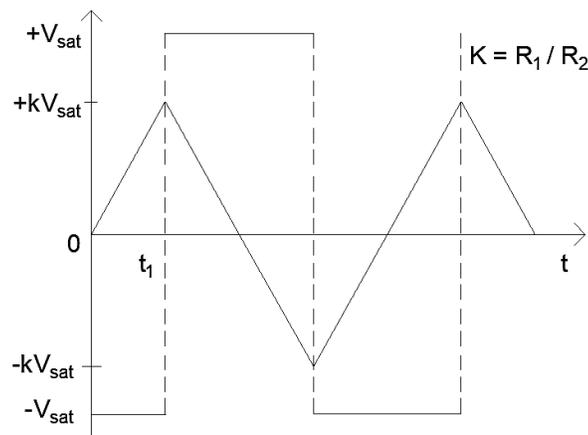


Fig. 4. 2 Análisis del comportamiento de la señal.

Ahora bien, para el cálculo de la frecuencia se parte de la ecuación 2.27 mencionada en el capítulo 2, que es la del Amplificador Integrador Inversor. La figura 4.2 muestra el análisis del comportamiento de la señal del amplificador integrador inversor ante los pulsos de saturación del amplificador comparador, por lo cual se determina el siguiente análisis matemático:

$$-\frac{1}{R_0 C_0} \int_0^{t_1} (-V_{sat}) dt = \frac{R_1}{R_2} V_{sat} \quad (4.1)$$

$$\frac{V_{sat}}{R_0 C_0} t_1 = \frac{R_1}{R_2} V_{sat} \quad (4.2)$$

$$t_1 = \frac{R_1 R_0 C_0}{R_2} \quad T = 4t_1 \quad (4.3)$$

$$T = \frac{4R_1 R_0 C_0}{R_2} \quad (4.4)$$

$$F = \frac{R_2}{4R_1 R_0 C_0} \quad (4.5)$$

Ahora bien, considerando que la frecuencia es de 960 Hz, entonces de la ecuación 4.5 se despeja la resistencia R_0 , obteniendo su valor en $k\Omega$:

$$R_0 = \frac{R_2}{4R_1 C_0 F} = \frac{12k\Omega}{4 * 8.2k\Omega * 0.01\mu F * 960Hz} = 38.10 k\Omega \quad (4.6)$$

Como se observa en la figura 4.1, R_0 es un conjunto de resistencias (una de ellas fija de 27 $k\Omega$ y la otra variable de 50 $k\Omega$), con esto, se pretende que el usuario pueda manipular la frecuencia de la onda triangular manteniendo su amplitud constante y en donde sus valores de voltaje van recorriendo desde un determinado valor negativo (-7v) hasta un valor igual pero positivo (+7v).

4.3 SIMULACIÓN DEL CIRCUITO GENERADOR DE LA ONDA TRIANGULAR.

A continuación, se presenta el diseño del circuito electrónico en cuestión simulado a través del software LTspice, para corroborar que el diseño planteado de la figura 4.1 funciona con los parámetros deseados. La figura 4.3 muestra el diagrama del circuito simulado.

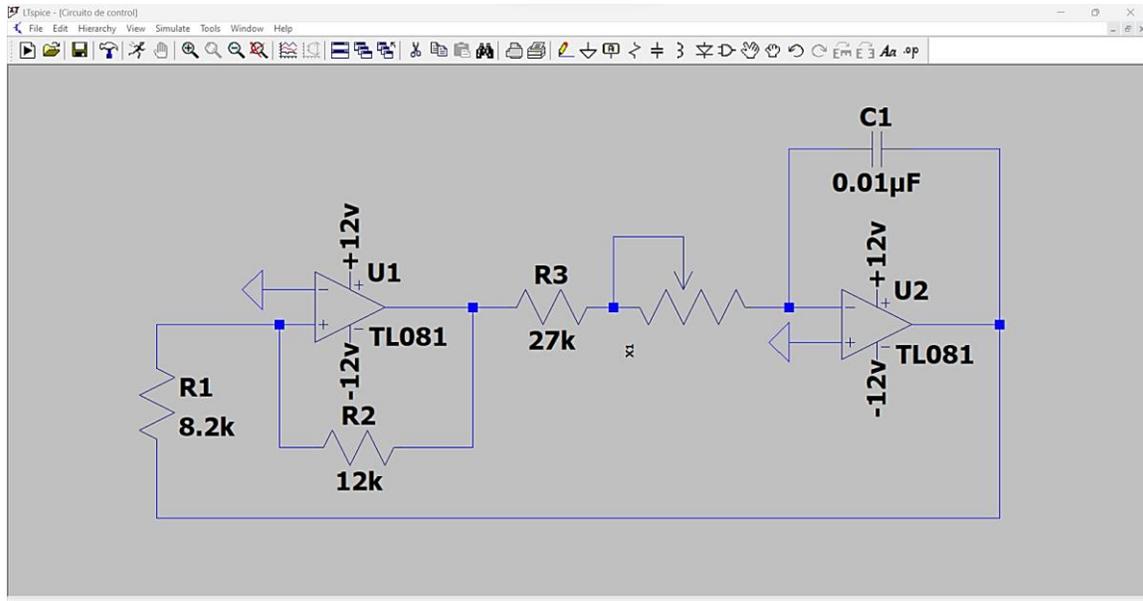


Fig. 4. 3 Simulación del circuito generador de la onda triangular en LTspice.

La figura 4.4 muestra la onda triangular resultante del circuito simulado anteriormente, en donde el periodo obtenido es de 1.041 ms y una amplitud aproximadamente de 7v pico a pico.

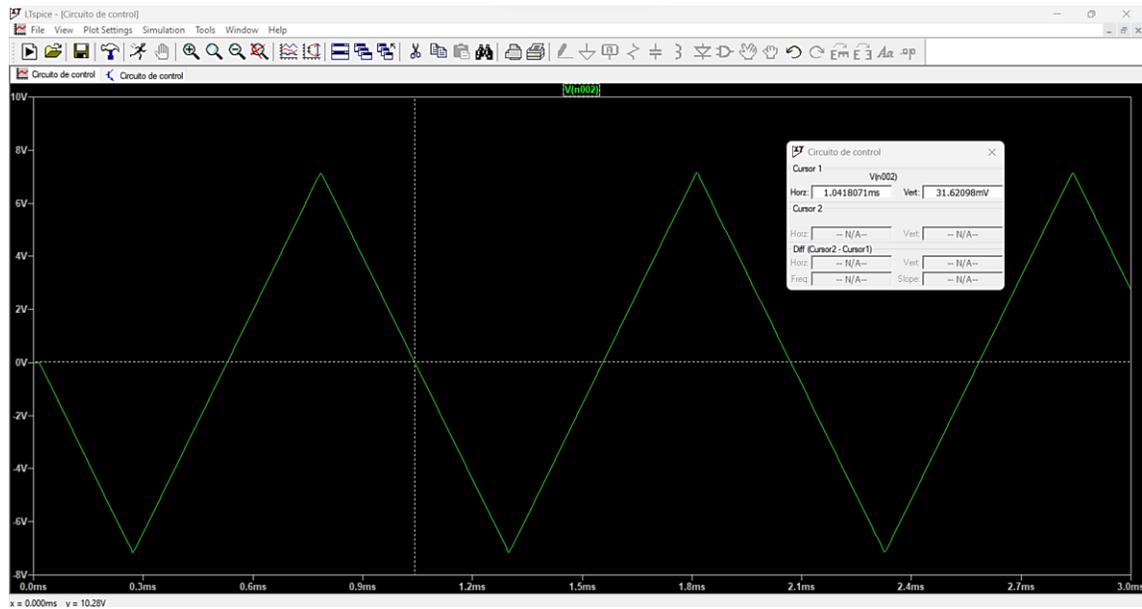


Fig. 4. 4 Onda triangular de 960Hz simulada en LTspice.

4.4 IMPLEMENTACIÓN DEL CIRCUITO.

La figura 4.5 muestra la fotografía del circuito electrónico diseñado en esta primera etapa el cual proporciona la onda triangular deseada para este proyecto.

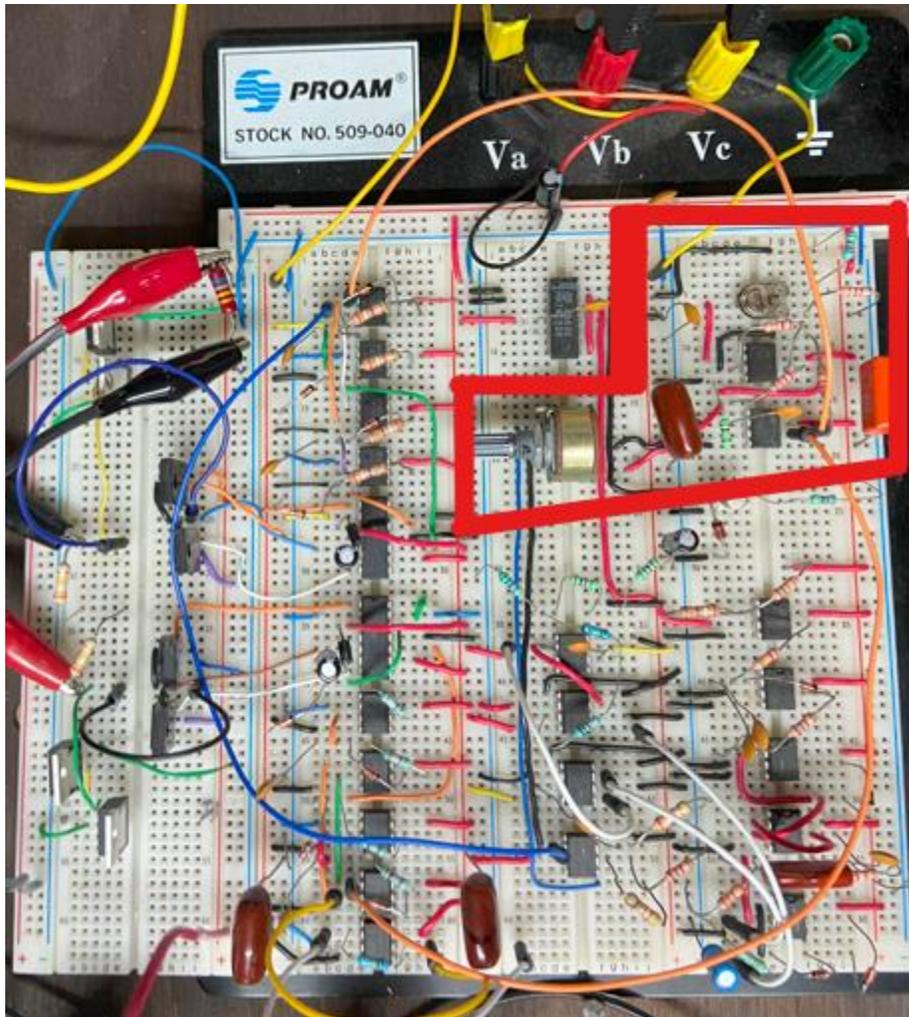


Fig. 4. 5 Circuito Generador de la onda triangular.

La figura 4.6 muestra la imagen de la onda triangular observada en el osciloscopio OWON SDS1022, tomada de una salida USB que viene integrada en el osciloscopio.

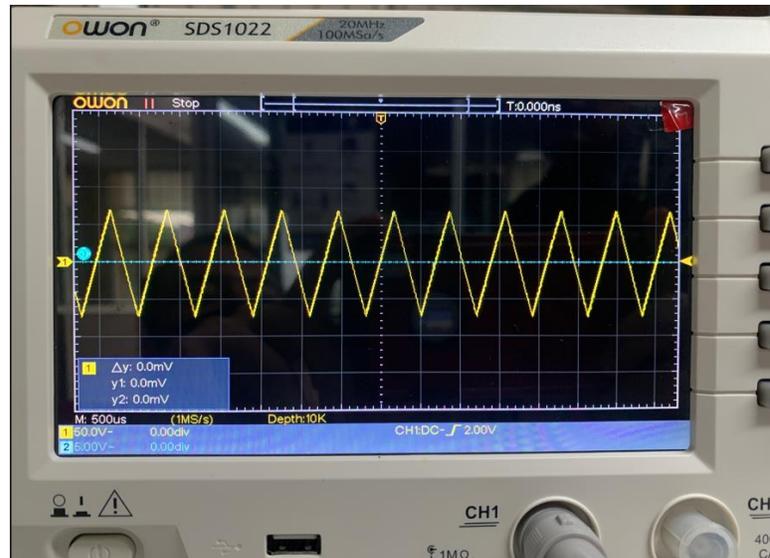


Fig. 4. 6 Onda triangular de 960 Hz.

Etapa 2. Generación de la Señal de Referencia.

En este apartado se detalla la fase del diseño y construcción del circuito electrónico que genera la señal de referencia requerida en el método de control PWM síncrono unipolar. Esta señal deberá tener características específicas que se mencionaran en el capítulo. Se utilizarán componentes electrónicos y circuitos integrados para esta etapa como, por ejemplo, el circuito integrado 74C93 y el amplificador operacional TL081.

5.1 EXPOSICIÓN DEL PROBLEMA.

En base a lo planteado en el capítulo 3, esta segunda etapa tiene como objetivo el diseño de un circuito electrónico capaz de generar la señal de referencia de la frecuencia fundamental deseada en la carga que, en este caso, será una onda sinusoidal debido a que el método de control PWM síncrono unipolar así lo requiere. Esta onda sinusoidal debe ser de valor pico menor que la de la onda triangular, además de que su frecuencia debe ser ajustable por el usuario. El rango de ajuste de la frecuencia fundamental de salida debe ser entre los valores de 40 Hz a 60 Hz, pero manteniendo constante la sincronía con la frecuencia de la onda triangular. Esta señal se verá reflejada en promedio en la carga, pero amplificada en voltaje y potencia, y el poder variar su frecuencia permite controlar la velocidad del motor.

De nueva cuenta, se hará uso del amplificador operacional (tipo TL081) en donde sus configuraciones fueron descritas en el capítulo 2. También se hará uso del circuito digital 74C93. Con estos componentes electrónicos (y sus configuraciones) se implementará el circuito electrónico requerido en esta etapa.

5.2 METODOLOGÍA DEL DISEÑO DEL CIRCUITO ELECTRÓNICO.

En la figura 5.1 se presenta la primera parte del circuito electrónico que genera la señal sinusoidal, que es un circuito divisor de frecuencia.

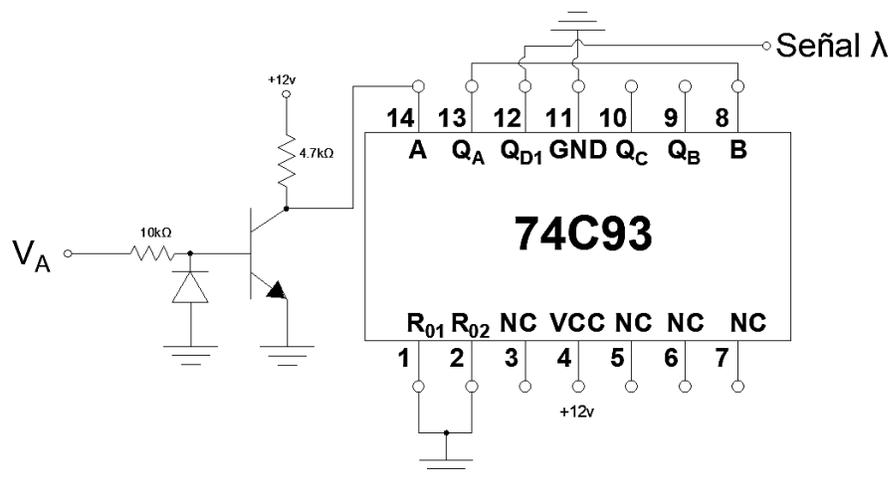


Fig. 5. 1 Circuito divisor de frecuencia.

Este circuito electrónico tiene como objetivo reducir la frecuencia calculada en la etapa 1 para obtener la frecuencia fundamental de salida deseada. Para ello se utiliza el circuito digital 74C93 que es un contador binario de 4 bits, en donde una de sus configuraciones de este componente, permite dividir la frecuencia hasta 16 veces su valor de entrada de manera constante, según se menciona en la hoja de datos. Del circuito de la Etapa 1 (figura 4.1) se toma la señal de salida V_A del amplificador comparador que es una señal rectangular con pulsos de $\pm 12v$ con los rangos de valores de frecuencia calculados en esa etapa.

Ahora bien, no es posible aplicar directamente la señal proveniente de V_A en la entrada del circuito digital 74C93 ya que este solo acepta valores de entrada lógicos (0v y +12v). Por lo cual, en la figura 5.1, se observa un arreglo conformado por un transistor en donde a la salida del colector se obtiene una señal cuadrada donde sus pulsos son aproximadamente de 0v a +12v que, posteriormente, le llegan al circuito digital, sin afectar los valores de frecuencia. De esta forma, al aplicársele la señal con una frecuencia de 960 Hz en la entrada A (pin 14) del circuito digital 74C93, se obtendrá a la salida Q_{D1} (pin 12) la misma señal cuadrada, pero reducida en frecuencia 16 veces, es decir, 60 Hz (Señal denominada como λ). Al momento de que el usuario ajuste la frecuencia de la onda triangular, la frecuencia de la señal de referencia λ se ajustará de manera proporcional conservando constante la relación entre ambas frecuencias.

La señal cuadrada obtenida a la salida del circuito digital 74C93 (señal λ) debe tratarse para convertirla en una señal sinusoidal. La segunda parte del circuito electrónico diseñado en esta etapa cumple el propósito de realizar la conversión. La figura 5.2 muestra el diagrama del circuito en cuestión.

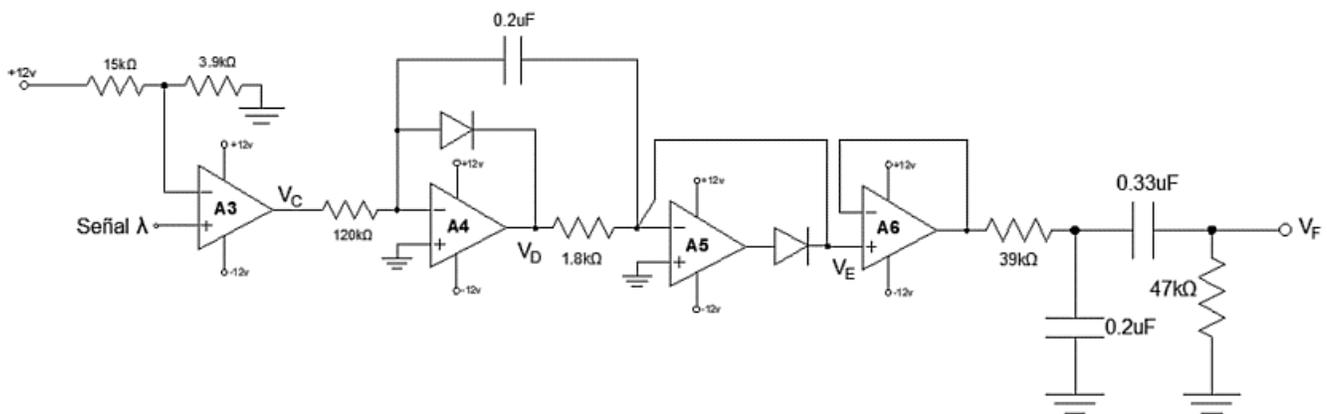


Fig. 5. 2 Circuito convertidor a señal senoidal.

En la figura 5.2 se observan un arreglo con amplificadores operacionales en distintas configuraciones. A3 recibe en la entrada no inversora la señal λ del circuito divisor de frecuencia mientras que la entrada inversora recibe un voltaje fijo de 2.5v generado a través de un divisor de voltaje. Esta configuración permite modificar los valores lógicos (0v y 12v) de la señal λ en valores de $\pm 12v$ en la salida V_C , pero conservando su valor de frecuencia.

A4 está configurado como un integrador inversor, por lo que este recibe en su entrada la señal V_C de A3 por lo cual, en su salida se genera una rampa con pendiente positiva cuando el voltaje V_C es negativo (-12v), y una rampa con pendiente negativa cuando el voltaje V_C es positivo (+12v). Esto resultaría en una onda triangular centrada en 0v, que en principio estaría muy bien, pero dado que no son perfectamente simétricos los voltajes de saturación de A3, la onda triangular se iría desplazando hacia abajo o hacia arriba hasta saturarse. Pero con la acción conjunta de A5 conectado como limitador de voltaje, se impide que la onda triangular tome valores de voltaje negativos, resultando en la salida V_E una onda triangular estable con valor mínimo de 0v.

Por último, A6 está configurado como seguidor de voltaje en dónde la salida de este AO llega a un filtro RC que convierte la onda triangular en aproximadamente sinusoidal. Inmediatamente esta misma señal ingresa a un filtro CR el cual elimina el componente en CD, obteniendo a la salida V_F una onda sinusoidal simétrica con respecto a 0v. Esta es la onda sinusoidal que se pretende utilizar como señal de referencia de la frecuencia fundamental deseada en la carga.

5.3 SIMULACIÓN DEL CIRCUITO GENERADOR DE LA SEÑAL DE REFERENCIA.

A continuación, se presenta el diseño del circuito electrónico equivalente simulado a través del software LTspice, para corroborar que el diseño planteado de las figuras 5.1 y 5.2 funciona con los parámetros deseados. La figura 5.3 muestra el diagrama del circuito simulado.

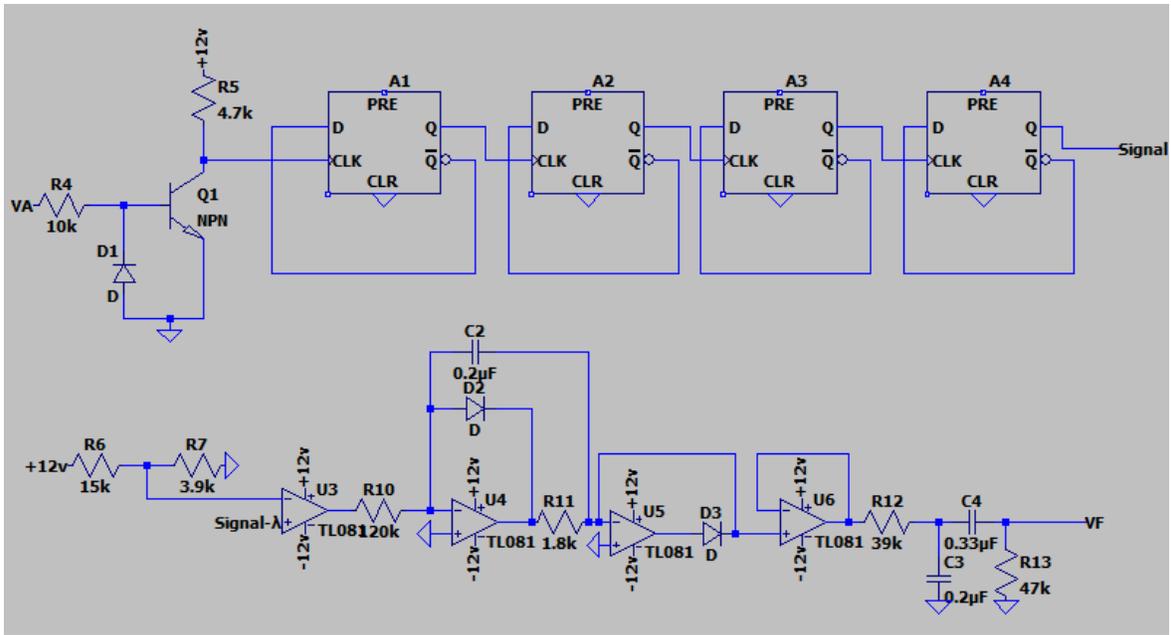


Fig. 5. 3 Circuito equivalente diseñado en esta etapa en LTspice.

La figura 5.4 muestra la señal de salida VF la cual se observa la onda sinusoidal resultante simulada en LTspice.

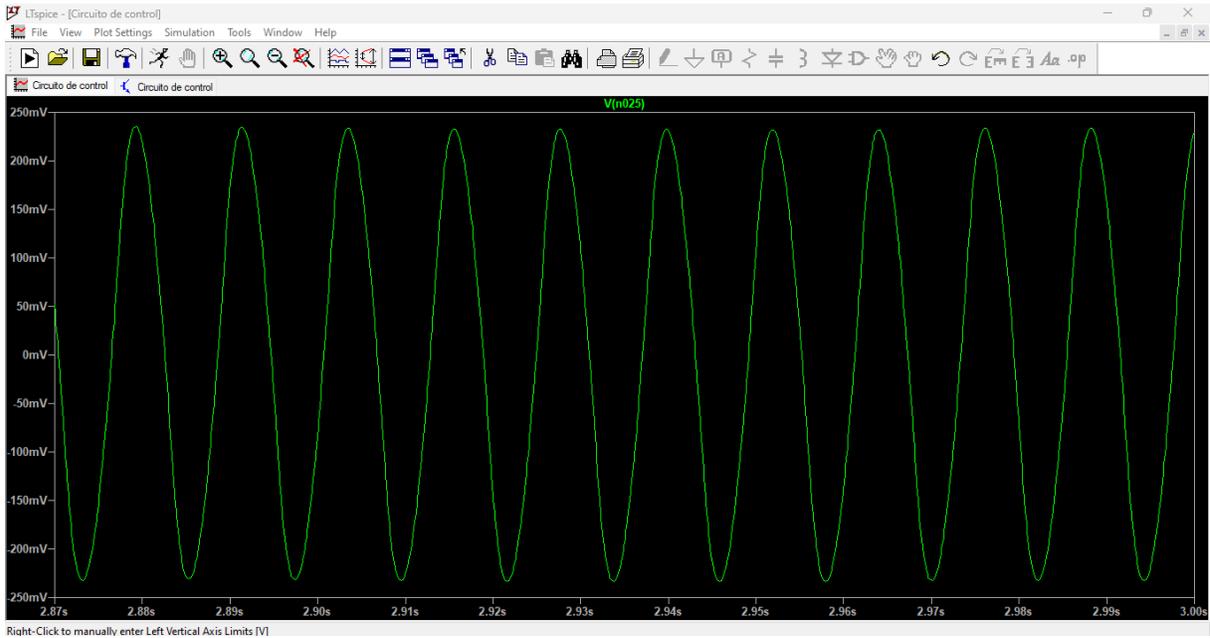


Fig. 5. 4 Señal Sinusoidal obtenida en esta etapa, simulada en LTspice.

5.4 IMPLEMENTACIÓN DEL CIRCUITO.

La figura 5.5 muestra la fotografía del circuito electrónico diseñado en donde los márgenes recalcan la parte de esta etapa diseñada en cuestión, el cual proporciona la onda sinusoidal.

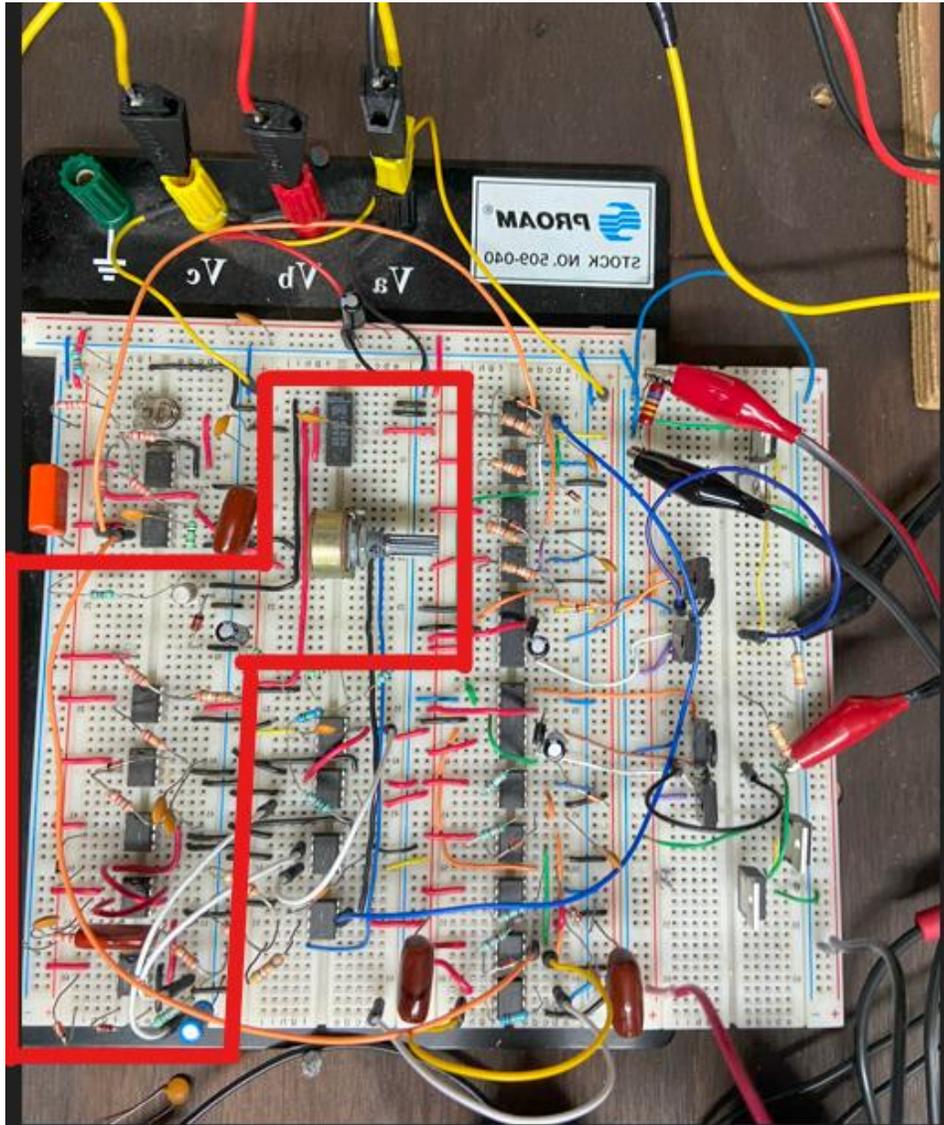


Fig. 5. 5 Circuito generador de la onda sinusoidal.

La figura 5.6 muestra las señales V_A (Salida del AO comparador) y λ (Salida Q_{DI} del integrado 74C93) tomados desde el osciloscopio digital OWON, en donde se observa el funcionamiento del circuito divisor de frecuencia.

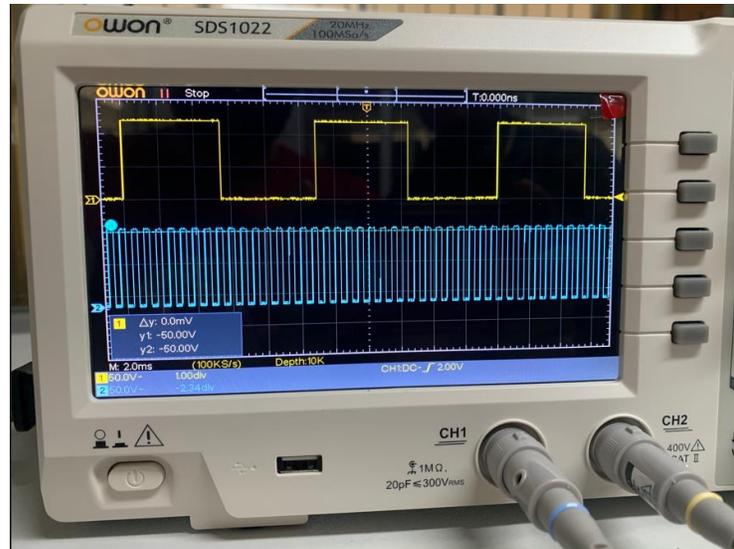


Fig. 5. 6 Señal λ del circuito divisor de frecuencia.

La figura 5.7 muestra la comparación de la señal de salida λ con la señal obtenida en V_F con una frecuencia de 60 Hz.

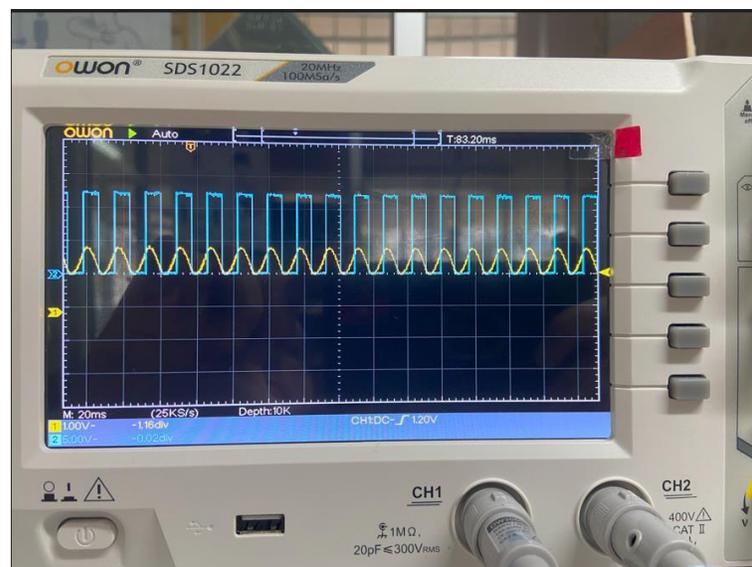


Fig. 5. 7 Señal Sinusoidal a 60 Hz.

La figura 5.8 muestra la comparación de la señal de salida λ con la señal obtenida en V_F con una frecuencia de 40 Hz.

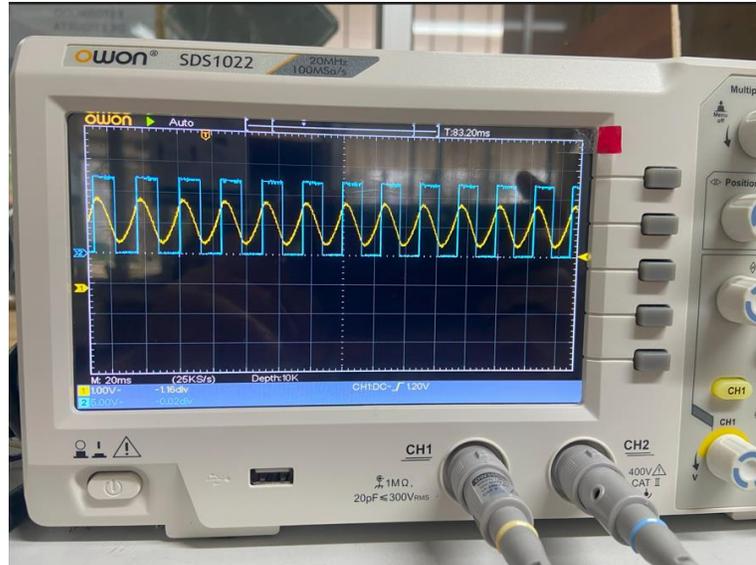


Fig. 5. 8 Señal Sinusoidal a 40 Hz.

Ahora bien, al momento de hacer las pruebas en el circuito, se observó que la señal sinusoidal resultante no es la deseada, debido a que la amplitud de la onda es inversamente proporcional a la frecuencia. Esto no es deseable ya que, al disminuir la frecuencia, la impedancia que presenta el motor disminuye y si además el voltaje aumenta, la corriente en el motor alcanzaría un valor grande que lo sobrecalentaría o incluso lo dañaría. Para evitar esto, el voltaje debe disminuir al disminuir la frecuencia y aumentar al aumentar la frecuencia, es decir, debe haber una relación directamente proporcional entre el voltaje y la frecuencia. Conseguir esto, será el propósito de la siguiente etapa.

Etapa 3. Procesamiento de la Señal Sinusoidal.

En este apartado se detalla la fase de diseño y construcción del circuito electrónico que modifica la señal sinusoidal obtenida en la etapa 2, de tal forma que esta señal tenga las propiedades deseadas en este proyecto. Para lograr esto, se hará uso de distintos componentes y circuitos integrados electrónicos, como por ejemplo los amplificadores operacionales TL081 y el multiplicador analógico AD633JN.

6.1 EXPOSICIÓN DEL PROBLEMA.

Como se comentó en el capítulo 3, y además de los resultados obtenidos en la etapa anterior, se requiere de un circuito electrónico capaz de corregir la amplitud de la onda sinusoidal al momento de que el usuario ajuste la frecuencia para que, de esta forma, la relación voltaje-frecuencia sea constante evitando un sobrecalentamiento del motor. Además, los valores de voltaje pico a pico de la sinusoidal resultante de la etapa anterior son pequeños, por lo cual, este circuito electrónico debe amplificar esta señal cuidando de no exceder el valor de voltaje pico a pico de la onda triangular de la etapa 1. Con esto, la señal sinusoidal resultante en esta etapa será deseable para utilizarla como la señal de referencia de la frecuencia fundamental en la carga.

Para el diseño de este circuito se ha utilizado el circuito integrado AD633JN, el cual, algunas de sus configuraciones permiten resolver lo planteado anteriormente. También se hará uso del Amplificador Operacional (TL081) y sus configuraciones.

6.2 METODOLOGÍA DEL DISEÑO DEL CIRCUITO ELECTRÓNICO

Como se mencionó anteriormente, se utilizará el circuito integrado AD633JN, por lo cual es necesario destacar algunos puntos importantes dentro de la hoja de datos del fabricante que serán aplicados al diseño del circuito electrónico en cuestión. En general, este integrado es un multiplicador analógico de 4 cuadrantes, cada entrada (X, Y) forman parte de un amplificador operacional diferencial, tiene una baja impedancia en su voltaje de salida y una velocidad de respuesta de 20 v/us.

La figura 6.1 muestra el diagrama interno del integrado AD633JN utilizado en este proyecto: ambas entradas (X, Y) van directamente a los primeros dos amplificadores operacionales que están configurados como diferenciales y sus respectivas salidas se multiplican entre sí, dividiendo el resultado entre 10 para prevenir la saturación. El resultante de este multiplicador va directamente a un sumador en donde se le adhiere la señal proveniente de la entrada Z (en este proyecto, Z irá conectada a tierra, es decir, $Z=0$). El resultado de esa adición se aplica a la entrada de un amplificador operacional conectado como seguidor de voltaje. La salida de este seguidor de voltaje, es la salida del circuito (denominada W por el fabricante).

Este integrado permite obtener a su salida la siguiente expresión:

$$W = \frac{(X_1 - X_2)(Y_1 - Y_2)}{10V} + Z \tag{6.1}$$

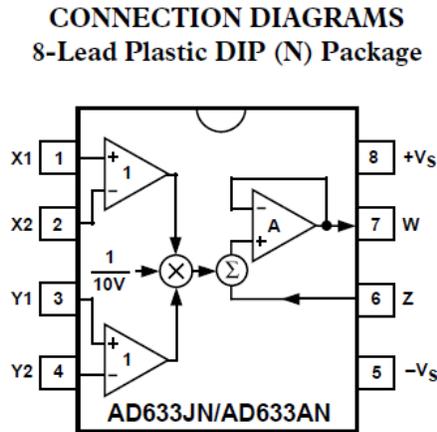


Fig. 6. 1 AD633JN. Diagrama interno de conexión.

La figura 6.2 muestra a A7, que es un amplificador operacional configurado como rectificador el cual recibe en la entrada no inversora la señal V_F proveniente de la etapa anterior. Al tener un condensador a su salida se obtiene en la salida V_G un voltaje en CD igual al valor pico de la onda sinusoidal V_F . Este voltaje es indispensable ya que se utiliza en la siguiente parte del diseño del circuito. La resistencia en paralelo con el condensador permite que se descargue a un valor pico menor, cuando la amplitud de la onda sinusoidal V_F disminuya.

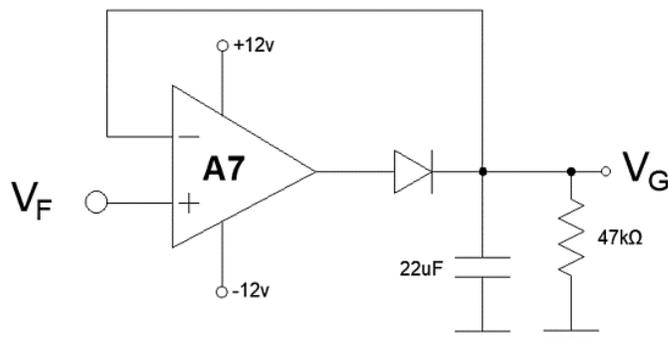


Fig. 6. 2 Señal V_G . Voltaje en CD

La figura 6.3 muestra el diseño del circuito electrónico que procesa la señal sinusoidal resultante de la etapa anterior en donde a la salida V_I se obtiene la onda sinusoidal deseable.

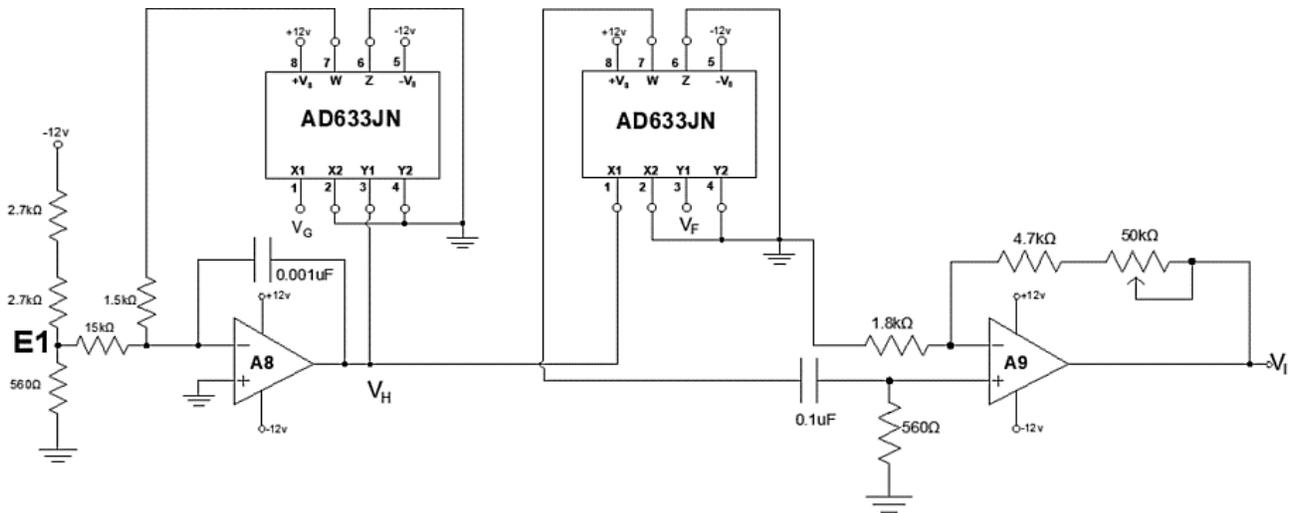


Fig. 6. 3 Diagrama del circuito que procesa la señal sinusoidal.

En la figura 6.3 se observan 2 circuitos integrados AD633JN, el cual cada uno tiene un propósito dentro del diseño del circuito. El primero (lado izquierdo) está conectado de tal forma que esta primera configuración permite realizar una división. La entrada X_1 es la señal V_G del amplificador rectificador el cual inyecta un determinado valor de voltaje en CD que varía al aumentar o disminuir la amplitud de V_F cuando el usuario ajusta la frecuencia. La entrada X_2 irá directamente a tierra, es decir, es cero; igualmente la entrada Y_2 también será cero. Para calcular el valor de la entrada Y_1 partimos de la ecuación 6.1 donde X_2 y Y_2 son cero:

$$W = \frac{(X_1)(Y_1)}{10v} \tag{6.2}$$

Dónde:

$X_1 = V_G =$ Voltaje pico a determinada frecuencia (el voltaje varía inversamente al valor de la frecuencia).

$W = \frac{1}{10} E_1$, siendo E_1 el voltaje pico de la onda senoidal a 40 Hz.

$Y_1 = V_H =$ Voltaje de salida V_s del amplificador operacional el cual va directamente a la entrada Y_1 .

$W = \frac{1}{10} E_1$ porque la entrada inversora de A8 copia su voltaje a la entrada no inversora, es decir, tiene 0 volts y la corriente en las resistencias de 15k y 1.5k es la misma; por lo tanto, la caída de voltaje en la resistencia de 1.5k es la décima parte de la caída de voltaje de la resistencia de 15k, que es E_1 volts.

Por lo tanto, de la ecuación 6.2 se sustituyen los valores obteniendo:

$$\frac{1}{10} E_1 = \frac{(V_G)(V_H)}{10} \quad (6.3)$$

Despejando V_H de la ecuación 6.3:

$$V_H = \frac{E_1}{V_G} \quad (6.4)$$

Entonces:

$$V_H = \frac{\text{Voltaje pico a 40 Hz}}{\text{voltaje pico a determinada frecuencia}} = \text{Un valor de voltaje en c. d.} \quad (6.5)$$

Para este caso en particular, la entrada Z también irá a tierra, es decir, cero. Con esta configuración se pretende cumplir lo siguiente:

1. Cuando el valor de la frecuencia aumente, el voltaje pico de la senoidal disminuye y, por lo tanto, V_H aumenta.
2. Cuando el valor de la frecuencia disminuye, el voltaje pico de la senoidal aumenta y, por lo tanto, V_H disminuye.

El Valor V_H que se describe en la ecuación 6.5, permite corregir la amplitud de la onda sinusoidal, para lograr esto, esta señal se utiliza en la siguiente parte del circuito. Ahora bien, como se observa en la figura 6.3, el segundo AD633JN utilizado está configurado de tal forma que permite realizar una multiplicación. La entrada X_1 será la señal V_H obtenida en la anterior configuración, mientras que la entrada Y_1 será la señal sinusoidal V_F obtenida de la etapa anterior 2 (es la señal sinusoidal cuya amplitud disminuye con la frecuencia). Las entradas X_2 , Y_2 y Z irán a tierra, es decir, cero. Con esta configuración se obtiene en la salida W una onda sinusoidal en donde el valor pico se mantenga siempre constante al

momento de que el usuario aumente la frecuencia, evitando que ésta disminuya como sucedió en la etapa anterior. Para comprender bien el funcionamiento de este circuito se plantea lo siguiente:

Suponiendo que a 40 Hz se tenga un valor pico de 2v, $E1 = -2v$ (que es un valor fijo) y $V_G = 2v$ (que es el voltaje en C.D. igual al valor pico de la señal V_F), la división de esto resulta en $V_H = 1v$. El resultado de $V_H (1v)$ se multiplica por el valor V_F (señal sinusoidal a 40 Hz, con un valor pico de 2v), lo que permite conservar el valor pico de la onda sinusoidal en 2v. Si ahora el usuario aumenta la frecuencia a 47 Hz, el valor pico de la onda caerá, por ejemplo, a 1.5v, entonces; $E1 = -2v$ y $V_G = 1.5v$, la división de esto resulta en $V_H = 1.33v$. El resultado de $V_H (1.33v)$ se multiplica por el valor $V_F (1.5v)$ obteniendo a la salida una onda sinusoidal de un valor pico de 2v, es decir, se mantiene el valor pico que tenía a los 40 Hz.

En la salida W del segundo AD633JN se obtendrá una señal sinusoidal de amplitud siempre constante sin importar si se aumenta o disminuye la frecuencia. En la misma figura 6.3 se observa a A9, que es un amplificador operacional configurado como amplificador no inversor; en la entrada no inversora recibe la onda sinusoidal proveniente de la salida W del multiplicador de la derecha, pero, como esta señal está montada sobre un componente en C.D., pasa por un filtro CR para centrarla sobre 0v.

A9 tiene el propósito de aumentar o disminuir el valor pico a pico de la señal sinusoidal (cuidando de no sobrepasar el valor pico a pico de la onda triangular), por ello se han calculado los valores de las resistencias necesarias en dónde una de éstas es un potenciómetro. Cabe destacar que el potenciómetro utilizado en la etapa 1 (para variar la frecuencia de la onda triangular) y el potenciómetro utilizado en esta etapa, es el mismo (es un potenciómetro doble) lo que permite una correlación entre los valores de ambas señales.

De tal forma que la señal de salida V_1 observada en la figura 6.3 brinda la onda sinusoidal deseada, es decir, ahora que el usuario ajusta la frecuencia, la relación voltaje-frecuencia será constante evitando un sobrecalentamiento del motor. Esta es la señal sinusoidal que se utiliza como la señal de referencia de la frecuencia fundamental en la carga.

6.3 IMPLEMENTACIÓN DEL CIRCUITO.

La figura 6.4 muestra la fotografía del circuito electrónico diseñado en donde los márgenes recalcan la parte de esta etapa diseñada en cuestión, el cual proporciona la onda sinusoidal deseable.

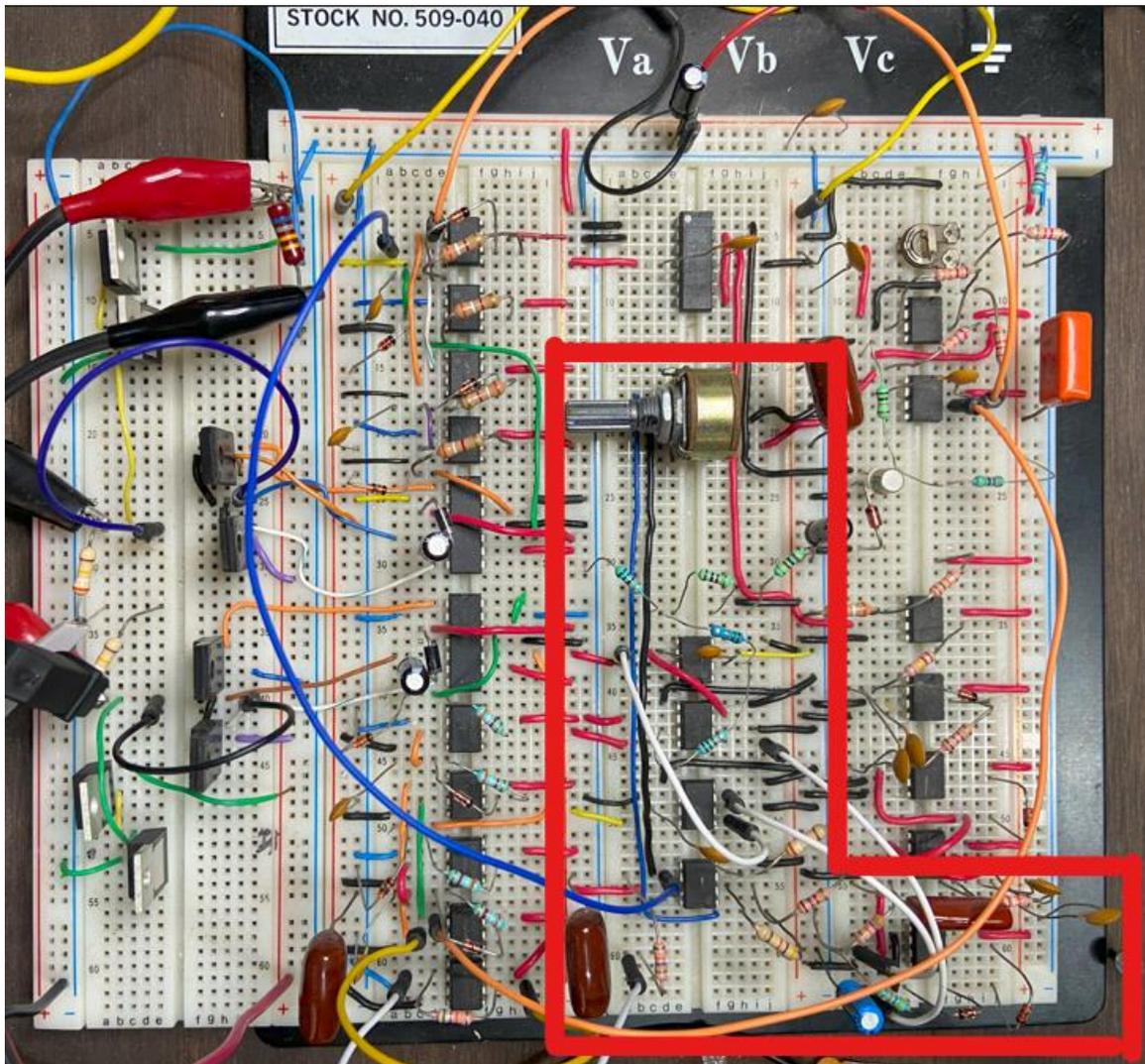


Fig. 6. 4 Sección del circuito que procesa la señal sinusoidal.

Las figuras 6.5 y 6.6 muestran, la comparación en el osciloscopio, la señal de salida λ de la etapa 2 y la señal de salida V_I obtenida en esta etapa. En ellas se ve la señal sinusoidal deseable ajustada por el usuario, en este caso, de 40 Hz y 60 Hz respectivamente.

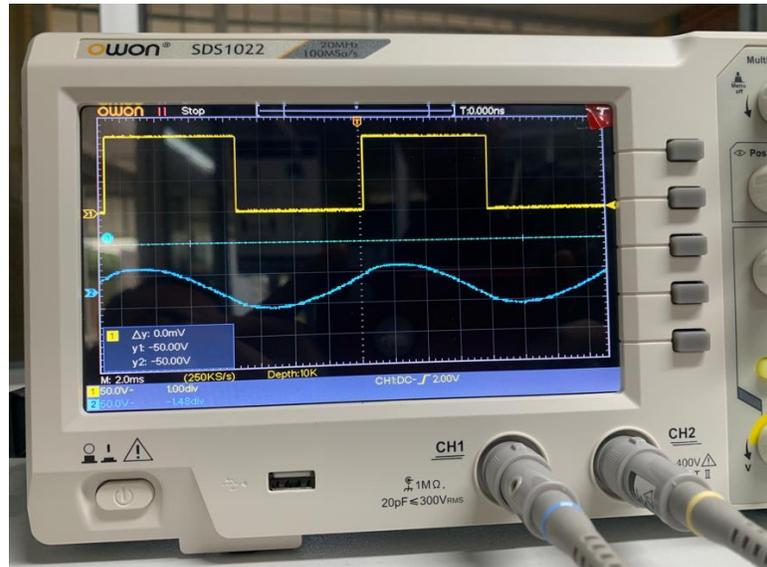


Fig. 6. 5 Señal sinusoidal a 40 Hz.

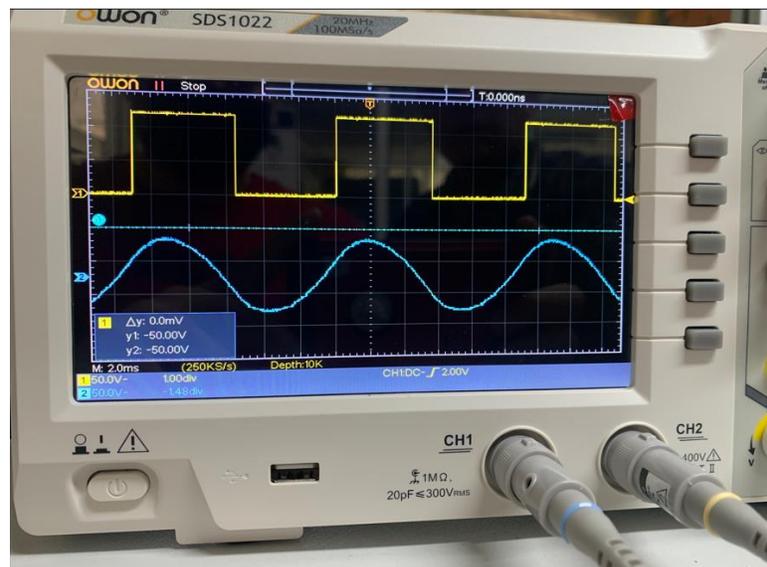


Fig. 6. 6 Señal sinusoidal a 60 Hz.

Etapa 4. Generación de los pulsos de activación.

En este apartado se detalla la fase de diseño y construcción del circuito electrónico que generará los pulsos de activación de los IGBT's del circuito inversor tipo puente completo. A través de los componentes electrónicos adecuados y, en base a la teoría del PWM síncrono unipolar, se compararán la onda triangular y las dos ondas sinusoidales (iguales pero desfasadas 180° entre sí) para generar la modulación en ancho de pulso. Algunos componentes a utilizar serían los circuitos integrados IR2110 y TL081.

7.1 EXPOSICIÓN DEL PROBLEMA.

Tal y como se platicó en el capítulo 3, después de haber completado las 3 etapas anteriores, esta etapa tiene como objetivo el diseño de un circuito electrónico que sea capaz de generar los pulsos de activación y desactivación de los IGBT's del circuito inversor tipo puente completo. Según lo expuesto en el capítulo 2, para generar la modulación de ancho de pulso (PWM), se requiere que el circuito electrónico en cuestión haga la comparación de la onda triangular y dos ondas sinusoidales idénticas pero desfasadas 180° una con respecto a la otra. Este circuito electrónico debe ser capaz de brindar en total cuatro señales de control correspondientes a cada una de las compuertas de los cuatro IGBT's empleados.

Para el diseño de este circuito se ha utilizado el circuito integrado IR2110, que simplifica la obtención de los pulsos deseados. También se hará uso del Amplificador Operacional (TL081) y sus configuraciones.

7.2 METODOLOGÍA DE DISEÑO DEL CIRCUITO ELECTRÓNICO.

Como se mencionó anteriormente, se utilizarán dos circuitos integrados IR2110, uno para cada rama del circuito puente, por lo cual es necesario destacar algunos puntos importantes dentro de la hoja de datos del fabricante que serán aplicados al diseño del circuito electrónico en cuestión. En general, este es un circuito que brinda una solución compacta al manejo de los voltajes y corrientes entre compuerta (G) y emisor (E) simultáneo de dos transistores IGBT's dispuestos en una rama del circuito puente completo. Este integrado está diseñado para operar a niveles de hasta +500v. Sus salidas tienen una configuración del tipo tótem-pole con una capacidad de 2A, un tiempo de conmutación de encendido de 25 a 35 ns y un tiempo de conmutación de apagado de 17 a 25 ns.

La figura 7.1 muestra el diseño del circuito electrónico que genera las primeras dos señales de conmutación (alto y bajo) de los IGBT's del circuito de potencia de la etapa siguiente, que es el inversor puente completo monofásico. MC1 (manejador de compuerta) proporciona las señales G_{A+} y G_{A-} para las compuertas de los transistores en el lado de alta y en el lado de baja de la rama A del circuito de potencia. En esta misma figura 7.1 se observa un arreglo con amplificadores operacionales; la señal V_B es la onda triangular de la etapa 1 mientras que la señal V_I es la onda senoidal de la etapa 3, ambas señales llegan a

las entradas de A10 y A11, pero intercambiadas, que son amplificadores operacionales configurados como comparadores.

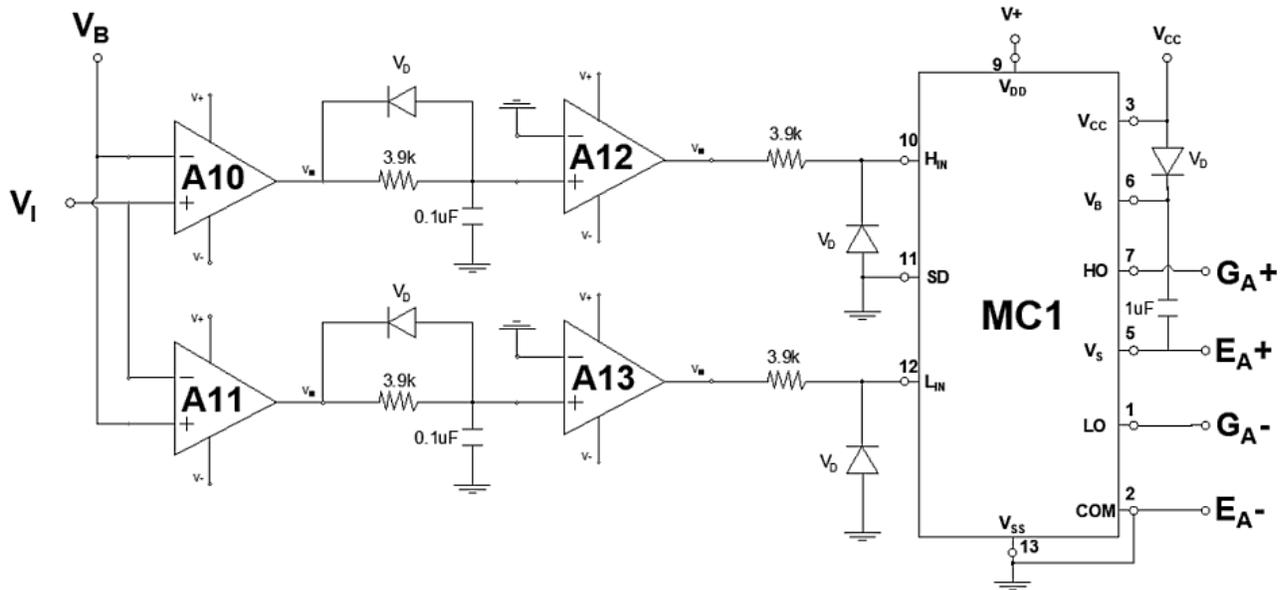


Fig. 7. 1 Manejador de compuerta para la rama A.

Ahora bien, como se mencionó anteriormente, los tiempos de conmutación de abierto a cerrado y de cerrado a abierto son distintos, es decir, para la conmutación de cerrado a abierto se requiere de más tiempo que el requerido para la conmutación de abierto a cerrado; de manera que, si al mismo tiempo se envía la señal de abrir a un transistor y de cerrar al otro, habría un corto circuito entre la fuente de alimentación del circuito de potencia y tierra. Es por ello que se requiere de un ‘retardo’ para la conmutación de abierto a cerrado. Para esto, A12 y A13 junto con el circuito RC y el diodo, permiten generar el retardo necesario para evitar el corto circuito.

La figura 7.2 muestra la siguiente parte del circuito electrónico diseñado para generar las otras dos señales de conmutación (alto y bajo) para las compuertas de los dos IGBT’s de la rama B del circuito de potencia de la etapa siguiente, que es el inversor puente completo monofásico. MC2 (manejador de compuerta) proporciona las señales G_{B+} y G_{B-} de los transistores. En la misma figura 7.2, se observa un arreglo con amplificadores operacionales con el mismo funcionamiento a los de la figura 7.1, a excepción

de que se ha agregado A14 que es un amplificador operacional configurado como inversor. A14 tiene el propósito de invertir la señal V_I , que es la onda sinusoidal, sin alterar sus valores de voltaje. De esta forma se obtiene la segunda onda senoidal requerida en el método de control PWM síncrono unipolar.

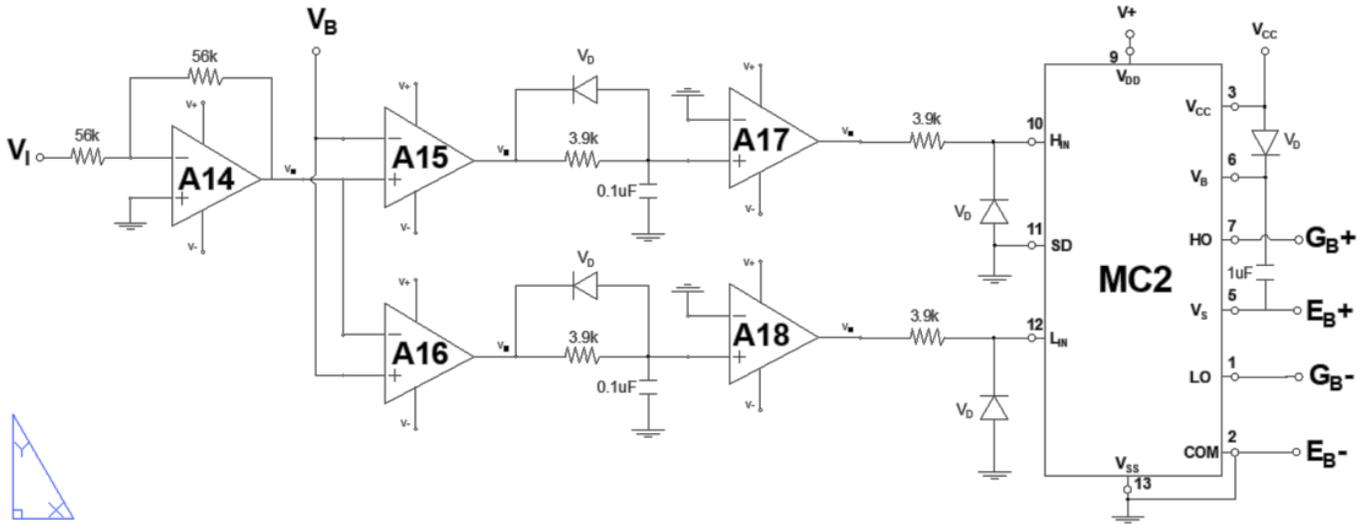


Fig. 7. 2 Manejador de compuerta para la rama B.

De esta forma, G_{A+} , G_{A-} , y G_{B+} , G_{B-} son las cuatro señales de control requeridas para la activación y desactivación de los IGBT's que se estarán utilizando en la siguiente etapa, el circuito de potencia.

7.3 IMPLEMENTACIÓN DEL CIRCUITO.

La figura 7.3 muestra la fotografía del circuito electrónico diseñado y armado en esta etapa el cual proporciona las cuatro señales de control requeridas para este proyecto.

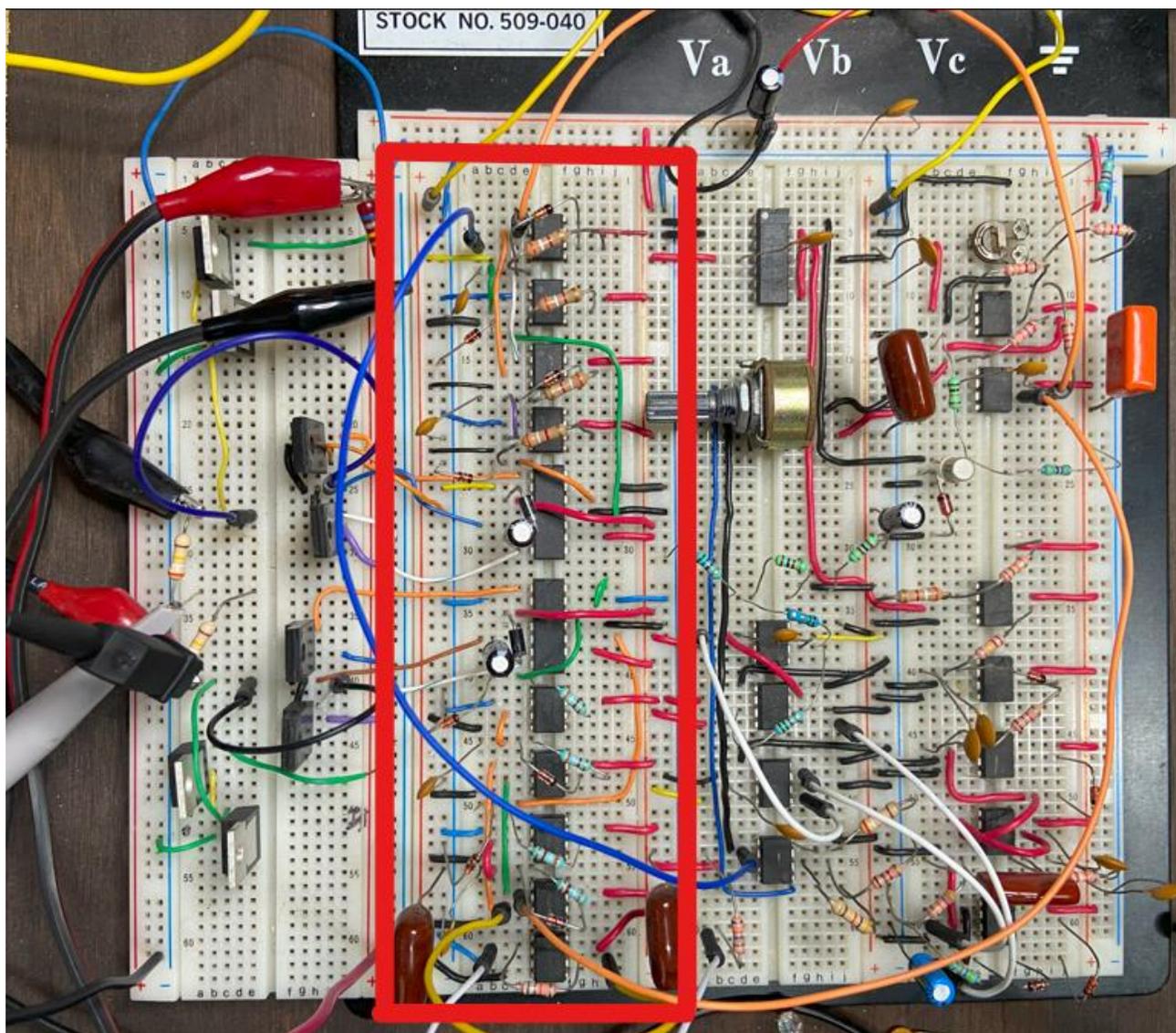


Fig. 7. 3 Circuito Generador de pulsos armado en físico.

A continuación, las figuras 7.4 y 7.5 muestran las señales que entran en uno de los comparadores presentados en la figura 7.1, vistos con el osciloscopio.

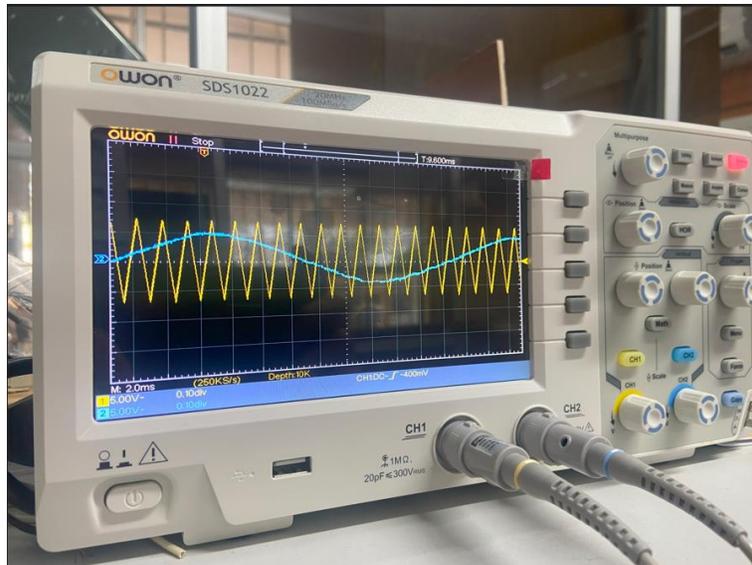


Fig. 7.4 Onda triangular de 640 Hz y Onda sinusoidal de 40 Hz, sincronizadas.

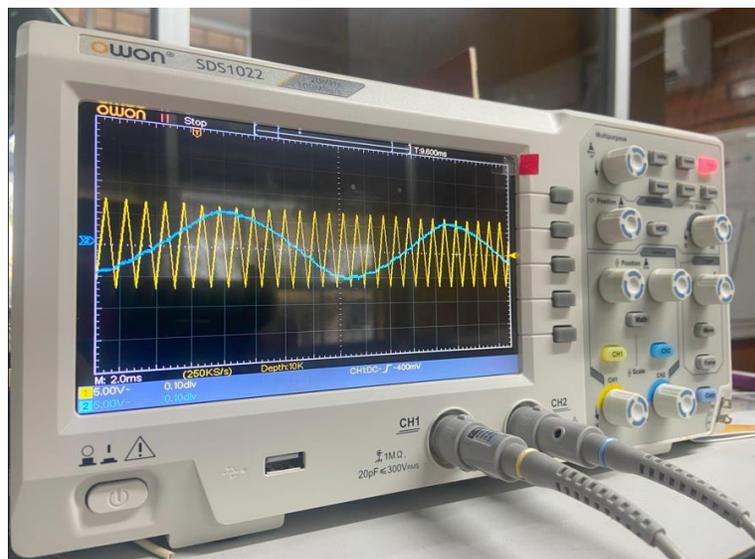


Fig. 7.5 Onda triangular de 960 Hz y Onda sinusoidal de 60 Hz, sincronizadas.

La figura 7.6 se muestran las señales V_I (voltaje de salida de A9) y V_O obtenida del amplificador operacional configurado como inversor mostrado en la figura 7.2, que es A14. Se observa como la onda sinusoidal de entrada se ha invertido sin modificar sus valores de voltaje.

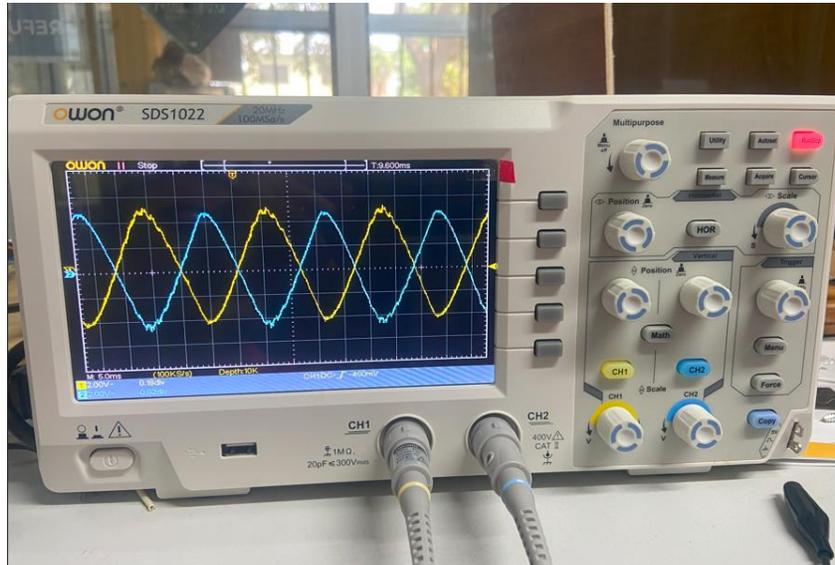


Fig. 7. 6 Señal V_I invertida.

La figura 7.7 muestra los pulsos generados a la salida de los comparadores A12 y A13 de la figura 7.1 que van a la entrada del manejador de compuerta de la rama A.

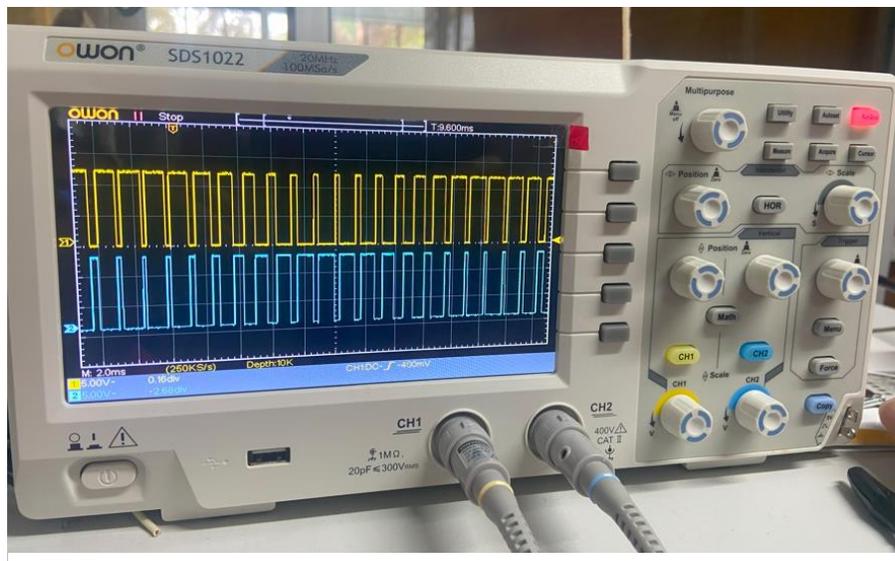


Fig. 7. 7 PWM generado a través de los comparadores.

La figura 7.8 muestra las señales de la figura 7.7 pero con un diferente barrido de tiempo en donde se observa el funcionamiento del circuito empleado en las figuras 7.1 y 7.2 que tiene la función de hacer un 'retardo' para la conmutación de abierto a cerrado del transistor.

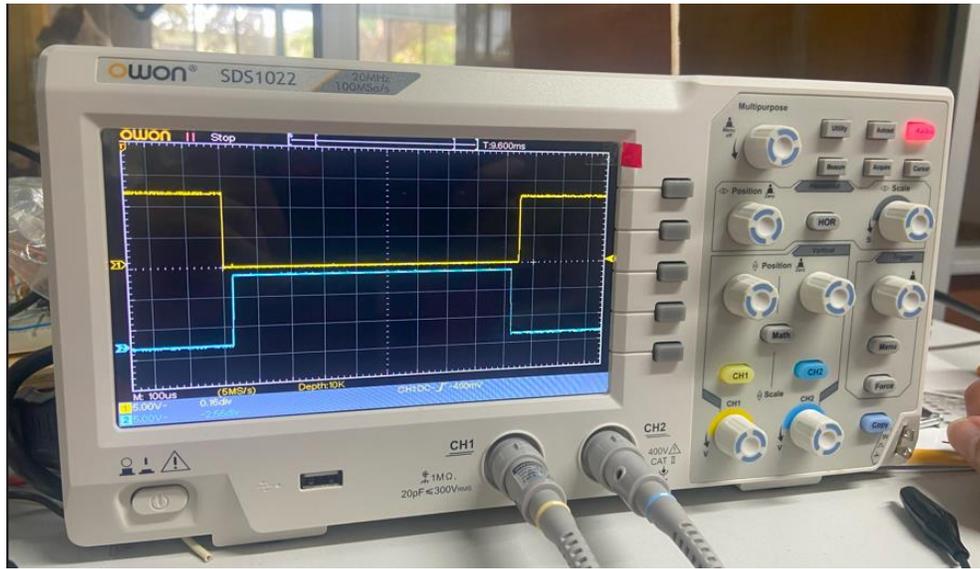


Fig. 7. 8 Señal de salida de la manejadora de compuerta con retardo.

Etapa 5. Circuito de Potencia.

Este capítulo tiene como objetivo describir la etapa de potencia del circuito inversor tipo puente completo monofásico para la realización de las pruebas y diagnósticos de operación y funcionamiento del circuito de control visto en los capítulos anteriores. Uno de los objetivos de este proyecto es poder arrancar un motor monofásico alimentado por una fuente en C.D., a través de la configuración mencionada anteriormente.

8.1 EXPOSICIÓN DEL PROBLEMA.

En este capítulo se describe el circuito de potencia, es decir, el circuito inversor puente completo monofásico que se mencionó en el capítulo dos. La carga, en este caso, será un motor de C.A. monofásico al cual se le alimentará con una fuente de alimentación en C.D. a través de la configuración anterior. Es a través de este circuito de potencia en dónde se realizarán las pruebas, funcionamiento y desempeño del circuito de control diseñado en los capítulos anteriores.

8.2 METODOLOGÍA DE DISEÑO DEL CIRCUITO DE POTENCIA.

La figura 8.1 muestra el diseño del circuito implementado en esta etapa, con sus respectivos componentes electrónicos seleccionados para este proyecto.

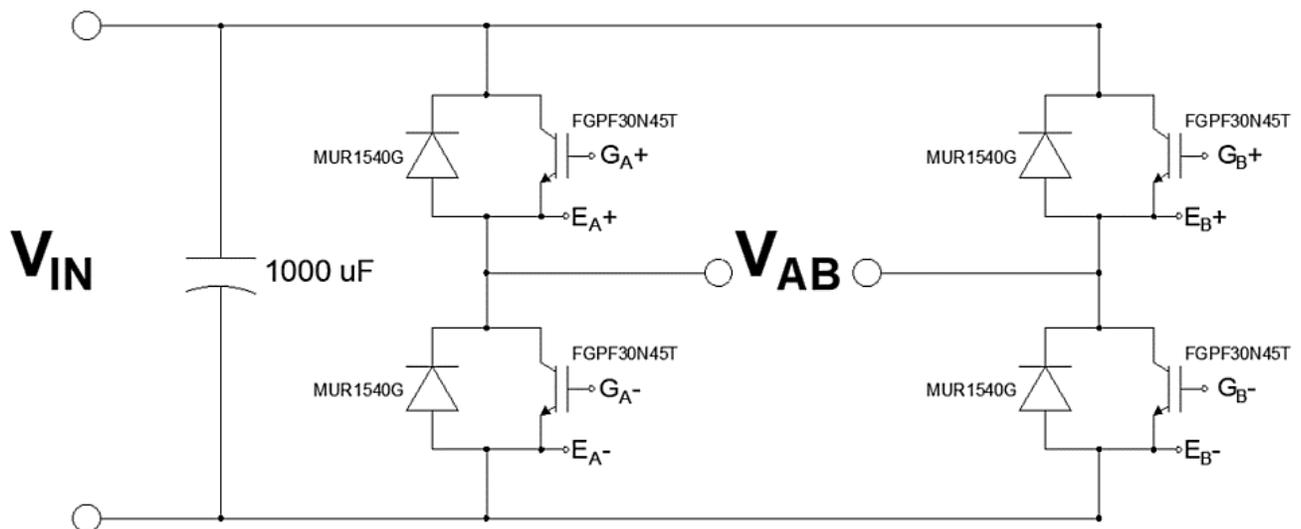


Fig. 8. 1 Circuito de Potencia.

Como se observa la figura 8.1, el circuito de potencia está formado por dos ramas de dos transistores cada una, del tipo IGBT's y con número de identificación FGPF30N45T. Estos transistores, según la información del manual del fabricante, son capaces de soportar un voltaje en estado abierto de 450v y una corriente en el estado cerrado de 30A. En paralelo con cada uno de los transistores, se dispone un diodo

de alta velocidad de conmutación del tipo schottky modelo MUR1540G capaz de soportar 400v en sentido inverso y una corriente de 15A en sentido directo. Estos diodos tienen el propósito de permitir que la corriente generada por la fuerza contraelectromotriz de la inductancia del motor, pueda circular por un poco de tiempo hasta que la corriente llegue a cero, para que después invierta su sentido al hacer conducir otro par de transistores.

Como se comentó en el capítulo dos, esta configuración permite la circulación de la corriente entre un sentido y otro por medio del accionamiento de los transistores a través del PWM obtenido en los capítulos anteriores. La señal V_{AB} obtenida de la figura 8.1 es el voltaje de alimentación del motor, obtenido a través de la configuración del circuito inversor puente completo monofásico. Este voltaje V_{AB} equivale en promedio a una onda senoidal.

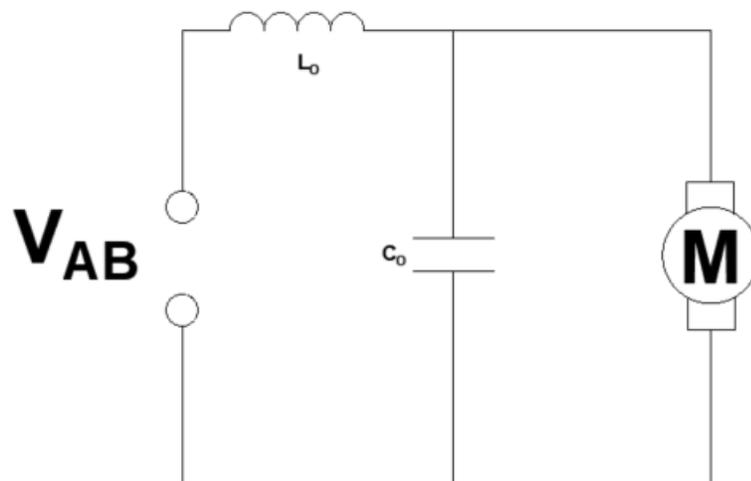


Fig. 8. 2 Filtro LC de la señal V_{AB} .

La figura 8.2 muestra un filtro pasa bajas frecuencias formado por un arreglo LC que podría emplearse para eliminar o reducir los componentes armónicos de más alta frecuencia de 60 Hz presentes en el voltaje V_{AB} de manera que, al motor le llegue una onda de voltaje de C.A. lo más parecido a una onda sinusoidal pura, por lo que al motor en sus entradas recibiría esta onda sinusoidal con valores de frecuencia ajustable

por el usuario para el control de la velocidad del motor. El cálculo para los valores de L y C se hace mediante la fórmula de la ecuación 8.1.

$$f_c = \frac{1}{2\pi\sqrt{LC}} \quad 8.1$$

La frecuencia máxima que se desea sí pase por el filtro es 60 Hz y la frecuencia de la primera armónica será de $60 \times 2 = 120$ Hz. Por lo tanto, la frecuencia de corte del filtro debe ser un valor mayor a 60 Hz, pero menor a 120 Hz, por ejemplo, 400 Hz. Con este valor se puede escoger un valor disponible en el mercado para L y calcular el valor de C despejándolo de la ecuación 8.1.

$$C = \frac{1}{4\pi^2 f_c^2 L} \quad 8.2$$

Así, empleando una bobina de 100 mH, el capacitor que se emplearía tendrá un valor de 1.5 uF.

8.3 IMPLEMENTACIÓN DEL CIRCUITO.

La figura 8.3 muestra la parte del circuito mencionado en esta etapa el cual proporciona la señal para alimentar al motor.

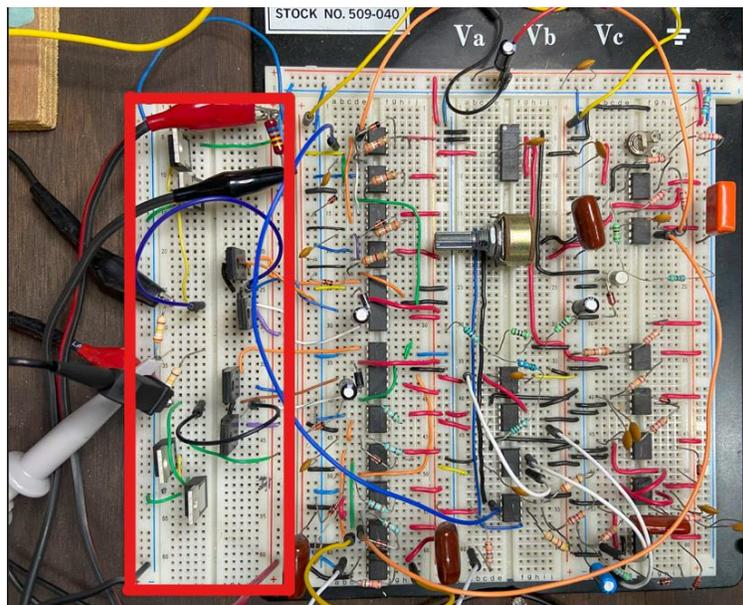


Fig. 8. 3 Circuito inversor puente completo monofásico.

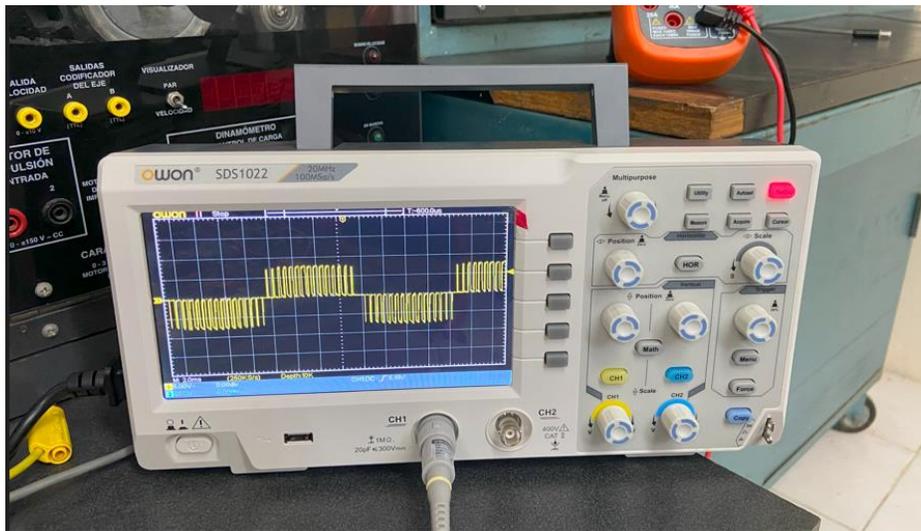


Fig. 8. 4 Señal V_{AB} vista desde el osciloscopio.



Fig. 8. 5 Fuente de alimentación en C.D. empleada en el proyecto.



Fig. 8. 6 Voltaje promedio de la señal V_{AB} .

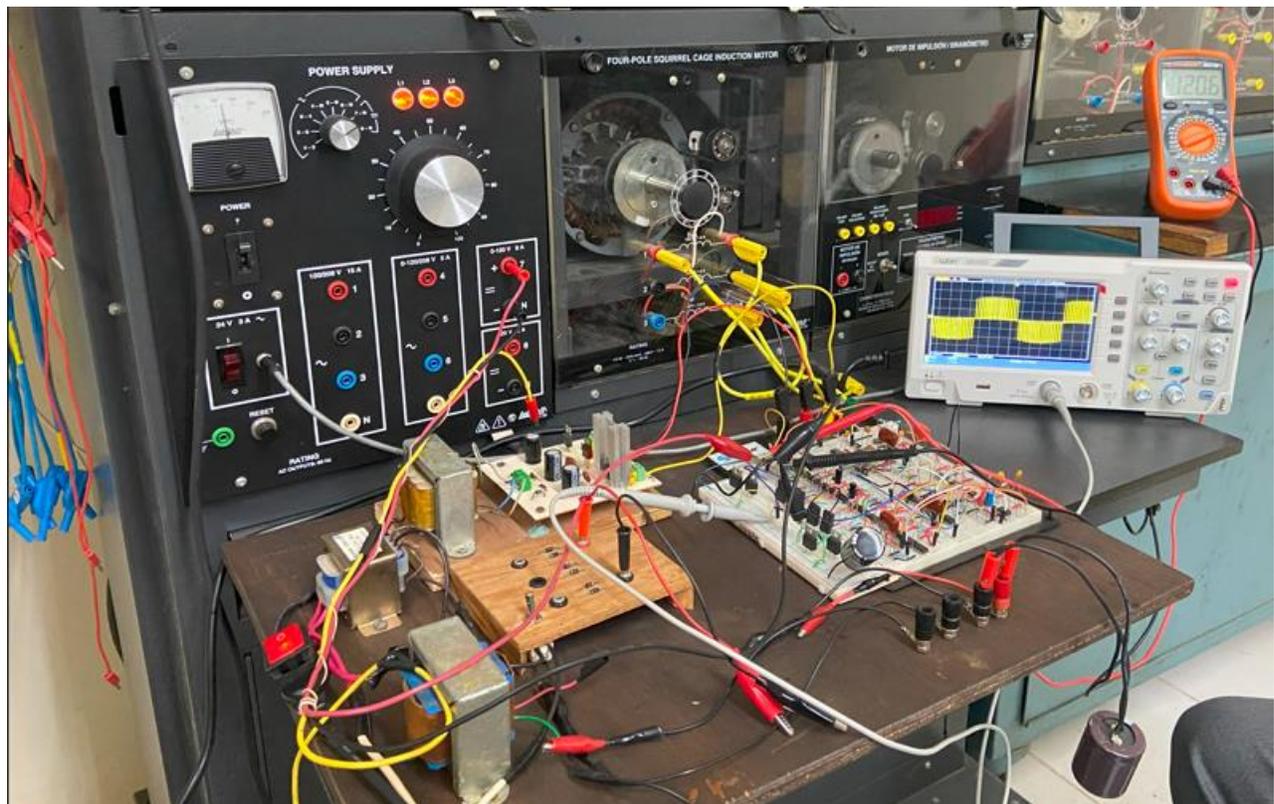


Fig. 8. 7 Etapa de pruebas y funcionamiento del circuito.

Conclusiones.

Este capítulo tiene como propósito describir el cumplimiento de cada uno de los objetivos propuestos mencionados en el capítulo uno. También se describen los logros y potencial alcanzados, así como las posibles mejoras para este proyecto.

9.1 LOGROS DEL PROYECTO.

Como se planteó en el capítulo uno, a través la selección de los componentes electrónicos apropiados, se realizó el diseño de un circuito electrónico para el control de un inversor monofásico tipo puente completo con nula presencia de los componentes subarmónicos en su voltaje de salida. El utilizar el método de control PWM (Modulador de ancho de pulso) síncrono unipolar hizo posible la eliminación de las frecuencias subarmónicas, esto por medio de mantener la sincronía entre la frecuencia fundamental de la onda senoidal de salida del inversor y la frecuencia de conmutación de los pulsos que se utilizan para los IGBT's.

Los componentes subarmónicos generan problemas en los motores de C.A. llegando incluso a dañarlos debido al sobrecalentamiento, por lo que la eliminación de estos subarmónicos fue un alcance propuesto para este proyecto, el cual se cumplió con el método mencionado anteriormente. Ahora bien, otro de los objetivos planteados en este proyecto fue que el usuario pudiera ajustar la frecuencia fundamental de salida entre los rangos de 40 Hz a 60 Hz para el control de la velocidad del motor sin perder la sincronía mencionada anteriormente; este circuito electrónico permite ajustar la frecuencia a través del potenciómetro doble denominado R_O , mencionado en los capítulos 4 y 6, logrando así cumplir con este objetivo del proyecto.

Otros de los objetivos logrados fueron el diseño de los circuitos electrónicos, mencionados en el capítulo siete donde se implementó el integrado IR2110, que permite producir los pulsos necesarios para la activación de los IGBT's que se utilizan en el circuito de potencia, en este caso se requirieron de cuatro señales de este tipo para los cuatro IGBT's utilizados en este proyecto. Los IGBT's utilizados en el proyecto tienen el número de identificación FGPF30N45T y son capaces de soportar en estado abierto hasta 450v, esto es importante ya que el inversor fue alimentado con una fuente en C.D. capaz de proporcionar hasta 400v para así brindar un voltaje superior al voltaje del motor que, en este caso, opera con 127v rms a 60 Hz.

El desarrollo de este proyecto ha tenido como resultado el diseño del prototipo de un circuito de control aplicable a un inversor monofásico de puente completo. Las gráficas obtenidas en las pruebas realizadas en el capítulo ocho comprueban la eficiencia de dicho circuito de control, en dónde los resultados muestran cómo el motor monofásico funciona de manera eficiente y cómo su velocidad varia

ajustando la frecuencia y se demuestra en el multímetro cómo el valor promedio del voltaje de salida varía directamente de manera proporcional.

A continuación, se muestran en las figuras 9.1, 9.2, 9.3 y 9.4 los diagramas correspondientes al prototipo desarrollado en este trabajo.

9.2 DIAGRAMAS DEL CIRCUITO DE CONTROL Y POTENCIA.

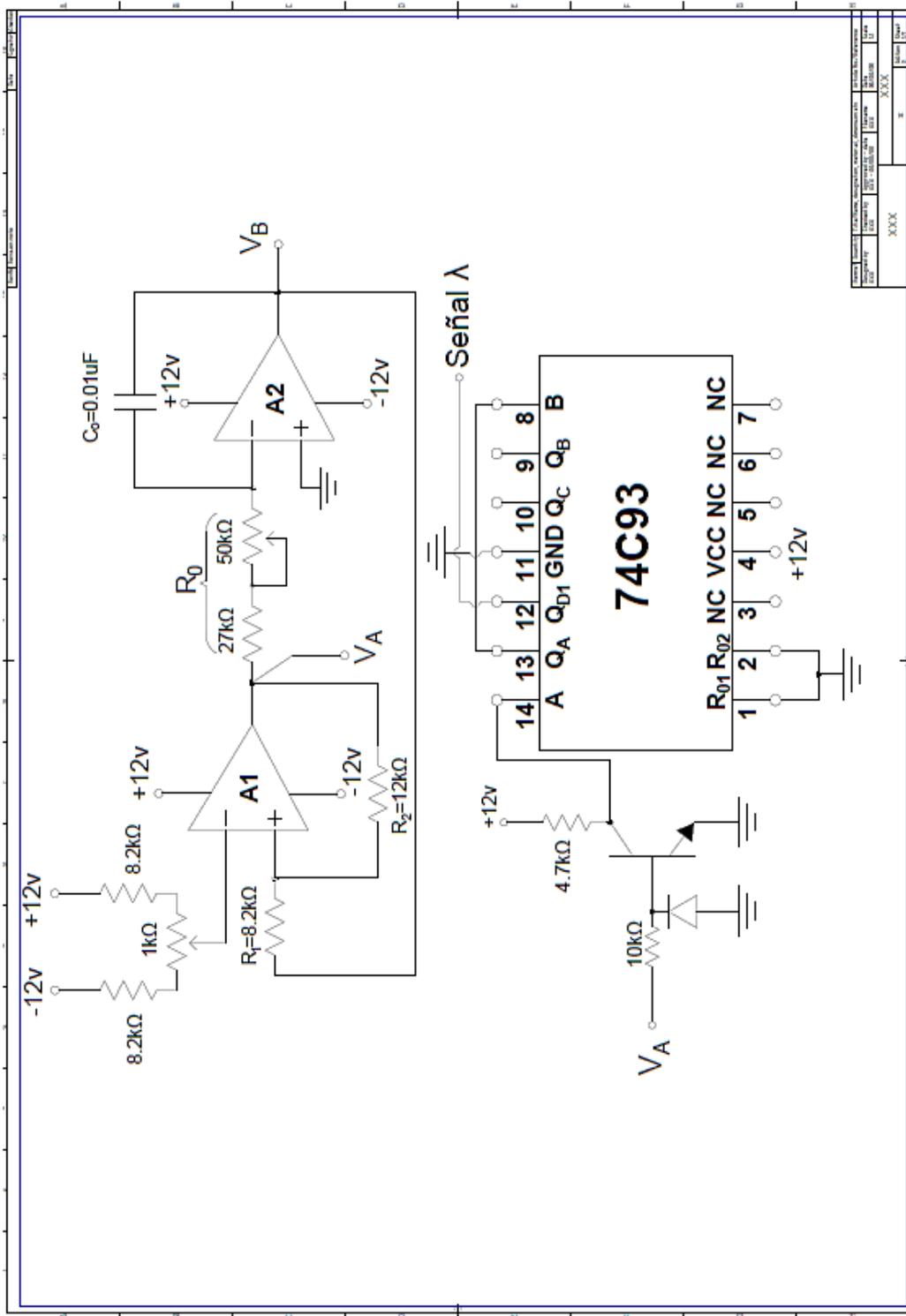


Fig. 9. 1 Diagrama de Control 1.

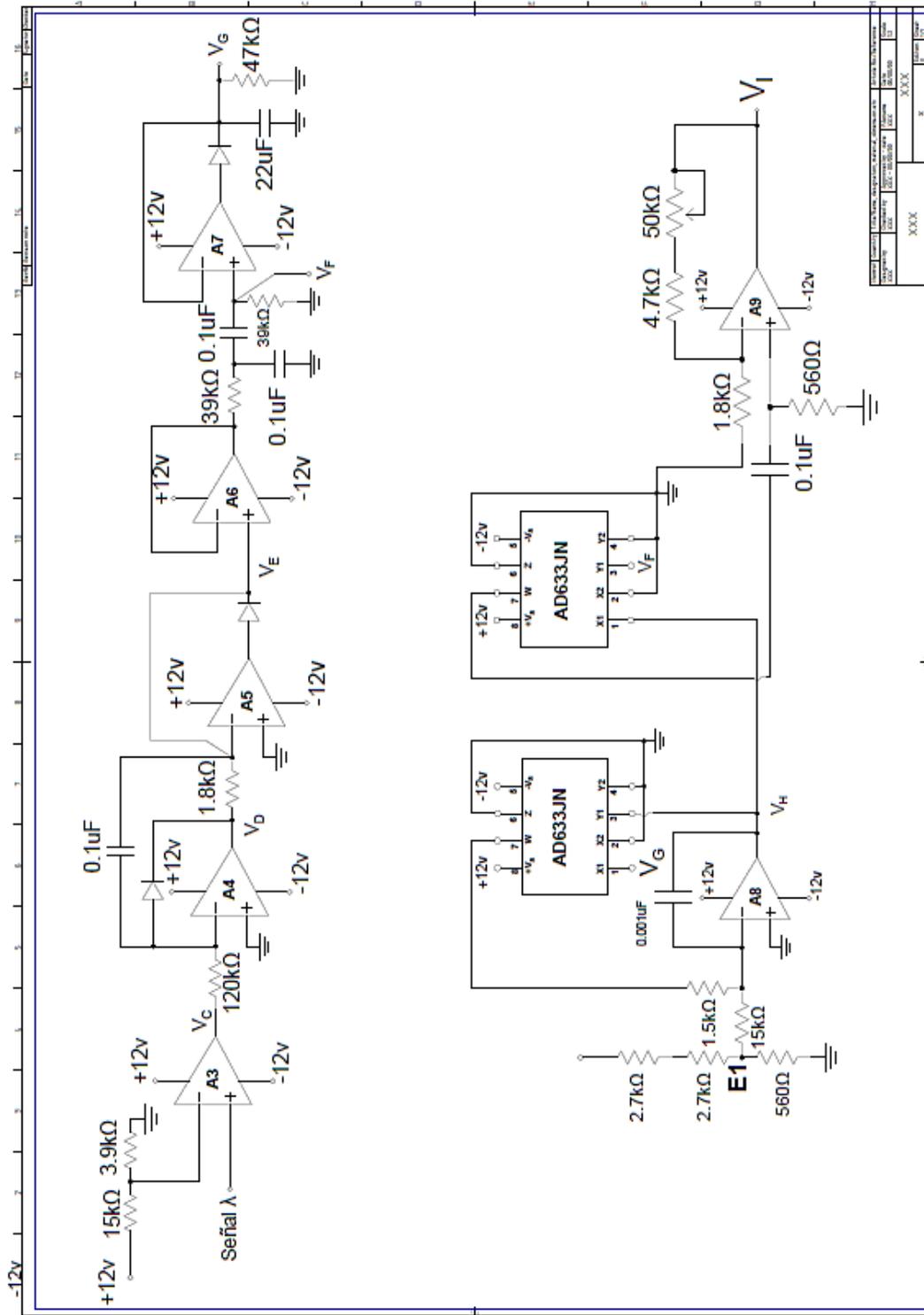


Fig. 9. 2 Diagrama de Control 2.

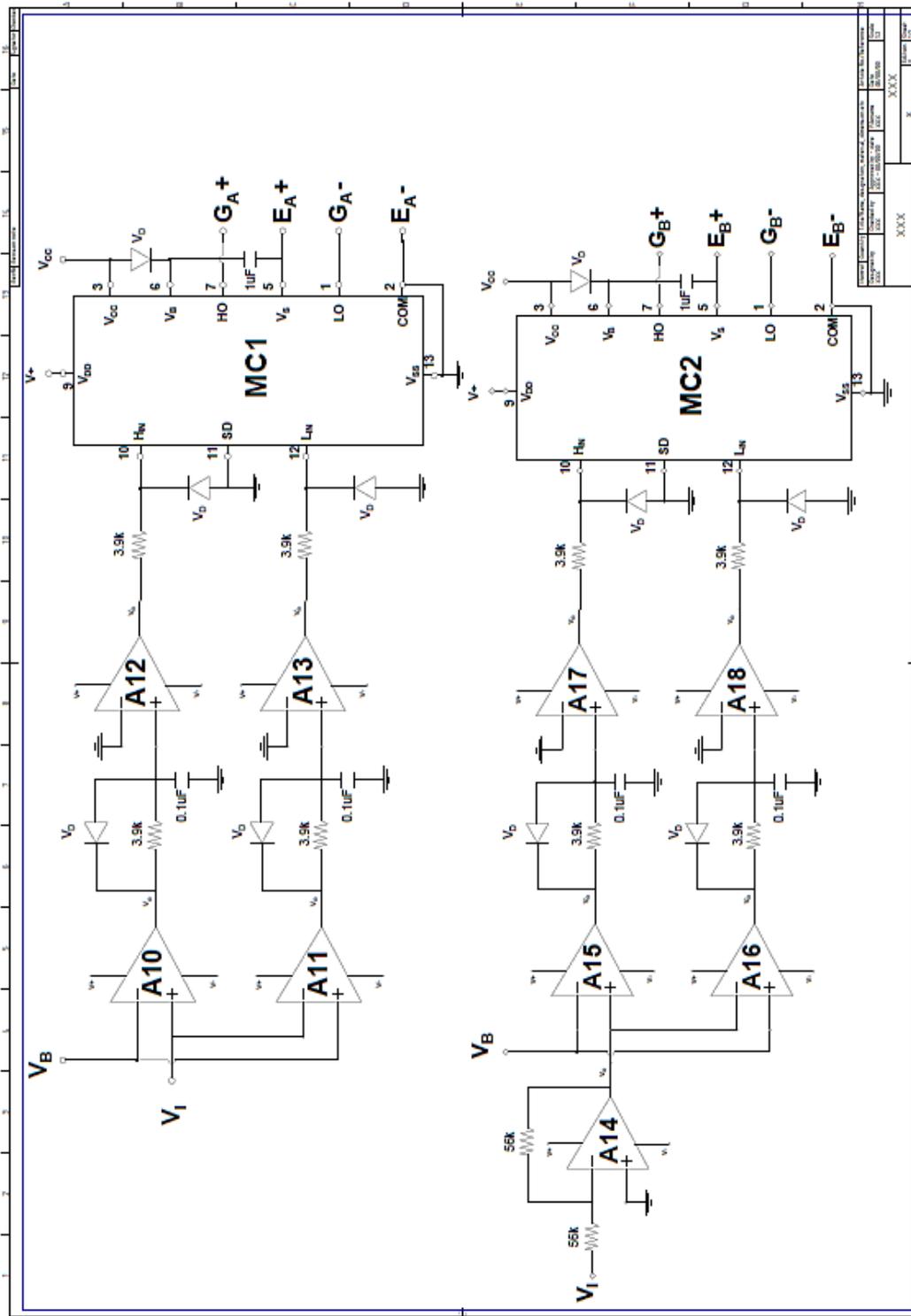


Fig. 9. 3 Diagrama de Control 3.

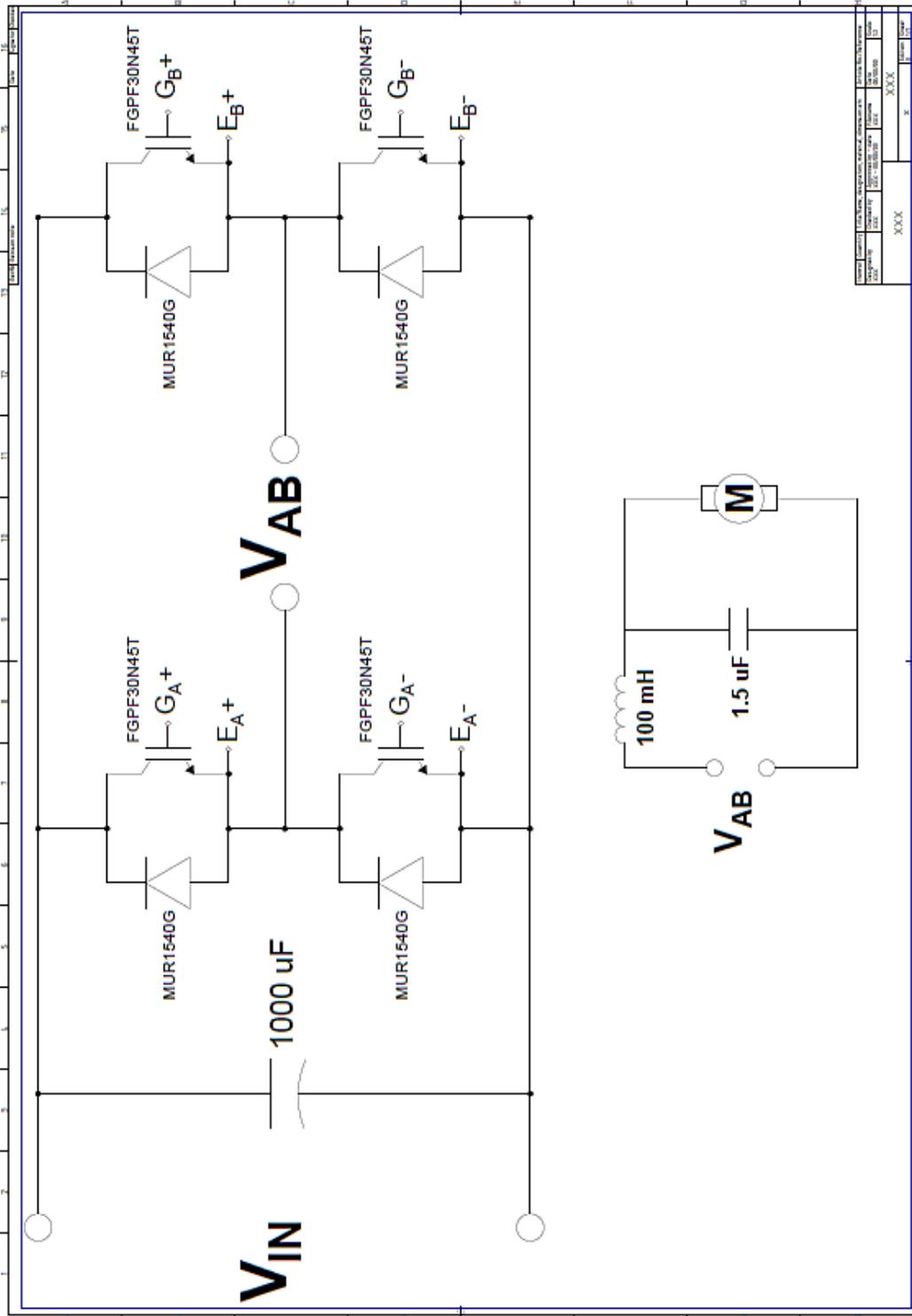


Fig. 9. 4 Diagrama de Potencia.

9.3 RECOMENDACIONES PARA TRABAJOS FUTUROS.

Cabe mencionar que el circuito de control diseñado en este proyecto es de lazo abierto. Una posible mejora sería agregar un lazo de control cerrado que modifique la señal sinusoidal de referencia, ya sea en su amplitud o frecuencia en forma automática para mantener la velocidad del motor en un valor constante deseado.

Ahora bien, en la industria, los motores de C.A. son los más utilizados dentro de los procesos como elemento final de control, específicamente los motores trifásicos. Existe el circuito inversor puente completo trifásico aplicados a este tipo de motores para alimentarlos a través de una fuente en C.D. El diseño y prototipo realizados en este proyecto pudiera en determinado momento aplicarse a este tipo de inversores realizando las adaptaciones necesarias para ese tipo de configuración.

Apéndice

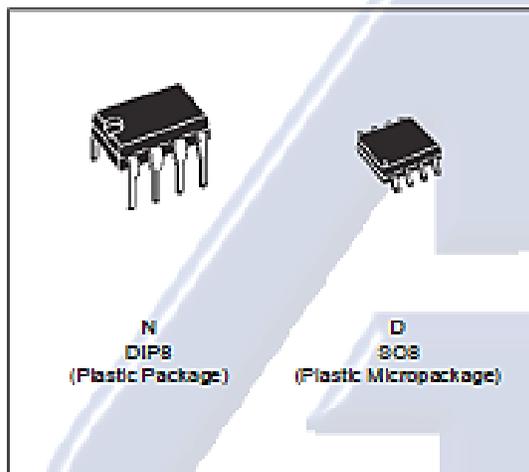
Este apartado tiene como objetivo adjuntar la hoja de datos de todos los circuitos integrados utilizados en este proyecto de los cuales se hicieron referencia a lo largo de los capítulos desarrollados del mismo.



TL081 TL081A - TL081B

GENERAL PURPOSE J-FET SINGLE OPERATIONAL AMPLIFIER

- WIDE COMMON-MODE (UP TO V_{CC}^+) AND DIFFERENTIAL VOLTAGE RANGE
- LOW INPUT BIAS AND OFFSET CURRENT
- OUTPUT SHORT-CIRCUIT PROTECTION
- HIGH INPUT IMPEDANCE J-FET INPUT STAGE
- INTERNAL FREQUENCY COMPENSATION
- LATCH UP FREE OPERATION
- HIGH SLEW RATE : $16V/\mu s$ (typ)



DESCRIPTION

The TL081, TL081A and TL081B are high speed J-FET input single operational amplifiers incorporating well matched, high voltage J-FET and bipolar transistors in a monolithic integrated circuit.

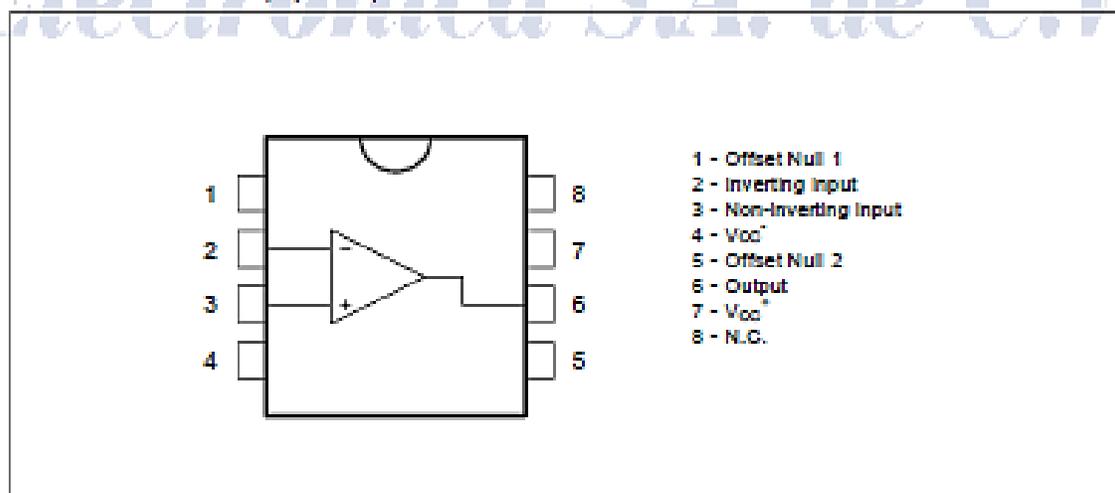
The devices feature high slew rates, low input bias and offset currents, and low offset voltage temperature coefficient.

ORDER CODES

| Part Number | Temperature Range | Package | |
|--------------|-------------------|---------|---|
| | | N | D |
| TL081M/AM/BM | -55°C, +125°C | * | * |
| TL081U/A/B1 | -40°C, +105°C | * | * |
| TL081C/AC/BC | 0°C, +70°C | * | * |

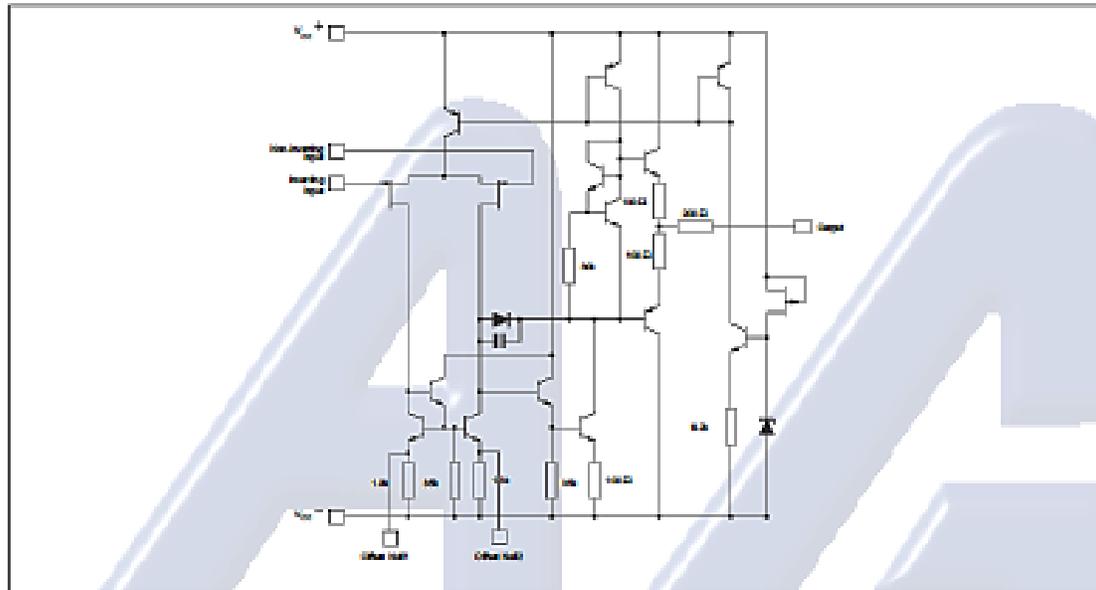
Examples : TL081GD, TL081IN

PIN CONNECTIONS (top view)

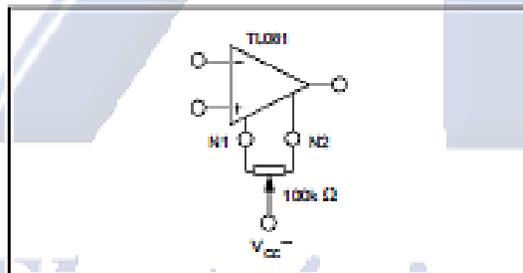


TL081 - TL081A - TL081B

SCHEMATIC DIAGRAM



INPUT OFFSET VOLTAGE NULL CIRCUITS



ABSOLUTE MAXIMUM RATINGS

| Symbol | Parameter | Value | Unit | |
|------------|--|--|-------------------------------------|--------------------|
| V_{CC} | Supply Voltage - (note 1) | ± 18 | V | |
| V_I | Input Voltage - (note 3) | ± 15 | V | |
| V_{IE} | Differential Input Voltage - (note 2) | ± 30 | V | |
| P_{tot} | Power Dissipation | 680 | mW | |
| | Output Short-circuit Duration - (note 4) | Infinite | | |
| T_{oper} | Operating Free Air Temperature Range | TL081C,AC,BC TL081I,AI,BI TL081M,AM,BM | 0 to 70 -40 to 105 -55 to 125 | $^{\circ}\text{C}$ |
| T_{stg} | Storage Temperature Range | | -65 to 150 | $^{\circ}\text{C}$ |

- Notes:
1. All voltage values, except differential voltage, are with respect to the zero reference level (ground) of the supply voltages where the zero reference level is the midpoint between V_{CC+} and V_{CC-} .
 2. Differential voltages are at the non-inverting input terminal with respect to the inverting input terminal.
 3. The magnitude of the input voltage must never exceed the magnitude of the supply voltage or 15 volts, whichever is less.
 4. The output may be shorted to ground or to either supply. Temperature and/or supply voltages must be limited to ensure that the dissipation rating is not exceeded.

ELECTRICAL CHARACTERISTICS

V_{CC} = ±15V, T_{amb} = 25°C (unless otherwise specified)

| Symbol | Parameter | TL081,M,AC,AI, AM,BC,BLSM | | | TL081C | | | Unit |
|-------------------|---|------------------------------|----------------------|------------------------------|----------|----------------------|--------------|-----------|
| | | Min. | Typ. | Max. | Min. | Typ. | Max. | |
| V _{IO} | Input Offset Voltage (R _G = 50Ω) T _{amb} = 25°C T _{min.} ≤ T _{amb} ≤ T _{max.} | | 3 3 1 | 10 6 3 13 7 5 | | 3 | 10 13 | mV |
| DV _{IO} | Input Offset Voltage Drift | | 10 | | | 10 | | μV/°C |
| I _{IO} | Input Offset Current * T _{amb} = 25°C T _{min.} ≤ T _{amb} ≤ T _{max.} | | 5 | 100 4 | | 5 | 100 4 | pA nA |
| I _B | Input Bias Current * T _{amb} = 25°C T _{min.} ≤ T _{amb} ≤ T _{max.} | | 20 | 200 20 | | 20 | 400 20 | pA nA |
| A _{vd} | Large Signal Voltage Gain (R _L = 2kΩ, V _O = ±10V) T _{amb} = 25°C T _{min.} ≤ T _{amb} ≤ T _{max.} | 50 25 | 200 | | 25 15 | 200 | | V/mV |
| SVR | Supply Voltage Rejection Ratio (R _G = 50Ω) T _{amb} = 25°C T _{min.} ≤ T _{amb} ≤ T _{max.} | 80 80 | 86 | | 70 70 | 86 | | dB |
| I _{CC} | Supply Current, no Load T _{amb} = 25°C T _{min.} ≤ T _{amb} ≤ T _{max.} | | 1.4 | 2.5 2.5 | | 1.4 | 2.5 2.5 | mA |
| V _{ICM} | Input Common Mode Voltage Range | ±11 | +15 -12 | | ±11 | +15 -12 | | V |
| GMR | Common Mode Rejection Ratio (R _G = 50Ω) T _{amb} = 25°C T _{min.} ≤ T _{amb} ≤ T _{max.} | 80 80 | 86 | | 70 70 | 86 | | dB |
| I _{OS} | Output Short-circuit Current T _{amb} = 25°C T _{min.} ≤ T _{amb} ≤ T _{max.} | 10 10 | 40 | 60 60 | 10 10 | 40 | 60 60 | mA |
| ±V _{OPP} | Output Voltage Swing T _{amb} = 25°C T _{min.} ≤ T _{amb} ≤ T _{max.} | | 10 12 10 12 | 12 13.5 10 12 | | 10 12 10 12 | | V |
| SR | Slew Rate (V _{in} = 10V, R _L = 2kΩ, C _L = 100pF, T _{amb} = 25°C, unity gain) | | 8 | 16 | | 8 | 16 | V/μs |
| t _r | Rise Time (V _{in} = 20mV, R _L = 2kΩ, C _L = 100pF, T _{amb} = 25°C, unity gain) | | 0.1 | | | 0.1 | | μs |
| K _{OV} | Overshoot (V _{in} = 20mV, R _L = 2kΩ, C _L = 100pF, T _{amb} = 25°C, unity gain) | | 10 | | | 10 | | % |
| GBP | Gain Bandwidth Product (f = 100kHz, T _{amb} = 25°C, V _{in} = 10mV, R _L = 2kΩ, C _L = 100pF) | 2.5 | 4 | | 2.5 | 4 | | MHz |
| R _i | Input Resistance | | 10 ¹² | | | 10 ¹² | | Ω |
| THD | Total Harmonic Distortion (f = 1kHz, A _v = 20dB, R _L = 2kΩ, C _L = 100pF, T _{amb} = 25°C, V _O = 2V _{PP}) | | 0.01 | | | 0.01 | | % |
| e _n | Equivalent Input Noise Voltage (f = 1kHz, R _G = 100Ω) | | 15 | | | 15 | | nV √Hz |
| φ _m | Phase Margin | | 45 | | | 45 | | Degrees |

* The input bias currents are junction leakage currents which approximately double for every 10°C increase in the junction temperature.



MM74C93 4-Bit Binary Counter

General Description

The MM74C93 binary counter and complementary MOS (CMOS) integrated circuits constructed with N- and P-channel enhancement mode transistors. The 4-bit binary counter can be reset to zero by applying high logic level on inputs R_{D1} and R_{D2} , and a separate flip-flop on the A-bit enables the user to operate it as a divide-by-2, -8, or -16 divider. Counting occurs on the negative going edge of the input pulse.

All inputs are protected against static discharge damage.

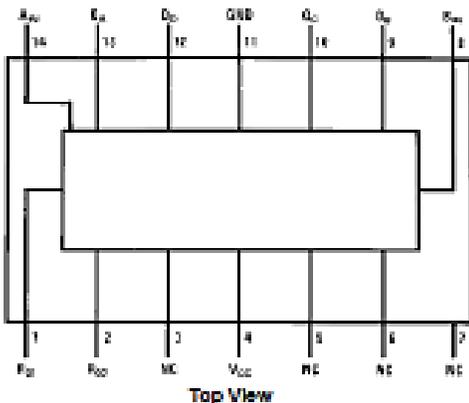
Features

- Wide supply voltage range: 3V to 15V
- Guaranteed noise margin: 1V
- High noise immunity: 0.45 V_{DD} (typ.)
- Low power compatibility:
 - Fan out of 2 TTL driving 74L
- The MM74C93 follows the MM74L93 Pinout

Ordering Code:

| Order Number | Package Number | Package Description |
|--------------|----------------|--|
| MM74C93N | N14A | 14-Lead Plastic Dual-In-Line Package (PDIP), JEDEC MS-001, 0.300" Wide |

Connection Diagram

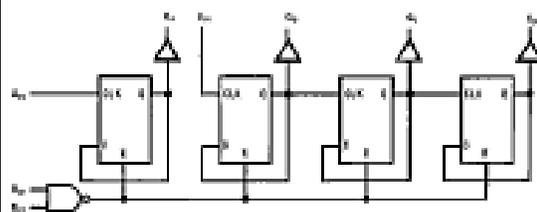


Truth Table

4-Bit Binary Counter Binary Count Sequence

| Count | Output | | | |
|-------|--------|-------|-------|-------|
| | Q_D | Q_C | Q_B | Q_A |
| 0 | L | L | L | L |
| 1 | L | L | L | H |
| 2 | L | L | H | L |
| 3 | L | L | H | H |
| 4 | L | H | L | L |
| 5 | L | H | L | H |
| 6 | L | H | H | L |
| 7 | L | H | H | H |
| 8 | H | L | L | L |
| 9 | H | L | L | H |
| 10 | H | L | H | L |
| 11 | H | L | H | H |
| 12 | H | H | L | L |
| 13 | H | H | L | H |
| 14 | H | H | H | L |
| 15 | H | H | H | H |

Logic Diagram



Output Q_A is connected to input B for binary count sequence.
H = HIGH Level
L = LOW Level
X = Irrelevant

Function Tables

Reset/Count Function Table

| Reset Inputs | | | | Output | | | |
|-----------------|-----------------|-----------------|-----------------|----------------|----------------|----------------|----------------|
| R ₉₁ | R ₉₂ | R ₉₁ | R ₉₂ | Q _D | Q _C | Q _B | Q _A |
| H | H | L | X | L | L | L | L |
| H | H | X | L | L | L | L | L |
| X | X | H | H | H | L | L | H |
| X | L | X | L | Count | | | |
| L | X | L | X | Count | | | |
| L | X | X | L | Count | | | |
| X | L | L | X | Count | | | |

Reset/Count Function Table

| Reset Inputs | | Output | | | |
|-----------------|-----------------|----------------|----------------|----------------|----------------|
| R ₉₁ | R ₉₂ | Q _D | Q _C | Q _B | Q _A |
| H | H | L | L | L | L |
| L | X | Count | | | |
| X | L | Count | | | |

Absolute Maximum Ratings^(Note 1)

| | |
|---------------------------------------|--------------------------|
| Voltage at Any Pin (Note 1) | -0.3V to $V_{CC} + 0.3V$ |
| Operating Temperature Range (T_A) | -55°C to +125°C |
| Power Dissipation (P_D) | |
| Dual-In-Line | 700 mW |
| Small Outline | 500 mW |
| Operating V_{CC} Range | 3V to 15V |
| Absolute Maximum V_{CC} | 18V |
| Storage Temperature Range (T_S) | -55°C to +150°C |
| Lead Temperature (T_L) | |
| (Soldering, 10 seconds) | 260°C |

Note 1: "Absolute Maximum Ratings" are those values beyond which the safety of the device cannot be guaranteed. Except for "Operating Temperature Range", they are not meant to imply that the devices should be operated at these limits. The table of "Electrical Characteristics" provides conditions for actual device operation.

DC Electrical Characteristics

Min/Max limits apply across temperature range unless otherwise noted

| Symbol | Parameter | Conditions | Min | Typ | Max | Units |
|---|--|---|----------------|--------|------------|---------|
| CMOS TO CMOS | | | | | | |
| $V_{in(1)}$ | Logical "1" Input Voltage | $V_{CC} = 5V$ $V_{CC} = 10V$ | 3.5 8.0 | | | V |
| $V_{in(0)}$ | Logical "0" Input Voltage | $V_{CC} = 5V$ $V_{CC} = 10V$ | | | 1.5 2.0 | V |
| $V_{out(1)}$ | Logical "1" Output Voltage | $V_{CC} = 5V, I_O = -10 \mu A$ $V_{CC} = 10V, I_O = -10 \mu A$ | 4.5 9.0 | | | V |
| $V_{out(0)}$ | Logical "0" Output Voltage | $V_{CC} = 5V, I_O = +10 \mu A$ $V_{CC} = 10V, I_O = +10 \mu A$ | | | 0.5 1.0 | V |
| $I_{in(1)}$ | Logical "1" Input Current | $V_{CC} = 15V, V_{IN} = 15V$ | | 0.005 | 1.0 | μA |
| $I_{in(0)}$ | Logical "0" Input Current | $V_{CC} = 15V, V_{IN} = 0V$ | -1.0 | -0.005 | | μA |
| I_{CC} | Supply Current | $V_{CC} = 15V$ | | 0.05 | 300 | μA |
| CMOS/LPTTL INTERFACE | | | | | | |
| $V_{in(1)}$ | Logical "1" Input Voltage MM74C90, MM74C93 | $V_{CC} = 4.75V$ | $V_{CC} - 1.5$ | | | V |
| $V_{in(0)}$ | Logical "0" Input Voltage MM74C90, MM74C93 | $V_{CC} = 4.75V$ | | | 0.8 | V |
| $V_{out(1)}$ | Logical "1" Output Voltage MM74C90, MM74C93 | $V_{CC} = 4.75V, I_O = -350 \mu A$ | 2.4 | | | V |
| $V_{out(0)}$ | Logical "0" Output Voltage MM74C90, MM74C93 | $V_{CC} = 4.75V, I_O = -350 \mu A$ | | | 0.4 | V |
| OUTPUT DRIVE (See Family Characteristics Data Sheet) (Short Circuit Current) | | | | | | |
| I_{SOURCE} | Output Source Current (P-Channel) | $V_{CC} = 5V, V_{OUT} = 0V$ $T_A = 25^\circ C$ | -1.75 | -3.3 | | mA |
| I_{SOURCE} | Output Source Current (P-Channel) | $V_{CC} = 10V, V_{OUT} = 0V$ $T_A = 25^\circ C$ | -8.0 | -15 | | mA |
| I_{SEK} | Output Sink Current (N-Channel) | $V_{CC} = 5V, V_{OUT} = V_{CC}$ $T_A = 25^\circ C$ | 1.75 | 3.6 | | mA |
| I_{SEK} | Output Sink Current (N-Channel) | $V_{CC} = 10V, V_{OUT} = V_{CC}$ $T_A = 25^\circ C$ | 8.0 | 16 | | mA |

AD633

FEATURES

- Four-Quadrant Multiplication
- Low Cost 8-Lead Package
- Complete—No External Components Required
- Laser-Trimmed Accuracy and Stability
- Total Error Within 2% of FS
- Differential High Impedance X and Y Inputs
- High Impedance Unity-Gain Summing Input
- Laser-Trimmed 10 V Scaling Reference

APPLICATIONS

- Multiplication, Division, Squaring
- Modulation/Demodulation, Phase Detection
- Voltage-Controlled Amplifiers/Attenuators/Filters

PRODUCT DESCRIPTION

The AD633 is a functionally complete, four-quadrant, analog multiplier. It includes high impedance, differential X and Y inputs and a high impedance summing input (Z). The low impedance output voltage is a nominal 10 V full scale provided by a buried Zener. The AD633 is the first product to offer these features in modestly priced 8-lead plastic DIP and SOIC packages.

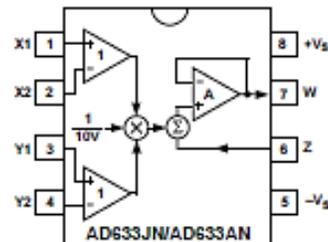
The AD633 is laser calibrated to a guaranteed total accuracy of 2% of full scale. Nonlinearity for the Y-input is typically less than 0.1% and noise referred to the output is typically less than 100 μ V rms in a 10 Hz to 10 kHz bandwidth. A 1 MHz bandwidth, 20 V/ μ s slew rate, and the ability to drive capacitive loads make the AD633 useful in a wide variety of applications where simplicity and cost are key concerns.

The AD633's versatility is not compromised by its simplicity. The Z-input provides access to the output buffer amplifier, enabling the user to sum the outputs of two or more multipliers, increase the multiplier gain, convert the output voltage to a current, and configure a variety of applications.

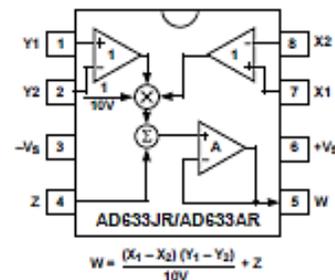
The AD633 is available in an 8-lead plastic DIP package (N) and 8-lead SOIC (R). It is specified to operate over the 0°C to +70°C commercial temperature range (J Grade) or the -40°C to +85°C industrial temperature range (A Grade).

CONNECTION DIAGRAMS

8-Lead Plastic DIP (N) Package



8-Lead Plastic SOIC (SO-8) Package



PRODUCT HIGHLIGHTS

1. The AD633 is a complete four-quadrant multiplier offered in low cost 8-lead plastic packages. The result is a product that is cost effective and easy to apply.
2. No external components or expensive user calibration are required to apply the AD633.
3. Monolithic construction and laser calibration make the device stable and reliable.
4. High (10 M Ω) input resistances make signal source loading negligible.
5. Power supply voltages can range from ± 8 V to ± 18 V. The internal scaling voltage is generated by a stable Zener diode; multiplier accuracy is essentially supply insensitive.

AD633—SPECIFICATIONS ($T_A = +25^\circ\text{C}$, $V_S = \pm 15\text{ V}$, $R_L \geq 2\text{ k}\Omega$)

| Model | AD633J, AD633A | | | | |
|---|--|----------|--------------|-----------|--------------------------------|
| TRANSFER FUNCTION | $W = \frac{(X_1 - X_2)(Y_1 - Y_2)}{10\text{ V}} + Z$ | | | | |
| Parameter | Conditions | Min | Typ | Max | Unit |
| MULTIPLIER PERFORMANCE | | | | | |
| Total Error | $-10\text{ V} \leq X, Y \leq +10\text{ V}$ | | ± 1 | ± 2 | % Full Scale |
| T_{MIN} to T_{MAX} Scale Voltage Error | SF = 10.00 V Nominal | | ± 3 | | % Full Scale |
| Supply Rejection | $V_S = \pm 14\text{ V}$ to $\pm 16\text{ V}$ | | $\pm 0.25\%$ | | % Full Scale |
| Nonlinearity, X | $X = \pm 10\text{ V}$, $Y = +10\text{ V}$ | | ± 0.4 | ± 1 | % Full Scale |
| Nonlinearity, Y | $Y = \pm 10\text{ V}$, $X = +10\text{ V}$ | | ± 0.1 | ± 0.4 | % Full Scale |
| X Feedthrough | Y Nulled, $X = \pm 10\text{ V}$ | | ± 0.3 | ± 1 | % Full Scale |
| Y Feedthrough | X Nulled, $Y = \pm 10\text{ V}$ | | ± 0.1 | ± 0.4 | % Full Scale |
| Output Offset Voltage | | | ± 5 | ± 50 | mV |
| DYNAMICS | | | | | |
| Small Signal BW | $V_O = 0.1\text{ V rms}$ | | 1 | | MHz |
| Slew Rate | $V_O = 20\text{ V p-p}$ | | 20 | | V/ μs |
| Settling Time to 1% | $\Delta V_O = 20\text{ V}$ | | 2 | | μs |
| OUTPUT NOISE | | | | | |
| Spectral Density | $f = 10\text{ Hz}$ to 5 MHz | | 0.8 | | $\mu\text{V}/\sqrt{\text{Hz}}$ |
| Wideband Noise | $f = 10\text{ Hz}$ to 10 kHz | | 1 | | mV rms |
| | | | 90 | | $\mu\text{V rms}$ |
| OUTPUT | | | | | |
| Output Voltage Swing | | ± 11 | | | V |
| Short Circuit Current | $R_L = 0\ \Omega$ | | 30 | 40 | mA |
| INPUT AMPLIFIERS | | | | | |
| Signal Voltage Range | Differential | ± 10 | | | V |
| | Common Mode | ± 10 | | | V |
| Offset Voltage X, Y | | | ± 5 | ± 30 | mV |
| CMRR X, Y | $V_{\text{CM}} = \pm 10\text{ V}$, $f = 50\text{ Hz}$ | 60 | 80 | | dB |
| Bias Current X, Y, Z | | | 0.8 | 2.0 | μA |
| Differential Resistance | | | 10 | | M Ω |
| POWER SUPPLY | | | | | |
| Supply Voltage | | | ± 15 | | V |
| Rated Performance | | | | | V |
| Operating Range | | ± 8 | | ± 18 | V |
| Supply Current | Quiescent | | 4 | 6 | mA |

FUNCTIONAL DESCRIPTION

The AD633 is a low cost multiplier comprising a translinear core, a buried Zener reference, and a unity gain connected output amplifier with an accessible summing node. Figure 1 shows the functional block diagram. The differential X and Y inputs are converted to differential currents by voltage-to-current converters. The product of these currents is generated by the multiplying core. A buried Zener reference provides an overall scale factor of 10 V. The sum of $(X \times Y)/10 + Z$ is then applied to the output amplifier. The amplifier summing node Z allows the user to add two or more multiplier outputs, convert the output voltage to a current, and configure various analog computational functions.

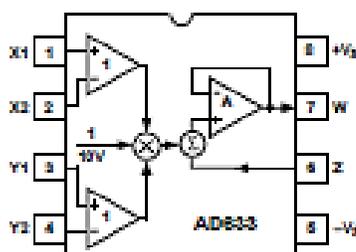


Figure 1. Functional Block Diagram (AD633/JN Pinout Shown)

Inspection of the block diagram shows the overall transfer function to be:

$$W = \frac{(X_1 - X_2)(Y_1 - Y_2)}{10 V} + Z \quad (\text{Equation 1})$$

ERROR SOURCES

Multiplier errors consist primarily of input and output offsets, scale factor error, and nonlinearity in the multiplying core. The input and output offsets can be eliminated by using the optional trim of Figure 2. This scheme reduces the net error to scale factor errors (gain error) and an irreducible nonlinearity component in the multiplying core. The X and Y nonlinearities are typically 0.4% and 0.1% of full scale, respectively. Scale factor error is typically 0.25% of full scale. The high impedance Z input should always be referenced to the ground point of the driven system, particularly if this is remote. Likewise, the differential X and Y inputs should be referenced to their respective grounds to realize the full accuracy of the AD633.

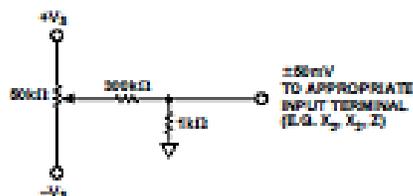


Figure 2. Optional Offset Trim Configuration

APPLICATIONS

The AD633 is well suited for such applications as modulation and demodulation, automatic gain control, power measurement,

voltage controlled amplifiers, and frequency doublers. Note that these applications show the pin connections for the AD633JN pinout (8-lead DIP), which differs from the AD633JR pinout (8-lead SOIC).

Multiplier Connections

Figure 3 shows the basic connections for multiplication. The X and Y inputs will normally have their negative nodes grounded, but they are fully differential, and in many applications the grounded inputs may be reversed (to facilitate interfacing with signals of a particular polarity, while achieving some desired output polarity) or both may be driven.

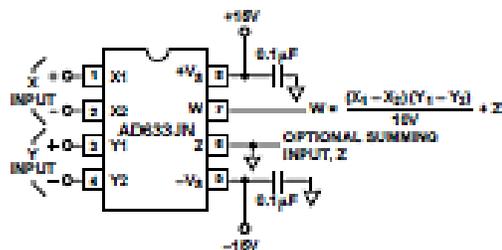


Figure 3. Basic Multiplier Connections

Squaring and Frequency Doubling

As Figure 4 shows, squaring of an input signal, E, is achieved simply by connecting the X and Y inputs in parallel to produce an output of $E^2/10 V$. The input may have either polarity, but the output will be positive. However, the output polarity may be reversed by interchanging the X or Y inputs. The Z input may be used to add a further signal to the output.

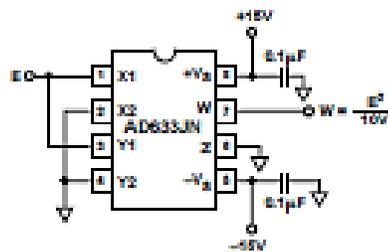


Figure 4. Connections for Squaring

When the input is a sine wave $E \sin \omega t$, this squarer behaves as a frequency doubler, since

$$\frac{(E \sin \omega t)^2}{10 V} = \frac{E^2}{20 V} (1 - \cos 2 \omega t) \quad (\text{Equation 2})$$

Equation 2 shows a dc term at the output which will vary strongly with the amplitude of the input, E. This can be avoided using the connections shown in Figure 5, where an RC network is used to generate two signals whose product has no dc term. It uses the identity:

$$\cos \theta \sin \theta = \frac{1}{2} (\sin 2 \theta) \quad (\text{Equation 3})$$

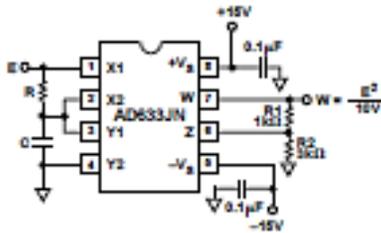


Figure 5. "Bounceless" Frequency Doubler

At $\omega_0 = 1/CR$, the X input leads the input signal by 45° (and is attenuated by $\sqrt{2}$), and the Y input lags the X input by 45° (and is also attenuated by $\sqrt{2}$). Since the X and Y inputs are 90° out of phase, the response of the circuit will be (satisfying Equation 3):

$$W = \frac{1}{(10V)} \frac{E}{\sqrt{2}} (\sin \omega_0 t + 45^\circ) \frac{E}{\sqrt{2}} (\sin \omega_0 t - 45^\circ) = \frac{E^2}{(40V)} (\sin 2 \omega_0 t) \quad (\text{Equation 4})$$

which has no dc component. Resistors R1 and R2 are included to restore the output amplitude to 10 V for an input amplitude of 10 V.

The amplitude of the output is only a weak function of frequency: the output amplitude will be 0.5% too low at $\omega = 0.9 \omega_0$, and $\omega_0 = 1.1 \omega_0$.

Generating Inverse Functions

Inverse functions of multiplication, such as division and square rooting, can be implemented by placing a multiplier in the feedback loop of an op amp. Figure 6 shows how to implement a square rooter with the transfer function

$$W = \sqrt{-(10V)E} \quad (\text{Equation 5})$$

for the condition $E < 0$.

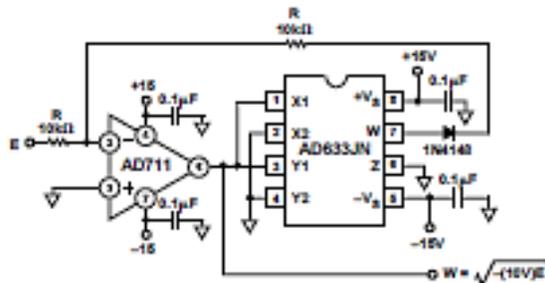


Figure 6. Connections for Square Rooting

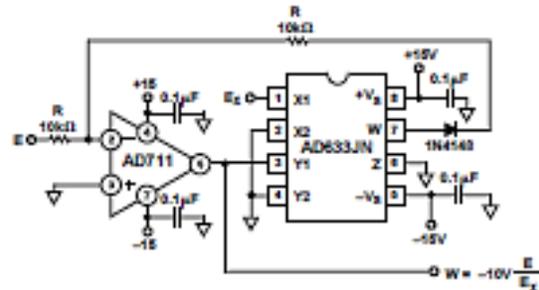


Figure 7. Connections for Division

Likewise, Figure 7 shows how to implement a divider using a multiplier in a feedback loop. The transfer function for the divider is

$$W = -(10V) \frac{E}{E_X} \quad (\text{Equation 6})$$

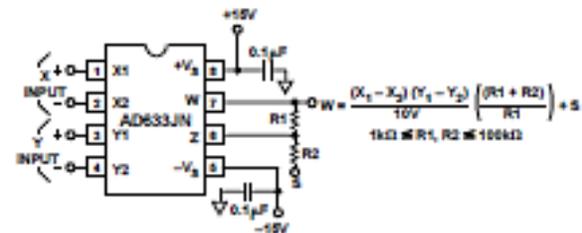


Figure 8. Connections for Variable Scale Factor

Variable Scale Factor

In some instances, it may be desirable to use a scaling voltage other than 10 V. The connections shown in Figure 8 increase the gain of the system by the ratio $(R1 + R2)/R1$. This ratio is limited to 100 in practical applications. The summing input, S, may be used to add an additional signal to the output or it may be grounded.

Current Output

The AD633's voltage output can be converted to a current output by the addition of a resistor R between the AD633's W and Z pins as shown in Figure 9 below. This arrangement forms

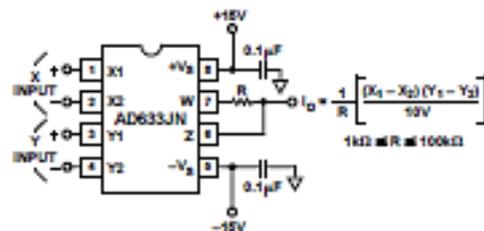


Figure 9. Current Output Connections

Absolute Maximum Ratings

Absolute maximum ratings indicate sustained limits beyond which damage to the device may occur. All voltage parameters are absolute voltages referenced to COM. The thermal resistance and power dissipation ratings are measured under board mounted and still air conditions. Additional information is shown in Figures 28 through 35.

| Symbol | Definition | Min. | Max. | Units |
|-----------------|---|----------------|----------------|--------------------|
| V_B | High side floating supply voltage (IR2110) (IR2113) | -0.3 | 525 | V |
| | | -0.3 | 625 | |
| V_S | High side floating supply offset voltage | $V_B - 25$ | $V_B + 0.3$ | |
| V_{HO} | High side floating output voltage | $V_S - 0.3$ | $V_B + 0.3$ | |
| V_{CC} | Low side fixed supply voltage | -0.3 | 25 | |
| V_{LO} | Low side output voltage | -0.3 | $V_{CC} + 0.3$ | |
| V_{DD} | Logic supply voltage | -0.3 | $V_{SS} + 25$ | |
| V_{SS} | Logic supply offset voltage | $V_{CC} - 25$ | $V_{CC} + 0.3$ | |
| V_{IN} | Logic input voltage (HIN, LIN & SD) | $V_{SS} - 0.3$ | $V_{DD} + 0.3$ | |
| dV_S/dt | Allowable offset supply voltage transient (figure 2) | — | 50 | |
| P_D | Package power dissipation @ $T_A \leq +25^\circ\text{C}$ (14 lead DIP) (16 lead SOIC) | — | 1.6 | W |
| | | — | 1.25 | |
| $R_{\theta JA}$ | Thermal resistance, junction to ambient (14 lead DIP) (16 lead SOIC) | — | 75 | $^\circ\text{C/W}$ |
| | | — | 100 | |
| T_J | Junction temperature | — | 150 | $^\circ\text{C}$ |
| T_S | Storage temperature | -55 | 150 | |
| T_L | Lead temperature (soldering, 10 seconds) | — | 300 | |

Recommended Operating Conditions

The input/output logic timing diagram is shown in figure 1. For proper operation the device should be used within the recommended conditions. The V_S and V_{SS} offset ratings are tested with all supplies biased at 15V differential. Typical ratings at other bias conditions are shown in figures 36 and 37.

| Symbol | Definition | Min. | Max. | Units |
|----------|---|--------------|---------------|------------------|
| V_B | High side floating supply absolute voltage | $V_S + 10$ | $V_S + 20$ | V |
| V_S | High side floating supply offset voltage (IR2110) (IR2113) | Note 1 | 500 | |
| | | Note 1 | 600 | |
| V_{HO} | High side floating output voltage | V_S | V_B | |
| V_{CC} | Low side fixed supply voltage | 10 | 20 | |
| V_{LO} | Low side output voltage | 0 | V_{CC} | |
| V_{DD} | Logic supply voltage | $V_{SS} + 3$ | $V_{SS} + 20$ | |
| V_{SS} | Logic supply offset voltage | -5 (Note 2) | 5 | |
| V_{IN} | Logic input voltage (HIN, LIN & SD) | V_{SS} | V_{DD} | |
| T_A | Ambient temperature | -40 | 125 | $^\circ\text{C}$ |

Note 1: Logic operational for V_S of -4 to +500V. Logic state held for V_S of -4V to $-V_{SS}$. (Please refer to the Design Tip DT97-3 for more details).

Note 2: When $V_{DD} < 5\text{V}$, the minimum V_{SS} offset is limited to $-V_{DD}$.

Dynamic Electrical Characteristics

V_{BIAS} (V_{CC} , V_{BS} , V_{DD}) = 15V, C_L = 1000 pF, T_A = 25°C and V_{SS} = COM unless otherwise specified. The dynamic electrical characteristics are measured using the test circuit shown in Figure 3.

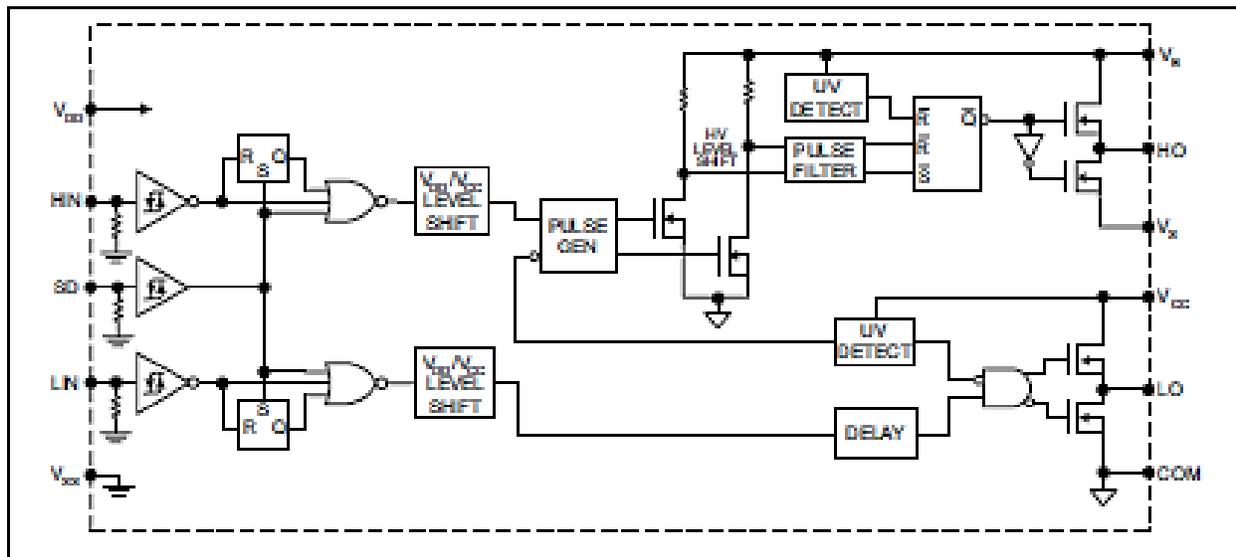
| Symbol | Definition | Figure | Min. | Typ. | Max. | Units | Test Conditions |
|-----------|--|----------------------|------|------|------|-------|-------------------|
| t_{on} | Turn-on propagation delay | 7 | — | 120 | 150 | ns | $V_S = 0V$ |
| t_{off} | Turn-off propagation delay | 8 | — | 94 | 125 | | $V_S = 500V/600V$ |
| t_{sd} | Shutdown propagation delay | 9 | — | 110 | 140 | | $V_S = 500V/600V$ |
| t_r | Turn-on rise time | 10 | — | 25 | 35 | | |
| t_f | Turn-off fall time | 11 | — | 17 | 25 | | |
| MT | Delay matching, HS & LS turn-on/off | (IR2110) (IR2113) | — | — | — | | 10 20 |

Static Electrical Characteristics

V_{BIAS} (V_{CC} , V_{BS} , V_{DD}) = 15V, T_A = 25°C and V_{SS} = COM unless otherwise specified. The V_{IH} , V_{TH} and I_{IN} parameters are referenced to V_{SS} and are applicable to all three logic input leads: HIN, LIN and SD. The V_O and I_O parameters are referenced to COM and are applicable to the respective output leads: HO or LO.

| Symbol | Definition | Figure | Min. | Typ. | Max. | Units | Test Conditions |
|-------------|---|--------|------|------|------|---------|--|
| V_{IH} | Logic "1" input voltage | 12 | 9.5 | — | — | V | |
| V_{IL} | Logic "0" input voltage | 13 | — | — | 6.0 | | |
| V_{OH} | High level output voltage, $V_{BIAS} - V_O$ | 14 | — | — | 1.2 | | $I_O = 0A$ |
| V_{OL} | Low level output voltage, V_O | 15 | — | — | 0.1 | | $I_O = 0A$ |
| I_{LK} | Offset supply leakage current | 16 | — | — | 50 | μA | $V_B = V_S = 500V/600V$ |
| I_{QBS} | Quiescent V_{BS} supply current | 17 | — | 125 | 230 | | $V_{IN} = 0V$ or V_{DD} |
| I_{QCC} | Quiescent V_{CC} supply current | 18 | — | 180 | 340 | | $V_{IN} = 0V$ or V_{DD} |
| I_{QDD} | Quiescent V_{DD} supply current | 19 | — | 15 | 30 | | $V_{IN} = 0V$ or V_{DD} |
| I_{IN+} | Logic "1" input bias current | 20 | — | 20 | 40 | V | $V_{IN} = V_{DD}$ |
| I_{IN-} | Logic "0" input bias current | 21 | — | — | 1.0 | | $V_{IN} = 0V$ |
| V_{BSUV+} | V_{BS} supply undervoltage positive going threshold | 22 | 7.5 | 8.6 | 9.7 | | |
| V_{BSUV-} | V_{BS} supply undervoltage negative going threshold | 23 | 7.0 | 8.2 | 9.4 | | |
| V_{CCUV+} | V_{CC} supply undervoltage positive going threshold | 24 | 7.4 | 8.5 | 9.6 | V | |
| V_{CCUV-} | V_{CC} supply undervoltage negative going threshold | 25 | 7.0 | 8.2 | 9.4 | | |
| I_{O+} | Output high short circuit pulsed current | 26 | 2.0 | 2.5 | — | A | $V_O = 0V$, $V_{IN} = V_{DD}$ $PW \leq 10 \mu s$ |
| I_{O-} | Output low short circuit pulsed current | 27 | 2.0 | 2.5 | — | | $V_O = 15V$, $V_{IN} = 0V$ $PW \leq 10 \mu s$ |

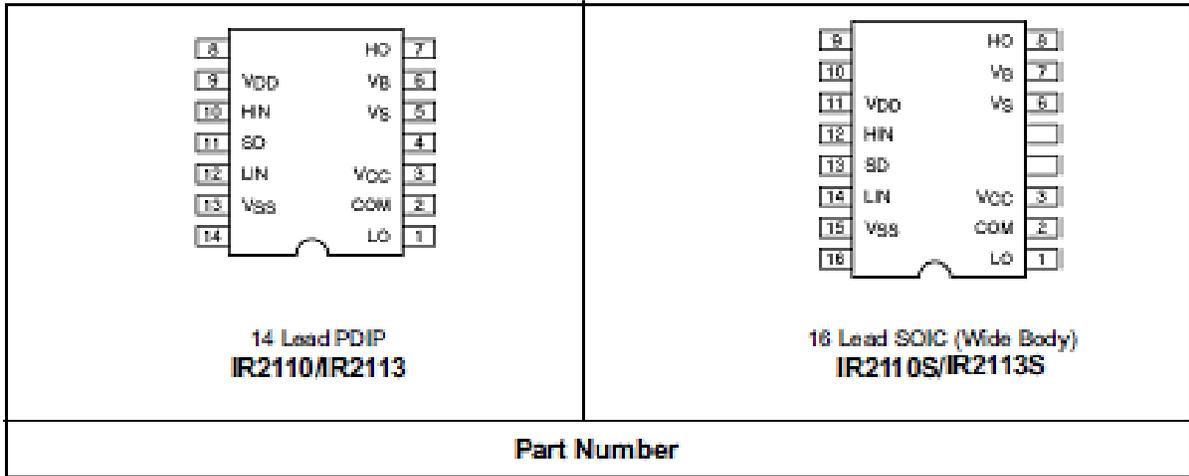
Functional Block Diagram



Lead Definitions

| Symbol | Description |
|--------|---|
| VDD | Logic supply |
| HIN | Logic input for high side gate driver output (HO), in phase |
| SD | Logic input for shutdown |
| LIN | Logic input for low side gate driver output (LO), in phase |
| VSS | Logic ground |
| VB | High side floating supply |
| HO | High side gate drive output |
| Vs | High side floating supply return |
| VCC | Low side supply |
| LO | Low side gate drive output |
| COM | Low side return |

Lead Assignments





FGPF30N45T

450V, 30A PDP Trench IGBT

Features

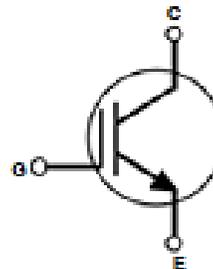
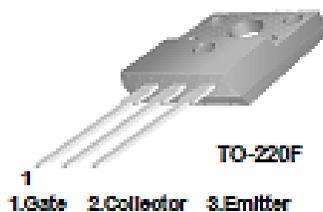
- High Current Capability
- Low saturation voltage: $V_{CE(sat)} = 1.55V @ I_C = 30A$
- High Input Impedance
- Fast switching
- RoHS compliant

General Description

Using Novel Trench IGBT Technology, Fairchild's new series of trench IGBTs offer the optimum performance for PDP applications where low conduction and switching losses are essential.

Applications

- PDP System



Absolute Maximum Ratings

| Symbol | Description | Ratings | Units |
|-------------|---|-------------|------------|
| V_{CES} | Collector to Emitter Voltage | 450 | V |
| V_{GES} | Gate to Emitter Voltage | ± 30 | V |
| $I_{CM(1)}$ | Pulsed Collector Current @ $T_C = 25^\circ C$ | 120 | A |
| P_D | Maximum Power Dissipation @ $T_C = 25^\circ C$ | 50.4 | W |
| | Maximum Power Dissipation @ $T_C = 100^\circ C$ | 20.1 | W |
| T_J | Operating Junction Temperature | -55 to +150 | $^\circ C$ |
| T_{stg} | Storage Temperature Range | -55 to +150 | $^\circ C$ |
| T_L | Maximum Lead Temp. for soldering Purposes, 1/8" from case for 5 seconds | 300 | $^\circ C$ |

Notes:

1: Repetitive test, Pulse width=100µsec, Duty=0.1

* I_C plus limited by max T_J

Thermal Characteristics

| Symbol | Parameter | Typ. | Max. | Units |
|-----------------------|---|------|------|--------------|
| $R_{\theta JC}(IGBT)$ | Thermal Resistance, Junction to Case | - | 2.48 | $^\circ C/W$ |
| $R_{\theta JA}$ | Thermal Resistance, Junction to Ambient | - | 62.5 | $^\circ C/W$ |

Package Marking and Ordering Information

| Device Marking | Device | Package | Packaging Type | Qty per Tube | Max Qty per Box |
|----------------|--------------|---------|----------------|--------------|-----------------|
| FGFP30N45T | FGFP30N45TTU | TO-220F | Roll / Tube | 50ea | - |

Electrical Characteristics of the IGBT T_C = 25°C unless otherwise noted

| Symbol | Parameter | Test Conditions | Min. | Typ. | Max. | Units |
|-------------------------------------|--|--|------|------|-----------|---------|
| Off Characteristics | | | | | | |
| V_{CES} | Collector to Emitter Breakdown Voltage | $V_{GE} = 0V, I_C = 250\mu A$ | 450 | - | - | V |
| $\frac{\Delta V_{CES}}{\Delta T_J}$ | Temperature Coefficient of Breakdown Voltage | $V_{GE} = 0V, I_C = 250\mu A$ | - | 0.5 | - | V/°C |
| I_{CES} | Collector Cut-Off Current | $V_{CE} = V_{CES}, V_{GE} = 0V$ | - | - | 100 | μA |
| I_{GOS} | G-E Leakage Current | $V_{GE} = V_{GOS}, V_{CE} = 0V$ | - | - | ± 400 | nA |
| On Characteristics | | | | | | |
| $V_{GE(th)}$ | G-E Threshold Voltage | $I_C = 250\mu A, V_{CE} = V_{GE}$ | 3.0 | 4.5 | 5.5 | V |
| $V_{CE(sat)}$ | Collector to Emitter Saturation Voltage | $I_C = 20A, V_{GE} = 15V$ | - | 1.35 | 1.6 | |
| | | $I_C = 30A, V_{GE} = 15V$ | - | 1.55 | - | V |
| | | $I_C = 30A, V_{GE} = 15V, T_C = 125^\circ C$ | - | 1.53 | - | V |
| Dynamic Characteristics | | | | | | |
| C_{iss} | Input Capacitance | $V_{CE} = 30V, V_{GE} = 0V, f = 1MHz$ | - | 1610 | - | pF |
| C_{oss} | Output Capacitance | | - | 68 | - | pF |
| C_{res} | Reverse Transfer Capacitance | | - | 68 | - | pF |
| Switching Characteristics | | | | | | |
| $t_{d(on)}$ | Turn-On Delay Time | $V_{DD} = 200V, I_C = 30A, R_G = 15\Omega, V_{GE} = 15V, \text{Resistive Load}, T_C = 25^\circ C$ | - | 19 | - | ns |
| t_r | Rise Time | | - | 57 | - | ns |
| $t_{d(off)}$ | Turn-Off Delay Time | | - | 119 | - | ns |
| t_f | Fall Time | | - | 220 | 330 | ns |
| $t_{d(on)}$ | Turn-On Delay Time | $V_{DD} = 200V, I_C = 30A, R_G = 15\Omega, V_{GE} = 15V, \text{Resistive Load}, T_C = 125^\circ C$ | - | 20 | - | ns |
| t_r | Rise Time | | - | 60 | - | ns |
| $t_{d(off)}$ | Turn-Off Delay Time | | - | 122 | - | ns |
| t_f | Fall Time | | - | 265 | - | ns |
| Q_g | Total Gate Charge | $V_{CE} = 200V, I_C = 30A, V_{GE} = 15V$ | - | 73 | - | nC |
| Q_{ge} | Gate to Emitter Charge | | - | 11 | - | nC |
| Q_{gc} | Gate to Collector Charge | | - | 33 | - | nC |

MUR1510G, MUR1515G, MUR1520G, MUR1540G, MUR1560G, MURF1560G, SUR81520G, SUR81560G

Switch-mode Power Rectifiers

These state-of-the-art devices are a series designed for use in switching power supplies, inverters and as free wheeling diodes.

Features

- Ultrafast 35 and 60 Nanosecond Recovery Time
- 175°C Operating Junction Temperature
- High Voltage Capability to 600 V
- ESD Ratings:
 - + Machine Model = C
 - + Human Body Model = 3B
- Low Forward Drop
- Low Leakage Specified @ 150°C Case Temperature
- Current Derating Specified @ Both Case and Ambient Temperatures
- SURS Prefix for Automotive and Other Applications Requiring Unique Site and Control Change Requirements; AEC-Q101 Qualified and PPAP Capable
- All Packages are Pb-Free*

Mechanical Characteristics:

- Case: Epoxy, Molded
- Weight: 1.9 Grams (Approximately)
- Finish: All External Surfaces Corrosion Resistant and Terminal Leads are Readily Solderable
- Lead Temperature for Soldering Purposes: 260°C Max. for 10 Seconds

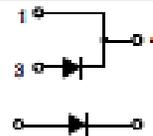
*For additional information on our Pb-Free strategy and soldering details, please download the ON Semiconductor Soldering and Mounting Techniques Reference Manual, SOLDERRM.D.



ON Semiconductor®

<http://onsemi.com>

ULTRAFAST RECTIFIERS 15 AMPERES, 100–600 VOLTS

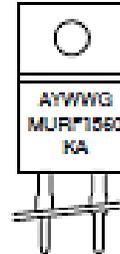
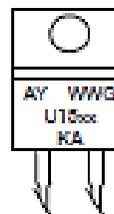


TO-220AC
CASE 221B
STYLE 1



TO-220 FULLPAK
CASE 221AG
STYLE 1

MARKING DIAGRAMS



- A = Assembly Location
- Y = Year
- WW = Work Week
- G = Pb-Free Package
- U15xx = Device Code
xx = 10, 15, 20, 40 or 60
- KA = Diode Polarity

ORDERING INFORMATION

See detailed ordering and shipping information in the package dimensions section on page 7 of this data sheet.

MUR1510G, MUR1515G, MUR1520G, MUR1540G, MUR1560G, MURF1560G,
SUR81520G, SUR81560G

MAXIMUM RATINGS

| Rating | Symbol | MUR/SUR8 | | | | | Unit |
|---|---------------------------------|--------------------------------|------|------|--------------------------------|------|------------------|
| | | 1510 | 1515 | 1520 | 1540 | 1560 | |
| Peak Repetitive Reverse Voltage Working Peak Reverse Voltage DC Blocking Voltage | V_{RRM} V_{RWM} V_R | 100 | 130 | 200 | 400 | 600 | V |
| Average Rectified Forward Current (Rated V_R) | $I_{(AV)}$ | 15 @ $T_C = 150^\circ\text{C}$ | | | 15 @ $T_C = 145^\circ\text{C}$ | | A |
| Peak Rectified Forward Current (Rated V_R , Square Wave, 20 kHz) | I_{RM} | 30 @ $T_C = 150^\circ\text{C}$ | | | 30 @ $T_C = 145^\circ\text{C}$ | | A |
| Nonrepetitive Peak Surge Current (Surge applied at rated load conditions halfwave, single phase, 60 Hz) | I_{FSM} | 200 | | | 150 | | A |
| Operating Junction Temperature and Storage Temperature Range | T_J, T_{stg} | -55 to +175 | | | | | $^\circ\text{C}$ |

Stresses exceeding those listed in the Maximum Ratings table may damage the device. If any of these limits are exceeded, device functionality should not be assumed, damage may occur and reliability may be affected.

THERMAL CHARACTERISTICS

| Characteristic | Symbol | Value | Unit |
|---|------------------------------------|------------|--------------------|
| MUR1510 Series: Thermal Resistance Junction-to-Case Junction-to-Ambient | $R_{\theta JC}$ $R_{\theta JA}$ | 1.5 73 | $^\circ\text{C/W}$ |
| MURF1560: Thermal Resistance Junction-to-Case Junction-to-Ambient | $R_{\theta JC}$ $R_{\theta JA}$ | 4.25 75 | $^\circ\text{C/W}$ |

ELECTRICAL CHARACTERISTICS

| Characteristic | Symbol | 1510 | 1515 | 1520 | 1540 | 1560 | Unit |
|---|----------|------|--------------|------|--------------|--------------|---------------|
| Maximum Instantaneous Forward Voltage (Note 1) ($I_F = 15\text{ A}$, $T_C = 150^\circ\text{C}$) ($I_F = 15\text{ A}$, $T_C = 25^\circ\text{C}$) | V_F | | 0.85 1.05 | | 1.12 1.25 | 1.20 1.50 | V |
| Maximum Instantaneous Reverse Current (Note 1) (Rated DC Voltage, $T_C = 150^\circ\text{C}$) (Rated DC Voltage, $T_C = 25^\circ\text{C}$) | I_R | | 500 10 | | 500 10 | 1000 10 | μA |
| Maximum Reverse Recovery Time ($I_F = 1.0\text{ A}$, $dI/dt = 50\text{ A}/\mu\text{s}$) | t_{rr} | | 35 | | | 60 | ns |

Product parametric performance is indicated in the Electrical Characteristics for the listed test conditions, unless otherwise noted. Product performance may not be indicated by the Electrical Characteristics if operated under different conditions.

1. Pulse Test: Pulse Width = 300 μs , Duty Cycle $\leq 2.0\%$.

Bibliografías

Este apartado tiene como objetivo adjuntar las referencias bibliográficas utilizadas en este proyecto de los cuales se consultaron para el desarrollo de los capítulos haciendo mención de los mismos.

1. Electrónica de Potencia - Muhammad H. Rashid, 4ta edición, Pearson Educación, México, 2015.
2. Manuales de fabricante de dispositivos electrónicos de Potencia (Mosfet e IGBT).
3. Máquinas eléctricas - Stephen J. Chapman, 5ta edición, McGraw-Hill, New York, 2012.
4. Electrónica de Potencia - Ned Mohán – Tore M. Underland – William P. Robbins, 3ra edición, McGraw-Hill.
5. Amplificadores Operacionales y Circuitos Integrados Lineales – Robert F. Coughlin, Frederick F. Driscoll, 4ta edición, Prentice-Hall Hispanoamericana, 1993.
6. Circuitos Electrónicos Aplicados con Amplificadores Operacionales Teoría y Problemas – J.J. González de la Rosa – A. Moreno Muñoz, 1ra edición, Servicio de Publicaciones de la Universidad de Cádiz, 2009.
7. Manuales de fabricantes de Circuitos Integrados (74C93, AD633JN, IR2110, TL081).