

INSTITUTO TECNOLÓGICO SUPERIOR DE IRAPUATO



INSTITUTO TECNOLÓGICO
SUPERIOR DE IRAPUATO

ESTUDIOS CON RECONOCIMIENTO DE VALIDEZ OFICIAL
NÚMERO 11-00065

**CONTROL BASADO EN EL MODELO PARA UN CONVERTIDOR
CHBN SIN TRANSFORMADOR PARA SFV CON COMPENSACIÓN
DE CORRIENTES DE FUGA.**

OPCION I: TESIS PROFESIONAL

QUE PARA OBTENER EL GRADO DE
MAESTRO EN INGENIERÍA ELECTRÓNICA

PRESENTA:

ING. GERARDO OSCAR PÉREZ BUSTOS

ASESORES:

DR. GERARDO VÁZQUEZ GUZMÁN

DR. PÁNFILO RAYMUNDO MARTÍNEZ RODRÍGUEZ

IRAPUATO, GTO.

AGOSTO 2024



INSTITUTO TECNOLÓGICO
SUPERIOR DE IRAPUATO

Constancia de aprobación de la tesis

La tesis **Control basado en el modelo para un convertidor CHBN sin transformador para SFV con compensación de corrientes de fuga** presentada para obtener el Grado de Maestro en Ingeniería Electrónica con especialidad en Electrónica de Potencia fue elaborada por el **Ing. Gerardo Oscar Pérez Bustos** y aprobada el **08 de agosto de 2024** por los suscritos, designados por el Consejo de Posgrado de la Maestría en Ingeniería Electrónica del Tecnológico Nacional de México / Instituto Tecnológico Superior de Irapuato.

Dr. Gerardo Vázquez Guzmán

(Director de tesis)

Dr. Pánfilo Raymundo Martínez Rodríguez

(Co-Director de tesis)

Dr. Adolfo Rafael López Núñez

(Sinodal)

Dr. Mario Alberto Juárez Balderas

(Sinodal)



Créditos Institucionales

Este proyecto de tesis, titulado “Control basado en el modelo para un convertidor CHBN sin transformador para SFV con compensación de corrientes de fuga”, se desarrolló e implementó utilizando las instalaciones del Instituto Tecnológico Superior de Irapuato, específicamente en el laboratorio de electrónica de potencia. Este laboratorio cuenta con el equipamiento y recursos necesarios para llevar a cabo todas las pruebas experimentales requeridas. El proyecto fue supervisado por el Dr. Gerardo Vázquez Guzmán y del Dr. Pánfilo Raymundo Martínez Rodríguez como asesores, y revisado por los doctores Dr. Adolfo Rafael López Núñez y Dr. Mario Alberto Juárez Balderas.

Agradecimientos

Agradezco al Instituto Tecnológico Superior de Irapuato por tener disponible la opción de cursar un posgrado de calidad en sus instalaciones.

Agradezco al consejo de posgrado de la Maestría en Ingeniería electrónica por haberme aceptado en el programa y darme la oportunidad de crecer profesionalmente.

Agradezco al Consejo Nacional de Humanidades, Ciencias y Tecnologías (CONAHCYT) por el apoyo económico brindado a lo largo de estos años de estudio y que ha sido fundamental para concluir mis estudios.

Agradezco a mis asesores de Tesis, el Dr. Gerardo Vázquez Guzmán y el Dr. Pánfilo Raymundo Martínez Rodríguez por haberme guiado en la realización de este trabajo. Aprecio profundamente la confianza brindada y su esfuerzo en la formación de profesionales. Además, agradezco al programa y a la institución por darme la oportunidad de realizar una estancia internacional.

Agradezco a mi esposa y compañera de estudio Juana Edith quien fue la que me motivo a realizar mis estudios de posgrado.

Agradezco a mis padres María Guadalupe y Oscar Pérez por su constante apoyo y confianza en las decisiones que he tomado.

Agradezco a mis compañeros de curso, Edith, Andrea, Héctor y Cristian por los momentos en los que nos apoyamos mutuamente.

Agradezco a mis compañeros de la carrera, Juan Antonio y Cristopher por el apoyo brindado.

ÍNDICE DE CONTENIDO

Agradecimientos.....	vii
NOTACIÓN.....	xvi
RESUMEN	18
ABSTRACT.....	20
CAPÍTULO 1	22
INTRODUCCIÓN.....	22
1.1 Panorama de generación eléctrica a nivel global.....	22
1.2 Escenario de las fuentes renovables a nivel mundial	23
1.3 Módulos fotovoltaicos	24
1.4 Clasificación de los sistemas fotovoltaicos	25
1.5 Problemática de la corriente de fuga en SFV sin transformador	28
1.6 Justificación.....	28
1.7 Objetivos.....	28
CAPÍTULO 2	30
ESTADO DEL ARTE	30
2.1 Capacitancias parásitas en un SFV	30
2.2 Puesta a tierra de un SFV.	31
2.3 Corriente de fuga	31
2.4 Otras normativas para inversores fotovoltaicos.....	33
2.5 Modo común y modo diferencial.....	34
2.6 Inversor puente completo	36
2.7 Técnicas de la literatura para la eliminación de las corrientes de fuga	37
2.8 Soluciones por filtrado pasivo	41
2.9 Soluciones basadas en el filtrado pasivo con reestructuración del filtro.....	41
2.10 Esquemas de modulación en inversores	43
CAPÍTULO 3	47
DESCRIPCIÓN Y ANÁLISIS DEL SISTEMA PROPUESTO	47
3.1 Contribuciones de este trabajo.....	47
3.2 Descripción del sistema.....	47
3.3 Análisis de la corriente de fuga cambiando el orden del filtro de salida.....	50
3.4 Convertidor CHBN generalizado basado en DD-Buck.....	54

3.5	Modelado del sistema.....	55
3.6	Modelo de modo común.....	57
3.7	Modelo de modo diferencial	58
3.8	Cálculo del filtro.....	59
3.9	Análisis en frecuencia del filtro	61
3.10	Distribución de pérdidas en el inversor CHB5L	63
3.11	Curvas de eficiencia para el inversor CHB5L.....	65
CAPÍTULO 4		66
DESCRIPCIÓN DE LA LEY DE CONTROL		66
4.1	Análisis del control.....	66
4.2	Lazo de seguimiento de corriente.....	68
4.3	Corriente de referencia	68
4.4	Diseño de los filtros resonantes.....	69
CAPÍTULO 5		72
RESULTADOS EXPERIMENTALES.....		72
5.1	Descripción del prototipo	72
5.2	Implementación de los esquemas de modulación en lazo abierto.....	75
5.3	Validación de la eficiencia del filtro ante las corrientes de fuga en lazo abierto.....	78
5.4	Resultados en lazo cerrado para 5 niveles en régimen permanente	81
5.5	Resultados en lazo cerrado para el inversor de 5 niveles en régimen transitorio.....	85
5.6	Resultados en lazo cerrado para el inversor de 7 niveles en régimen permanente ...	88
5.7	Resultados en lazo cerrado para 7 niveles en régimen transitorio	93
CAPÍTULO 6		95
CONCLUSIONES		95
Referencias		97
Anexo A. Norma VDE V 0126-1-1		101
Anexo B. IEEE Std 519.....		103
Anexo C. IEEE Std 1547.....		106
Anexo D. Tarjeta de control y sensado		109

LISTA DE FIGURAS

Figura 1. Gráfico de los medios de generación de electricidad (International Energy Agency, 2024), [1].	22
Figura 2. Gráfico de la distribución de energía de fuentes renovables (International Energy Agency, 2024), [1].	23
Figura 3. Distribución de la capacidad fotovoltaica instalada en México (Asociación Mexicana de energía Solar, 2024), [2].	24
Figura 4. Esquemas simplificados de los tipos de SFV. (a) aislado, (b) conexión con transformador y (c) conexión directa.	26
Figura 5. Diagrama de un SFV conectado a la red con transformador (CCEEA), [6].	27
Figura 6. Diagrama de un SFV conectado a la red sin transformador (CCEEA), [6].	27
Figura 7. Representación de la formación de capacitancias parásitas.	31
Figura 8. SFV implementado con un inversor puente completo y elementos parásitos más significativos.	35
Figura 9. Modelo de modo común del inversor de puente completo.	36
Figura 10. Topología presentada en [21].	38
Figura 11. Topología presentada en [22].	38
Figura 12. Topología presentada en [23].	39
Figura 13. Topología presentada en [24].	39
Figura 14. Topología presentada en [11].	41
Figura 15. (a) Topología Double-Dual Buck inverter, (b) Reestructuración de la topología Double-Dual Buck inverter, (c) Modelo de modo común.	42
Figura 16. (a) Topología CHB5L con filtro LC vinculado al enlace de CD, (b) Modelo de modo común de la topología CHB5L.	43
Figura 17. (a) Topología HB-NPC con filtro LC a la salida, (b) Modelo de modo común de la topología HB-NPC con filtro LC.	43
Figura 18. Clasificación general de los esquemas de modulación para inversores.	45
Figura 19. Esquemas de modulación basados en multiportadora.	45
Figura 20. Topología DD-Buck en cascada.	48
Figura 21. (a) Identificación de la malla de los inductores, (b) Identificación de las mallas de los capacitores.	49
Figura 22. Configuraciones evaluadas de los filtros de salida.	50
Figura 23. Corriente de fuga con filtro LC topología CHB5L.	51
Figura 24. Corriente de fuga con filtro LC-L topología CHB5L.	52
Figura 25. Corriente de fuga con filtro LCL topología CHB5L.	52

Figura 26. Corriente de fuga con filtro LCL-L topología CHB5L.....	53
Figura 27. Topología final de estudio, inversor CHB para n niveles.....	55
Figura 28. Circuito equivalente del modelo de modo común.	58
Figura 29. Circuito equivalente del modelo de modo diferencial.	59
Figura 30. Diagrama de Bode del modelo de modo común.....	62
Figura 31. Diagrama de Bode del modelo de modo diferencial.....	63
Figura 32. Distribución de pérdidas en los interruptores, (a) APOD, (b) IPD, (c) POD y (d) PSPWM.....	64
Figura 33. Curvas de eficiencia a diferentes niveles de potencia.....	65
Figura 34. Eficiencia ponderada.....	65
Figura 35. Circuito equivalente para el análisis del control.	67
Figura 36. Esquema de control.....	69
Figura 37. Diagrama de bode sin amortiguamiento.	70
Figura 38. Variación del factor de calidad Q para el diseño del filtro resonante.....	70
Figura 39. Prototipo experimental del sistema propuesto.	72
Figura 40. Topología implementada, (a) CHB5L, (b) CHB7L.....	74
Figura 41. CHB5L (a) APOD, (b) IPD, (c) POD y (d) PSPWM. De arriba abajo, (eje x 4 ms/div): voltaje de salida diferencial (eje y 200 V/div) y señales de compuerta de los 8 semiconductores.	76
Figura 42. CHB7L (a) APOD, (b) IPD, (c) POD y (d) PSPWM. De arriba abajo, (eje x 4 ms/div): voltaje de salida diferencial (eje y 200 V/div) y señales de compuerta de los 12 semiconductores.	77
Figura 43. CHB5L (a) APOD, (b) IPD, (c) POD y (d) PSPWM. De arriba abajo, (eje x 4ms/div): voltaje de salida diferencial (eje y 200V/div), corriente de salida (eje y 10 A/div) y corriente de fuga (eje y 1 A/div).	79
Figura 44. CHB5L (a) APOD, (b) IPD, (c) POD y (d) PSPWM. De arriba abajo, (eje x 4ms/div): voltaje de modo común (eje y 50V/div), voltaje del capacitor parásito C_{P1} (eje y 250V/div) y voltaje del capacitor parásito $CP4$ (eje y 250V/div).	80
Figura 45. CHB5L (a) APOD, (b) IPD, (c) POD y (d) PSPWM. De arriba abajo, (eje x 4ms/div): voltaje de modo común (eje y 50V/div), corriente de modo común (eje y 5A/div) y corriente de fuga (eje y 200 mA/div).	82
Figura 46. CHB5L (a) APOD, (b) IPD, (c) POD y (d) PSPWM. De arriba abajo, (eje x 4ms/div): corriente de capacitor $CF1$ (eje y 5 A/div), corriente de capacitor $CF4$ (eje y 5A/div) y corriente de modo común (eje y 5 A/div).....	83

Figura 47. CHB5L (a) APOD, (b) IPD, (c) POD y (d) PSPWM. De arriba abajo, (eje x 4ms/div): voltaje diferencial (eje y 200 V/div), voltaje de red (eje y 250 V/div), corriente de salida (eje y 20 A/div) y corriente de modo común (eje y 5 A/div).	84
Figura 48. CHB5L (a) APOD, (b) IPD, (c) POD y (d) PSPWM. De arriba abajo, (eje x 10ms/div): corriente de salida (eje y 10 A/div), (eje x 250 Hz/div): espectro armónico (eje y 1 A/div).....	86
Figura 49. CHB5L (a) APOD, (b) IPD, (c) POD y (d) PSPWM respuesta transitoria. De arriba abajo, (eje x 10ms/div): voltaje de red (eje y 250 V/div), corriente de inyectada (eje y 10 A/div) y corriente de fuga (eje y 200 mA/div).....	87
Figura 50. CHB7L (a) APOD, (b) IPD, (c) POD y (d) PSPWM. De arriba abajo, (eje x 4ms/div): voltaje de modo común (eje y 50V/div), corriente de modo común (eje y 5A/div) y corriente de fuga (eje y 200 mA/div).....	89
Figura 51. CHB7L (a) APOD, (b) IPD, (c) POD y (d) PSPWM. De arriba abajo, (eje x 4ms/div): corriente de capacitor CF1 (eje y 5 A/div), corriente de capacitor CF4 (eje y 5A/div) y corriente de modo común (eje y 5 A/div).	90
Figura 52. CHB7L (a) APOD, (b) IPD, (c) POD y (d) PSPWM. De arriba abajo, (eje x 4ms/div): voltaje diferencial (eje y 200 V/div), voltaje de red (eje y 250 V/div), corriente de salida (eje y 20 A/div) y corriente de modo común (eje y 5 A/div).	91
Figura 53. CHB7L (a) APOD, (b) IPD, (c) POD y (d) PSPWM. De arriba abajo, (eje x 10ms/div): corriente de salida (eje y 10 A/div), (eje x 250 Hz/div): espectro armónico (eje y 1 A/div).....	92
Figura 54. CHB7L (a) APOD, (b) IPD, (c) POD y (d) PSPWM respuesta transitoria. De arriba abajo, (eje x 10ms/div): voltaje de red (eje y 250 V/div), corriente de inyectada (eje y 10 A/div) y corriente de fuga (eje y 200 mA/div).....	94
Figura 55. Tarjeta de sensado y control basada en el DSP F28335.....	109
Figura 56. Interfaz guide de Texas Instruments.	111

LISTA DE TABLAS

Tabla 1. Capacidad FV instalada por estado (Asociación Mexicana de energía Solar, agosto 2023), [2].	24
Existen otros estándares internacionales que también rigen los niveles para una corriente de fuga permitida, lo cuales son el estándar IEC 62109-2, el CRD en UL 62109-1 y el UL 1741. En Europa predomina el IEC mientras que en Norteamérica se rige por el UL. Los valores permitidos y el respectivo tiempo de desconexión se muestran en la Tabla 2 y	32
Tabla 2. Límites de corriente residual en cambios súbitos y su tiempo de desconexión.	32
Tabla 3. Límite de corriente residual para niveles constantes y su tiempo de desconexión.	33
Tabla 4. Porcentajes de distorsión armónica en la corriente.	33
Tabla 5. Rangos de frecuencias de operación según el estándar IEEE 1547.	34
Tabla 6. Estados de conmutación, voltaje diferencial y de modo común de inversor puente completo.	37
Tabla 7. Técnicas presentadas para la mitigación de la corriente de modo común.	40
Tabla 8. Posibles estados en un inversor CHB5L.	46
Tabla 9. Estados utilizados para cada técnica PWM.	46
Tabla 10. Parámetros de simulación.	51
Tabla 11. Resumen de las magnitudes de la corriente de fuga con diferente filtro.	53
Tabla 12. Valores propuestos para el filtro.	61
Tabla 13. Valores del factor de calidad para los filtros resonantes.	71
Tabla 14. Parámetros para el prototipo experimental.	73
Tabla 15. Obtención de la medición mediante operaciones matemática.	74
Tabla 16. Comparativa de los valores de la corriente de fuga en lazo abierto para cinco niveles.	78
Tabla 17. Valores de corriente de fuga en valores RMS en lazo cerrado para cinco niveles. ..	81
Tabla 18. Valores de THD en lazo cerrado cinco niveles.	85
Tabla 19. Corrientes de fuga en valores RMS en lazo cerrado para siete niveles.	88
Tabla 20. Valores de THD para 7 niveles.	93
Tabla 21. Resumen de los niveles de corriente de fuga.	96
Tabla 22. Resumen de los valores de THD.	96
Tabla 23. Disposición de los sensores de voltaje CA	109
Tabla 24. Disposición de los sensores de corriente CA – CD.	110
Tabla 25. Disposición de los sensores de voltaje CD.	110
Tabla 26. Disposición de los relé.	110

NOTACIÓN

Acrónimos utilizados

SFV	Sistema Fotovoltaico / Sistemas Fotovoltaicos.
FV	Fotovoltaico.
CA	Corriente alterna.
CD	Corriente directa.
CHB5L	Convertidor de puente H en cascada de 5 niveles.
CHB7L	Convertidor de puente H en cascada de 7 niveles.
CHBNL	Convertidor de puente H en cascada de n niveles.
PSPWM	Modulación por ancho de pulso con desplazamiento en fase.
LSPWM	Modulación por ancho de pulso con desplazamiento en nivel.
IPD	Disposición de fase.
APOD	Disposición alterna opuesta de fase.
POD	Disposición opuesta de fase.

Variables empleadas

e_{DMT}	Voltaje de modo diferencial total.
e_{CM}	Voltaje de modo común.
i_{DM}	Corriente de modo diferencial del lado del inversor.
i_{ICMT}	Corriente de modo común total.
i_{oDMT}	Corriente de modo diferencial total del lado de la red (corriente de salida).
i_{LKG}	Corriente de fuga.

Simbología

=	Igual a.
\approx	Casi igual a.
\triangleq	Igual a por definición.
\dot{v}	Derivada del voltaje con respecto del tiempo.
\hat{i}	Derivada de la corriente con respecto del tiempo.

RESUMEN

Los sistemas fotovoltaicos (SFV) son actualmente una de las principales fuentes de generación de energía eléctrica a partir de fuentes de energía renovables. En particular, los SFV conectados a la red eléctrica, se han popularizado debido a su bajo costo y alta eficiencia. Los SFV sin transformador han contribuido a mejorar la accesibilidad a estos sistemas debido a su alta eficiencia, bajo costo y alta densidad de potencia.

Los convertidores de corriente directa (CD) a corriente alterna (CA), o inversores, son clave en el proceso de conversión de la energía producida en estos sistemas. Particularmente, los inversores multinivel como el inversor con sujeción de punto neutro o NPC (Neutral Point Clamped Inverter), el inversor de capacitores flotantes o FC (Flying Capacitor Inverter) y el inversor de puente H en cascada o CHB (Cascaded H-Bridge Inverter) presentan baja distorsión armónica o THD (Total Harmonic Distortion), y los semiconductores presentan bajo estrés eléctrico. Sin embargo, pueden presentar altos niveles de corriente de dispersión o de fuga debido a variaciones en el voltaje de modo común del sistema.

Este trabajo de tesis se estudia un inversor puente H en cascada monofásico extendido a n niveles (CHBN), diseñado para aplicaciones en SFV interconectados a la red eléctrica sin transformador, y con compensación de corriente de fuga mediante métodos pasivos. La estructura del filtro está basada en un inversor Double-Dual Buck (DD-Buck), similar a un puente H convencional con un filtro de salida LC donde los capacitores están conectados al bus de CD. Para mejorar la estructura del filtro, se añadió un segundo inductor de salida, creando así un filtro de tercer orden LCL. Aunque con esta modificación se presentó un ligero aumento en la corriente de fuga en comparación con el filtro LC, ofrece ventajas significativas como menor caída de voltaje en los inductores, capacidad de limitar la corriente de arranque de los capacitores y mayor robustez frente a variaciones en la inductancia de la red eléctrica.

Para validar el sistema propuesto, se implementaron diferentes esquemas de modulación por ancho (PWM) como PSPWM (Phase Shifted PWM) y LSPWM (Level Shifted PWM) en sus tres variantes APOD, IPD y POD con la finalidad de contrastar su comportamiento respecto a la mitigación de la corriente de fuga y a la calidad en la forma de onda de corriente de salida.

El sistema propuesto se validó tanto en simulación como en un prototipo de laboratorio. Inicialmente se validó en lazo abierto y, para la validación en lazo cerrado, se implementó un lazo de control de corriente basado en el clásico controlador proporcional-resonante o PR. El sistema se implementó usando una potencia nominal de 700 W y una plataforma digital basada en el TMS28335 de la empresa Texas Instruments. Se consideró una configuración inicial de cinco niveles y posteriormente se validó la extensión a n niveles implementando una configuración de siete niveles. Los resultados obtenidos mostraron que la solución propuesta garantiza la reducción de la corriente de fuga sin presentar dependencia del esquema de modulación utilizado. Por otro lado, no se implementan dispositivos semiconductores adicionales y se garantiza también una alta calidad de la forma de onda de salida. Lo anterior, hace que el inversor propuesto sea atractivo para aplicaciones monofásicas de SFV sin transformador.

ABSTRACT

Photovoltaic systems (PV systems) are currently one of the main sources of electrical energy generation from renewable energy sources. In particular, grid-connected PV systems have become popular due to their low cost and high efficiency. Transformerless PV systems have contributed to improving accessibility to these systems due to their high efficiency, low cost, and high power density.

Direct current (DC) to alternating current (AC) converters, or inverters, are key in the process of converting the energy produced in these systems. In particular, multilevel inverters such as the Neutral Point Clamped Inverter (NPC), Flying Capacitor Inverter (FC), and the Cascaded H-Bridge Inverter (CHB) have low Total Harmonic Distortion (THD), and the semiconductors experience low electrical stress. However, they can present high levels of leakage current due to variations in the common mode voltage of the system.

This thesis studies a single-phase cascaded H-bridge inverter extended to n levels (CHBN), designed for applications in transformerless grid-connected PV systems, with leakage current compensation through passive methods. The filter structure is based on a Double-Dual Buck (DD-Buck) inverter, similar to a conventional H-bridge with an LC output filter where the capacitors are connected to the DC bus. To enhance the filter structure, a second output inductor was added, thus creating a third-order LCL filter. Although this modification resulted in a slight increase in leakage current compared to the LC filter, it offers significant advantages such as lower voltage drop across the inductors, as well as the capability to limit the capacitor startup current, and greater robustness against variations in the grid inductance.

To validate the proposed system, different pulse width modulation (PWM) schemes such as Phase Shifted PWM (PSPWM) and Level Shifted PWM (LSPWM) in their APOD, IPD, and POD variants were implemented to contrast their performance regarding leakage current mitigation and the quality of the output current waveform.

The proposed system was validated both in simulation and laboratory prototype. Initially validated in open loop, a closed-loop current control loop based on the classic proportional-resonant (PR) controller was implemented for closed-loop validation. The system was implemented using a nominal power of 700 W and a digital platform, based on the Texas Instruments TMS28335. An initial configuration of five levels was considered, and subsequently, an extension to n levels was validated by implementing a seven-level configuration. The results showed that the proposed solution guarantees leakage current reduction without dependence on the modulation scheme used. Moreover, additional semiconductor devices are not implemented, and high-quality output waveform is also ensured. This makes the proposed inverter attractive for single-phase transformerless PV applications.

INTRODUCCIÓN

1.1 Panorama de generación eléctrica a nivel global

La demanda mundial de electricidad va en constante aumento, la electrificación de los sectores de transporte y la introducción de los nuevos vehículos eléctricos en el mercado son los principales aspectos que están contribuyendo a su crecimiento. Los esfuerzos por la descarbonización en la generación de electricidad son constantes, sin embargo, las fuentes de energías renovables aún se encuentran alejadas de lograr abastecer la demanda mundial de energía, pero se estima a mediano plazo se tengan resultados positivos. Datos recopilados de la IEA (Agencia Internacional de Energía por sus siglas en inglés) proporcionan las estadísticas mostradas en el gráfico de la Figura 1, de acuerdo con los medios que se utilizan en la generación de la energía eléctrica [1].

Medios de generación de electricidad

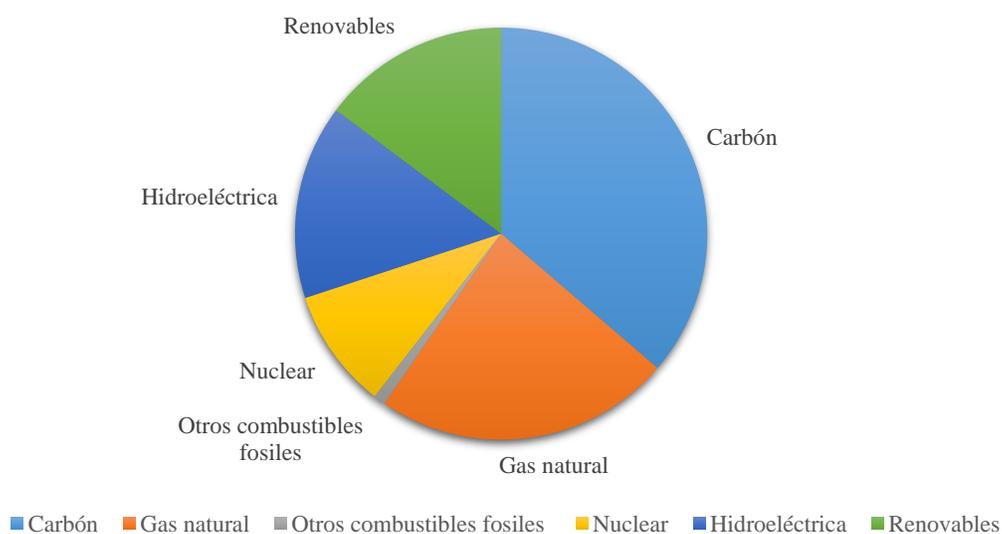


Figura 1. Gráfico de los medios de generación de electricidad (International Energy Agency, 2024), [1].

El uso del carbón como combustible para producir energía eléctrica permite el abastecimiento de poco más de un tercio de la generación mundial. El gas natural se encuentra generando aproximadamente un 23%, la hidroeléctrica alrededor de un 15% y la energía nuclear alrededor del 10%.

1.2 Escenario de las fuentes renovables a nivel mundial

Respecto a las fuentes de energía renovables que incluyen la eólica, geotérmica, biomasa y solar, combinadas se tiene un aproximado de 14.4% del total de la demanda global de energía. Para el 2023 las fuentes de energías renovables presentaron crecimientos exponenciales, la generación eólica un aumento en un 13.5% más que en el 2022, la generación fotovoltaica rompió récord con un incremento del 24.9% y alcanzó casi los 1300 TWh instalados. El gráfico de la Figura 2 muestra un escenario de la generación de energía por las diferentes fuentes renovables [1].

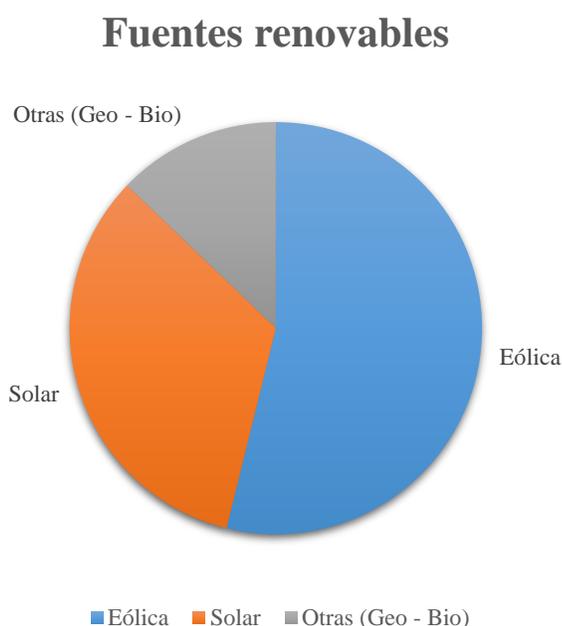


Figura 2. Gráfico de la distribución de energía de fuentes renovables (International Energy Agency, 2024), [1].

En México el escenario de las fuentes de energía renovable, en especial la energía fotovoltaica presenta un buen índice de crecimiento. La asociación mexicana de energía solar (ASOLMEX) muestra que para este 2024 la capacidad fotovoltaica instalada en México es de 10479 MWh de los cuales 7544 MWh son de escala comercial y 2935 MWh son de generación distribuida [2].

En la Figura 3 se muestra cómo se encuentra distribuida la generación de energía eléctrica por medio de centrales fotovoltaicas en México. Los estados de Sonora y Aguascalientes lideran con una capacidad instalada de 1357 MWh y 1201 MWh respectivamente, en la Tabla 1 se muestra la capacidad instalada para los demás estados [2].

1.3 Módulos fotovoltaicos

Gran parte de los módulos fotovoltaicos se fabrican usando silicio policristalino o monocristalino, los de silicio policristalino, hasta ahora, suelen ser los más económicos para la



Figura 3. Distribución de la capacidad fotovoltaica instalada en México (Asociación Mexicana de energía Solar, 2024), [2].

Tabla 1. Capacidad FV instalada por estado (Asociación Mexicana de energía Solar, agosto 2023), [2].

Estado	Capacidad instalada (MW)	Estado	Capacidad instalada (MW)
Baja California	50.656	Guanajuato	344.00672
Baja California Sur	103.81	Querétaro	1.4
Sonora	1357.0752	Hidalgo	116
Chihuahua	850.36	Estado de México	20.02
Durango	297.125	Ciudad de México	1.8
Coahuila	841.736	Tlaxcala	220
Nuevo León	29.92	Morelos	70
Zacatecas	410.26	Puebla	220.8
San Luis Potosí	235	Veracruz	100
Aguascalientes	1201.5	Campeche	300
Jalisco	390.92	Yucatán	51.78
TOTAL			7214.16892

fabricación, con eficiencias que van del 13 al 17% [3]. Para los de silicio monocristalino los costos aumentan considerablemente debido a los procesos de fabricación teniendo como única ventaja un aumento de 3 al 5% en la eficiencia, volviendo un poco más costoso el kW/h generado [3]. Existen también nuevas tecnologías de paneles FV, fabricados con base en otros materiales semiconductores, los cuales prometen mejores eficiencias, pero, sin embargo, estas son en ambientes controlados, por lo que comercialmente las eficiencias más altas rondan entre el 23 al 25% según datos publicados en la revista FORBES 2023 [3].

Además de los módulos fotovoltaicos, un sistema fotovoltaico, que a partir de ahora se les hará referencia a sus siglas (SFV), está conformado por otros elementos, uno de estos es el convertidor o inversor, este dispositivo tiene tres funciones principales, es el encargado de transformar la energía en forma de corriente directa (CD) entregada por los paneles fotovoltaicos a otro tipo de energía denominada corriente alterna (CA) la cual es empleada en la mayoría de los dispositivos industriales y residenciales también integran un seguidor del punto de máxima potencia (MPPT) que mantiene operando al SFV en la máxima potencia disponible y, por último, controla la magnitud de potencia inyectada a la red. En SFV residenciales, es común la presencia de dispositivos de almacenamiento de energía.

Los costos de un SFV no solo provienen de los módulos FV, sino también en los diferentes elementos que los conforman, principalmente el inversor que puede llegar a costar hasta un 30% del valor total del sistema. En un SFV con conexión a la red el inversor, en la mayoría de los casos, integra un transformador de baja frecuencia para realizar la conexión entre la red y el generador y proporcionar un aislamiento galvánico. De modo que, este elemento es el principal responsable del alto costo del sistema además de que es grande y pesado [4].

Retirar el transformador de los SFV trae consigo algunas ventajas, pues su costo se reduce, al igual que su tamaño y peso. Además, los inversores sin transformador alcanzan eficiencias más altas que pueden llegar al 97 – 98% [4]. Por otro lado, la principal desventaja es que al retirar el transformador se elimina el aislamiento galvánico que existía con la red eléctrica, por lo que se puede presentar la circulación de corrientes eléctricas no deseadas comúnmente denominadas corriente de dispersión o corriente de fuga [4], [5]. Por lo tanto, este trabajo está dirigido a implementar soluciones que permitan operar a los SFV conectados a la red sin transformador garantizando que los niveles de corriente de fuga estén por debajo de los límites establecidos para su operación. Lo anterior a través de la propuesta de soluciones alternativas sin intervención directa en el inversor.

1.4 Clasificación de los sistemas fotovoltaicos

Los SFV se pueden clasificar de varias maneras, la más general de ellas es como sigue:

- Sistemas fotovoltaicos aislados (OFF-GRID)
- Sistemas fotovoltaicos conectados a la red (ON-GRID)

Los sistemas fotovoltaicos aislados o también llamados autónomos se instalan totalmente independientes de la red eléctrica. La energía producida por los módulos fotovoltaicos se regula

y almacena principalmente en baterías, para su uso posterior. Tiene la ventaja de proveer energía en cualquier momento exista luz solar o no. La principal desventaja que se puede identificar es la vida útil de las baterías. En la Figura 4 (a) se ilustra un diagrama resumido de los componentes que integran este tipo de sistemas.

Por otro lado, se tienen los sistemas fotovoltaicos con conexión a la red eléctrica, los cuales se puede subdividir en dos tipos diferentes que son:

- Sistemas fotovoltaicos con conexión a la red con transformador
- Sistemas fotovoltaicos con conexión a la red sin transformador

Ambos sistemas pueden permanecer conectados indefinidamente a la red eléctrica, permitiendo que la energía generada se transfiera sin la necesidad de almacenamiento, la diferencia radica en que al incluir un transformador entre el sistema y la red ambas etapas permanecen aisladas lo que es conveniente para garantizar la seguridad, pero por otro lado se reduce la eficiencia por pérdidas derivadas del transformador. En los sistemas sin transformador es posible obtener mejor eficiencia del sistema, pero surgen problemas derivador de la ausencia del aislamiento, en la Figura 4 en los incisos (b) y (c) respectivamente se ilustran los diagramas simplificados correspondientes a estos tipos de sistemas.

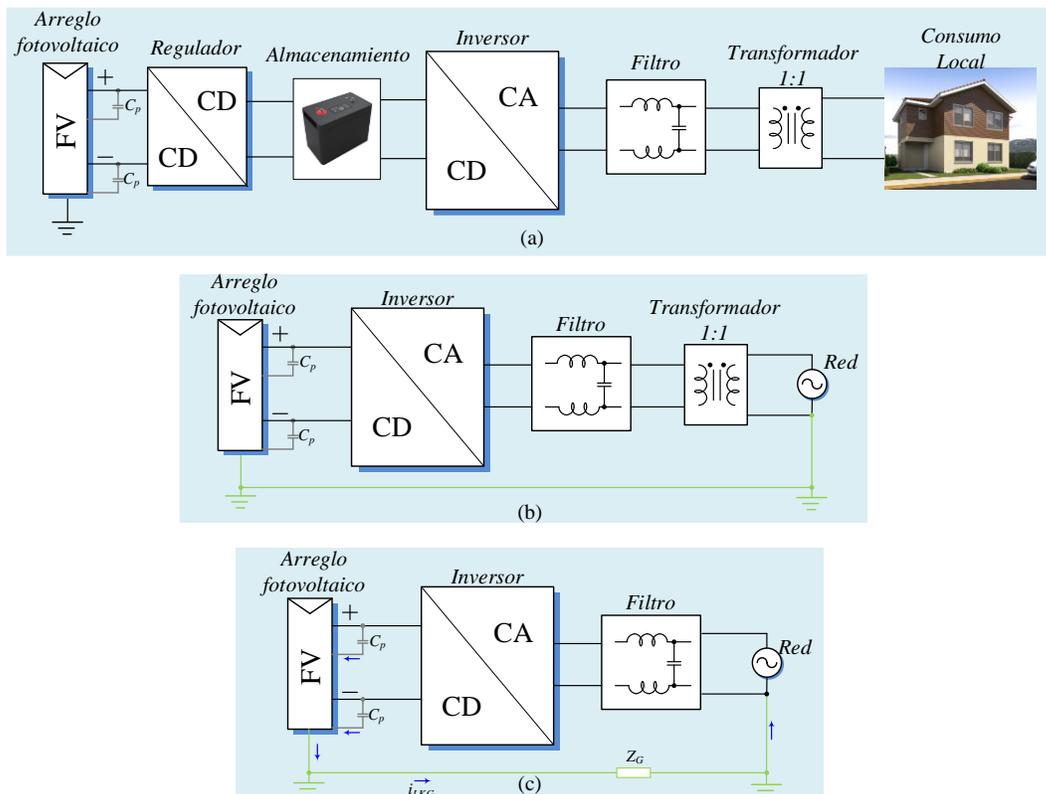


Figura 4. Esquemas simplificados de los tipos de SFV. (a) aislado, (b) conexión con transformador y (c) conexión directa.

En la Figura 5 se ilustra un diagrama más completo de cómo está constituido un SFV con conexión a la red mediante un transformador. En este tipo de sistemas, los inversor con certificación UL1741 tiene integrado un circuito de protección por fallo de corriente a tierra o

también llamado GFDI por sus siglas en inglés (Ground Fault Detector Interrupter). Este circuito detecta la magnitud de la corriente residual en la línea de puesta a tierra, si el valor supera el valor máximo permitido se debe de realizar el apagado y desconexión del inversor. En un SFV con transformador el GFDI no es más que un fusible térmico de efecto rápido de máximo 1 A, situado entre la línea negativa del bus de CD y una segunda línea auxiliar de puesta a tierra conectada al electrodo de tierra de la red [6].

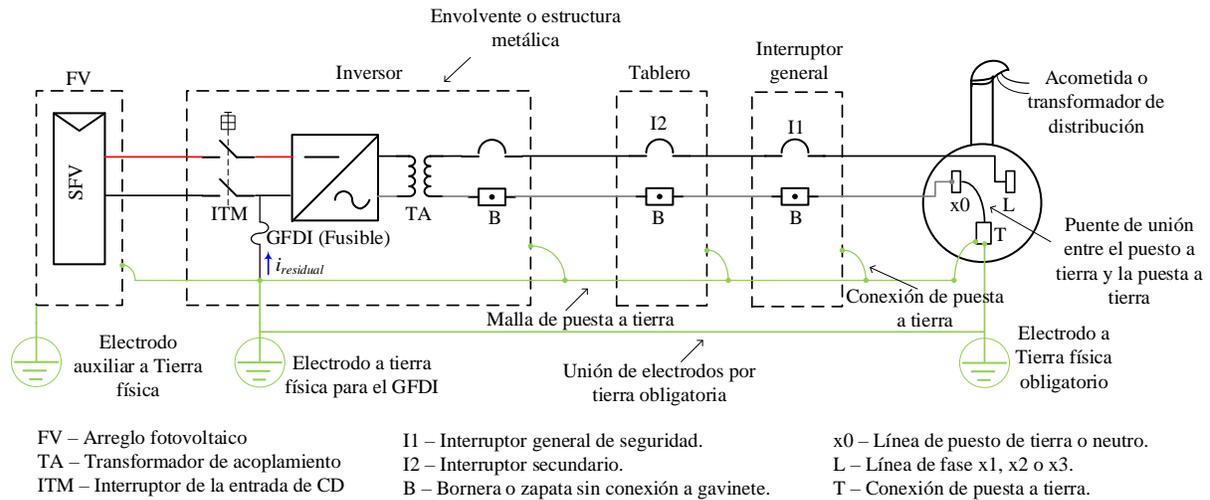


Figura 5. Diagrama de un SFV conectado a la red con transformador (CCEEA), [6].

En los sistemas sin transformador el GFDI consiste en dos equipos de medición integrados en el inversor. En la Figura 6 se ilustra un diagrama más detallado de la conexión de un GFDI en un SFV sin transformador.

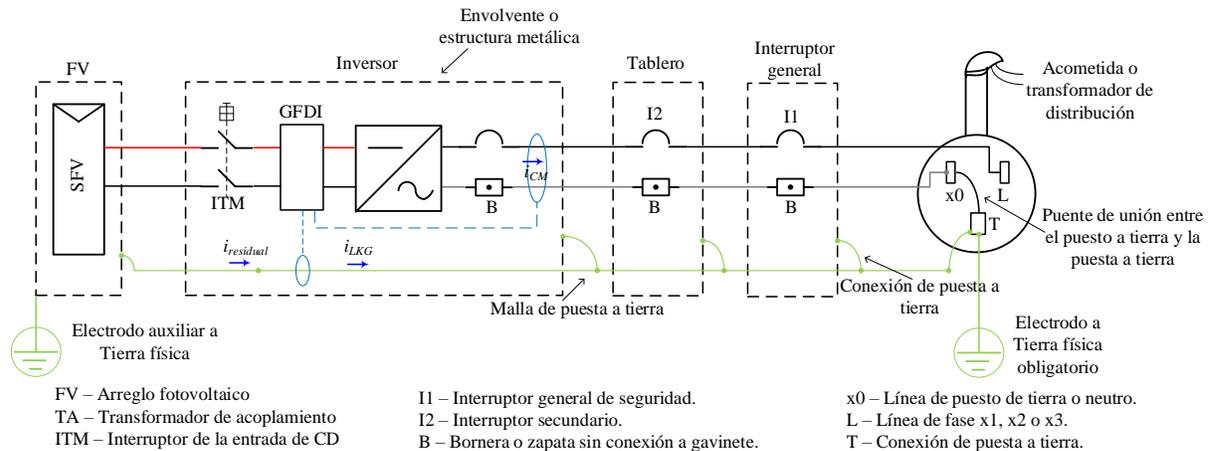


Figura 6. Diagrama de un SFV conectado a la red sin transformador (CCEEA), [6].

El primer dispositivo llamado RISO (Resistance Insulation) proporciona información al sistema de control de la resistencia en megaohms del SFV con respecto a la malla de tierra, esto para evitar posibles cortocircuitos al momento de encender el sistema. El segundo dispositivo es un medidor de corriente residual nombrado RCMU (Residual Current Monitoring Unit), este dispositivo monitorea la corriente residual de la malla de tierra, misma malla donde se encuentra

circulando la corriente de fuga. Si la corriente de fuga presenta grandes variaciones el dispositivo no funcionará adecuadamente causando la desconexión periódica del SFV de la red [6].

1.5 Problemática de la corriente de fuga en SFV sin transformador

La creciente demanda global de electricidad, impulsada por la electrificación del transporte y adopción de vehículos eléctricos, ha resaltado la necesidad de cambiar los sistemas de generación de electricidad a sistemas más sostenibles. Las energías renovables, como la solar, son cruciales para esta transición debido a su crecimiento significativo. Sin embargo, el diseño de inversores para sistemas fotovoltaicos enfrenta desafíos, especialmente en términos de eficiencia y seguridad, al prescindir del uso de transformadores, lo que conlleva el problema de las altas corrientes de fuga.

1.6 Justificación

En la literatura, el problema de las corrientes de fuga se ha estudiado minuciosamente. La mayoría de los métodos propuestos para solucionar el problema se enfocan en modificaciones en la topología del inversor o en el diseño de esquemas de modulación específicos, los cuales han mostrado ser efectivos para mitigar la corriente de fuga, sin embargo, tienden a aumentar los costos de implementación y el tiempo de desarrollo.

Por otro lado, al utilizar el filtrado pasivo para reducir las corrientes de fuga se obtienen resultados muy favorables que permiten garantizar un correcto funcionamiento del sistema con la ventaja principal de no necesitar de modificaciones exhaustivas hacia el inversor reduciendo costos y tiempo de implementación.

1.7 Objetivos

Objetivo general

Analizar a través del modelo un inversor CHBN (N-level Cascaded H-Bridge Inverter) para sistemas fotovoltaicos de n niveles monofásico para la inyección de potencia a la red eléctrica sin transformador con reducción de corriente de modo común usando métodos pasivos que permita la inyección de corriente a la red eléctrica.

Objetivos específicos

1. Investigar y analizar las características fundamentales de los inversores sin transformador utilizados en la inyección de potencia a la red eléctrica.
2. Desarrollar un modelo matemático detallado del inversor CHBN que incluya el filtro de salida, considerando las ecuaciones que describen la dinámica del inversor y las características del filtro.

3. Evaluar el rendimiento del filtro de salida en términos de atenuación de armónicos y su capacidad para mejorar la calidad de la potencia inyectada a la red.
4. Seleccionar y diseñar una estrategia de control adecuada para el inversor CHBN con filtro de salida seleccionado, considerando la estabilidad y la respuesta dinámica del sistema.
5. Configurar un banco de pruebas experimental que reproduzca las condiciones de operación del sistema y el filtro de salida.
6. Desarrollar gráficos y visualizaciones claras que representen los resultados de simulación y experimentación, facilitando la identificación de tendencias y diferencias significativas.
7. Escritura del documento de tesis.

ESTADO DEL ARTE

2.1 Capacitancias parásitas en un SFV

Los fabricantes de los módulos fotovoltaicos en sus sitios web, facilitan documentos técnicos mencionando como es que los módulos son construidos, principalmente se utiliza el silicio como semiconductor el cual se recubre con materiales aislantes como polivinilo en la parte interna y vidrio como protección externa. Esta agrupación de materiales da pie a la generación de elementos parásitos dentro de la superficie del panel [7].

Las capacitancias son los elementos parásitos que más presencia tienen los módulos fotovoltaicos, la corriente generada por los módulos fotovoltaicos es de CD por lo que estas capacitancias no le afectan ya que no puede fluir a través de ellas. Sin embargo, la corriente directa, proveniente de los paneles FV, debe ser convertida en corriente alterna mediante el uso de un inversor, de manera simple un inversor enciende y apaga sus semiconductores a una gran velocidad para lograr la conversión, es este apagado y encendido lo que genera un cambio de potencial en las capacitancias parásitas de los módulos fotovoltaicos y trae consigo un flujo de corriente a través del sistema [7].

Los valores que alcanzan estas capacitancias parásitas (C_p) van acorde con las dimensiones físicas del SFV, matemáticamente se puede aproximar su valor usando (1).

$$C_p = \frac{\epsilon_0 \epsilon_r a}{d} \quad (1)$$

Donde ϵ_0 es la permitividad del vacío ($8.85 \cdot 10^{-12} \text{As/Vm}$), ϵ_r permitividad relativa del material, a área total del panel y d grosor del panel [7].

Sin embargo, su valor puede incrementarse aún más debido a factores externos, como puede ser la humedad, lluvia o polvo [8], [9]. Bajo condiciones de clima estándar de acuerdo con varios estudios la capacitancia parásita puede variar de 7nF/kW a 220nF/kW [10], [11], [12]. Y para el caso de ambientes en extremo húmedos o lluviosos se puede alcanzar hasta 1 uF/kW [13]. La presencia de otros elementos parásitos como inductancias o resistencias también puede ocurrir,

sin embargo, sus valores son mínimos y para cuestiones de análisis teórico se pueden despreciar [14].

En la Figura 7 representa de manera general cómo es que las capacitancias parásitas se forman dentro de los módulos fotovoltaicos.

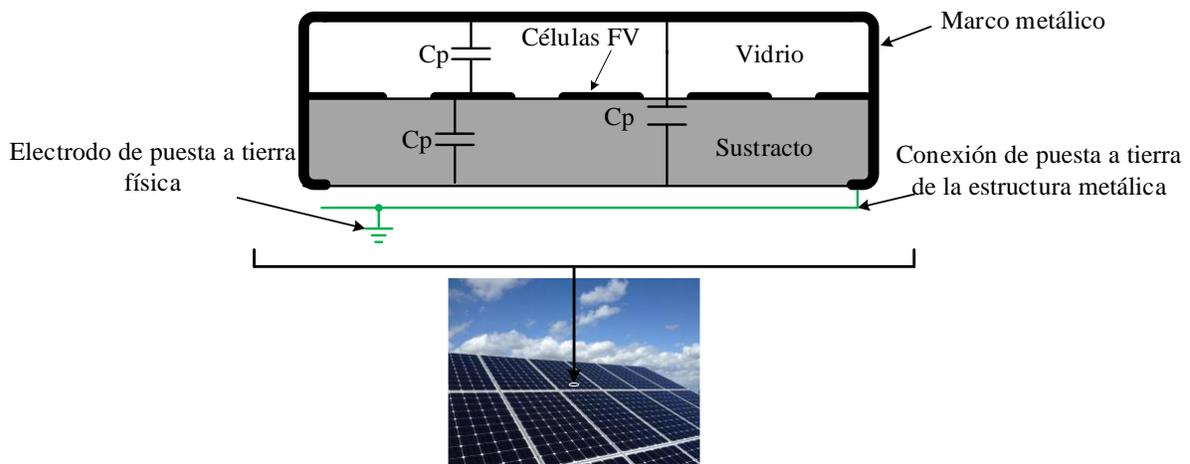


Figura 7. Representación de la formación de capacitancias parásitas.

2.2 Puesta a tierra de un SFV.

La gran mayoría de los módulos fotovoltaicos añaden un contorno metálico en su perímetro y en la parte inferior que sirve como soporte para anclar el sistema y además ayuda a la disipación del calor. De acuerdo con la normativa nacional e internacionales vigente toda estructura metálica de un circuito eléctrico debe de ser puesta a tierra para hacer equipotencial todas sus partes y evitar riesgos de descarga [15], [16].

En México, de acuerdo con la norma NOM-001-SEDE-2018 en su artículo 690-41 hace mención de que todo SFV debe de contener una conexión de puesta a tierra, y en el artículo 690-47 hace mención de que un SFV debe utilizar un segundo electrodo auxiliar de puesta a tierra para la estructura metálica del panel. Este electrodo auxiliar se debe de encontrar unido al electrodo principal de la red eléctrica, ya sea de manera subterránea o por encima del nivel de tierra empleando la malla de puesta a tierra de equipos, esto es necesario ya que la norma en el artículo 250-54 establece que el suelo no debe de emplearse como una trayectoria eficaz para el retorno de corrientes de falla.

2.3 Corriente de fuga

En los SFV, como ya se mencionó, se presentan capacitancias parásitas entre las salidas del bus de CD y la conexión de puesta a tierra de los módulos fotovoltaicos, lo que da origen a una trayectoria cerrada que involucra la etapa de potencia y la conexión a la red. Esta trayectoria cerrada permite el flujo de una llamada corriente de fuga por tierra (i_{LKG}). La magnitud que alcanza la i_{LKG} depende en gran medida del valor de las capacitancias parásitas. La i_{LKG} también

aumenta cuando el voltaje en los capacitores parásitos presenta variaciones, las cuales pueden deberse a la eliminación del aislamiento galvánico ya que como consecuencia parte de la magnitud de la tensión alterna de la red retorna al panel FV [17].

En los puntos anteriores se mencionaron a los SFV conectados a la red sin y con transformador, en este último caso existe aislamiento galvánico entre la red eléctrica y el generador, por lo que, la i_{LKG} no dispone de una trayectoria cerrada por la cual circular. De acuerdo con lo anterior la i_{LKG} no representa un problema en los SFV conectados a la red eléctrica sin transformador [5].

La conexión de un SFV a la red eléctrica sin el uso de un transformador es fundamental para incrementar la eficiencia del inversor, reducir costos, tamaño y peso [4]. Una conexión de manera directa elimina por completo el aislamiento galvánico, lo que genera una trayectoria cerrada a través de las capacitancias parásitas, permitiendo la circulación de la i_{LKG} .

La i_{LKG} puede generar problemas en los SFV cuando esta aumenta en varios cientos de mA. Entre los principales problemas que puede causar están:

- Riesgos de descargas eléctricas.
- Accionamiento de las protecciones diferenciales.
- Puede verse afectada la eficiencia del sistema.
- Resonancias en el filtro EMI.

Por esto mismo existen límites normalizados para la i_{LKG} permitida en los SFV. La norma alemana DIN VDE 0126-1-1 establece que el nivel máximo permitido no debe de superar los 300 mA y si es así el sistema debe de desconectarse de la red eléctrica en un periodo no mayor a los 30 ms, este dato está disponible en el ANEXO A. Norma VDE V 0126-1-1 [16].

Existen otros estándares internacionales que también rigen los niveles para una corriente de fuga permitida, lo cuales son el estándar IEC 62109-2, el CRD en UL 62109-1 y el UL 1741. En Europa predomina el IEC mientras que en Norteamérica se rige por el UL. Los valores permitidos y el respectivo tiempo de desconexión se muestran en la Tabla 2 y

Tabla 3 [18].

Tabla 2. Límites de corriente residual en cambios súbitos y su tiempo de desconexión.

Referencia	Límite corriente residual	Tiempo para desconexión de la red.
IEC 62109-2	30 mA	300 ms
4.8.3.5 Protección por monitoreo de corriente residual. Tabla 31	60 mA	150 ms
CRD en UL 1741 Tabla 89.2	150 mA	40 ms

Tabla 3. Límite de corriente residual para niveles constantes y su tiempo de desconexión.

Referencia	Potencia del arreglo FV	Límite de corriente residual	Tiempo para la desconexión
IEC 62109-2 4.8.3 Detección de corriente residual en arreglos FV. 4.8.3.1 General CRD en UL 62109-1	≤30 kVA	300 mA	300 ms
	>30 kVA	10 mA/kVA	300 ms

2.4 Otras normativas para inversores fotovoltaicos

Además de las normativas que regulan los niveles de la corriente de fuga en los inversores fotovoltaicos, también existen otros estándares que imponen regulaciones en diferentes aspectos para asegurar un funcionamiento uniforme en todos los sistemas. Los organismos internacionales que otorgan estas certificaciones son:

- IEC – Comisión Electrotécnica Internacional.
- UL – Laboratorios Underwriter Inc.
- IEEE – Instituto de Ingenieros Eléctricos y Electrónicos.
- CEN – Comité Europeo de Normalización.

El estándar IEEE 519 establece límites en cuanto a distorsión armónica presente en el voltaje y corriente mostrados en la Tabla 4. Además, especifica los niveles en los cuales deben mantener los armónicos individuales que se inyectan a la red, estos límites se pueden revisar en el ANEXO B. IEEE Std 519, y un resumen de estos se muestran en la referencia [19].

Tabla 4. Porcentajes de distorsión armónica en la corriente.

Armónico individual de orden h	$h < 11$	$11 \leq h < 17$	$17 \leq h < 23$	$23 \leq h < 35$	$35 \leq h < 50$	Distorsión de corriente nominal total (TRD)
Porcentaje (%)	4.0	2.0	1.5	0.6	0.3	5.0

El estándar IEEE 1547 aborda los sistemas de generación distribuida y los requisitos que deben cumplir estos sistemas. En relación con las frecuencias de operación, el estándar indica que los sistemas pueden operar en el rango de frecuencias mostrado en la Tabla 5 [20]. Parte del estándar puede ser consultado en el ANEXO C. IEEE Std 1547.

Tabla 5. Rangos de frecuencias de operación según el estándar IEEE 1547.

Rango de frecuencia (Hz)	Modo de Operación	Máximo tiempo de operación (s)
$f > 61.8$	No opera	No aplica
$61.2 < f \leq 61.8$	Operación regulada	299
$58.8 \leq f \leq 61.2$	Operación continua	Infinito
$57.0 \leq f < 58.8$	Operación regulada	299
$f < 57$	No opera	No aplica

Cuando el sistema entra en operación regulada, este debe de corregir el valor de la frecuencia en un tiempo no mayor a los 299 segundos para evitar el apagado automáticamente.

2.5 Modo común y modo diferencial

Los conceptos de modo común y modo diferencial ya se encuentran estudiados y definidos en la literatura. Para el caso particular de inversores fotovoltaicos donde se tienen dos variables de interés como la corriente inyectada y la corriente de fuga, es útil describir el comportamiento del sistema bajo estos conceptos. Además, estos conceptos permiten obtener un modelo equivalente del sistema en función de estas variables [5].

Tomando como ejemplo el SFV empleando un inversor convencional en configuración de puente completo que se muestra en la Figura 8, se pueden definir los conceptos de modo común y modo diferencial. Donde además se representan algunos de los elementos parásitos más significativos de un SFV, como la capacitancia parásita de los módulos (C_p), la impedancia de la ruta de tierra (Z_g), capacitancias parásitas a las salidas de las terminales del inversor (C_{Ag} y C_{Bg}) y en el filtro EMI (C_{cm}) y algunas impedancias del cableado y de la propia red (Z_p y Z_{red}).

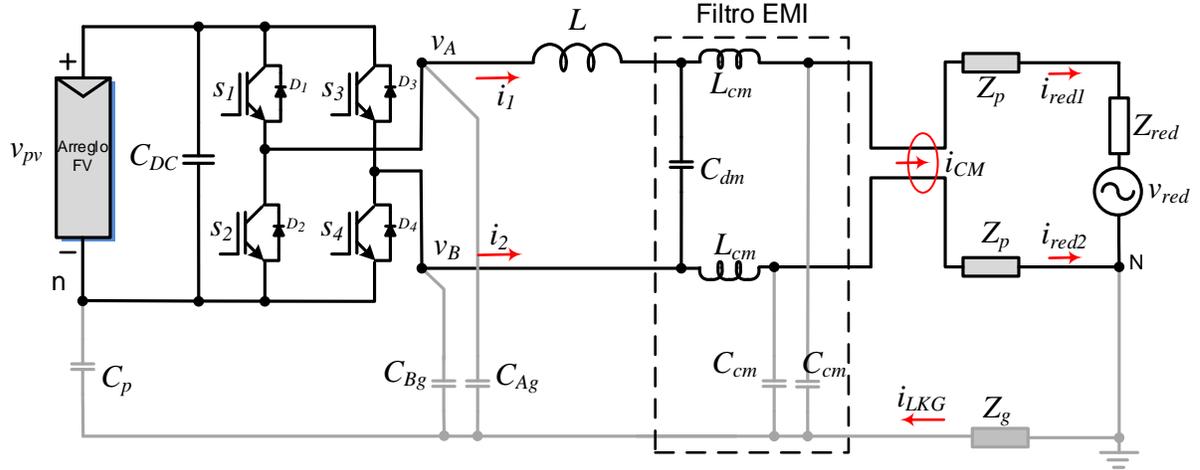


Figura 8. SFV implementado con un inversor puente completo y elementos parásitos más significativos.

El voltaje de modo común (v_{CM}) se define en (2),

$$v_{CM} \triangleq \frac{v_{An} + v_{Bn}}{2}, \quad (2)$$

donde v_{An} y v_{Bn} son los voltajes de cada una de las ramas referenciados al mismo punto en común (n).

Mientras que el voltaje de modo diferencial (v_{DM}) se define en (3),

$$v_{DM} \triangleq v_{An} - v_{Bn} = v_{AB}, \quad (3)$$

de (2) y (3) el voltaje de cada una de las salidas del inversor se puede representar en términos de v_{CM} y v_{DM} como se ilustra en (4) y (5),

$$v_{1n} = \frac{v_{DM}}{2} + v_{CM}, \quad (4)$$

$$v_{2n} = -\frac{v_{DM}}{2} + v_{CM}, \quad (5)$$

Para el caso de las corrientes, las definiciones son muy similares. La corriente en modo común es igual a (6),

$$i_{CM} \triangleq i_1 + i_2, \quad (6)$$

donde i_1 y i_2 son las corrientes que salen de cada una de las ramas del inversor.

Mientras que la corriente en modo diferencial se define en (7),

$$i_{DM} \triangleq \frac{i_1 - i_2}{2}, \quad (7)$$

del mismo modo que en el voltaje la corriente de salida del inversor se puede expresar en función de las corrientes i_{CM} y i_{DM} como en (8) y (9),

$$i_1 = i_{DM} + \frac{i_{CM}}{2}, \quad (8)$$

$$i_2 = -i_{DM} + \frac{i_{CM}}{2}. \quad (9)$$

El circuito simplificado del SFV de la Figura 8, permite mostrar la trayectoria que sigue la corriente de modo común hasta que se inyecta a la red eléctrica, en [5] se puede estudiar a detalle el modelo, el cual se presenta en la Figura 9,

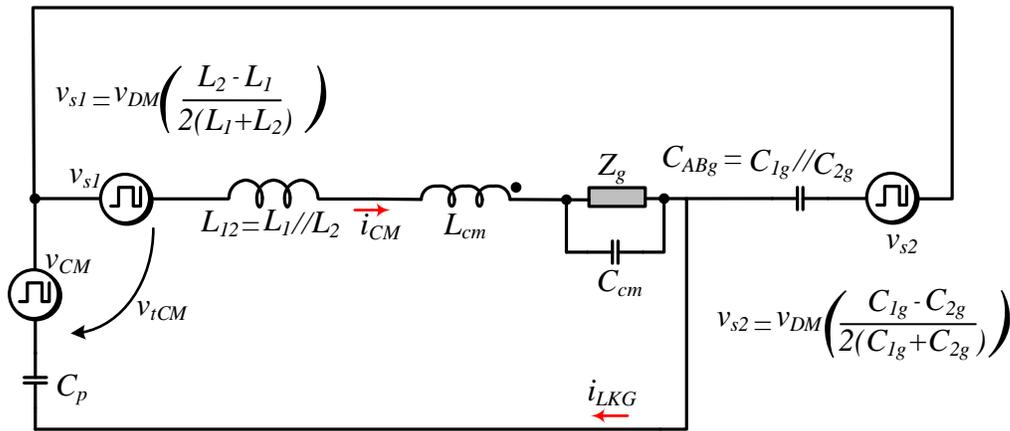


Figura 9. Modelo de modo común del inversor de puente completo.

A partir del modelo de la Figura 9 se puede determinar lo siguiente:

- Puede existir una corriente de modo común incluso cuando no se tenga voltaje de modo común debido a valores asimétricos en los elementos parásitos.
- El voltaje v_{s1} depende del valor de los inductores de salida, si se coloca $L_1 = L_2$ el valor de $v_{s1} = 0$.
- El voltaje v_{s2} depende del valor de las capacitancias parásitas a las salidas del inversor, en la mayoría de los casos estos valores son simétricos por lo que $v_{s2} \approx 0$.
- Si v_{s1} y $v_{s2} = 0$ la corriente i_{CM} corresponde a la corriente i_{LKG} .

2.6 Inversor puente completo

El inversor de puente completo mostrado en la Figura 8, suele ser la topología de uso convencional más empleada para muchas aplicaciones, sin embargo, los niveles de corriente de fuga que puede llegar a alcanzar superan por mucho los límites establecidos por la normativa descrita anteriormente, esto se debe a que el voltaje en los capacitores parásitos se encuentra en

constante variación debido a las conmutaciones del propio inversor, es por esto que esta topología por sí sola no es empleada en inversores para aplicaciones fotovoltaicas.

En la Tabla 6, tomando el ejemplo de la Figura 8, se ilustran los estados de conmutación del inversor en puente completo, en los cuales los voltajes v_{An} y v_{Bn} van modificando sus valores, lo que genera un v_{CM} que presenta dv/dt grandes y alrededor de la frecuencia de conmutación y por lo tanto esto puede introducir circulación de corriente a través de los capacitores parásitos.

Tabla 6. Estados de conmutación, voltaje diferencial y de modo común de inversor puente completo.

Estado	S1	S2	S3	S4	v_{An}	v_{Bn}	v_{DM}	v_{CM}
0	0	1	0	1	0	0	0	0
$-V_{PV}$	0	1	1	0	0	V_{PV}	$-V_{PV}$	$\frac{V_{PV}}{2}$
V_{PV}	1	0	0	1	V_{PV}	0	V_{PV}	$\frac{V_{PV}}{2}$
0	1	0	1	0	V_{PV}	V_{PV}	0	V_{PV}

2.7 Técnicas de la literatura para la eliminación de las corrientes de fuga

Dentro de la literatura se han planteado técnicas que permiten reducir los niveles de corriente de fuga en los SFV, algunas más eficientes que otras o con mayor grado de complejidad.

Estas técnicas se podrían clasificar de la siguiente manera:

- Rediseño de la topología [21], [22], [23], [24].
- Diseño específico de la estrategia de modulación por ancho de pulso (PWM) [25], [26], [27].
- Técnicas de control [28].
- Conexión a tierra virtual [29].
- Conexión de tierra común [30], [31].
- Filtrado pasivo [11].

Dentro de estas, las estrategias de modulación, el filtrado pasivo, la conexión de tierra virtual y los métodos de control resultan ser las más atractivas debido a que se evitan modificaciones en la estructura del convertidor reduciendo costos de implementación [32].

Para soluciones basadas en el rediseño de la topología se mencionan las siguientes, en [21] se propone una configuración de tipo H6 para un inversor monofásico con una salida de 5 niveles de voltaje, además se le añade un método de modulación híbrida, la topología en conjunto con la modulación permite mantener un voltaje de modo común constante.

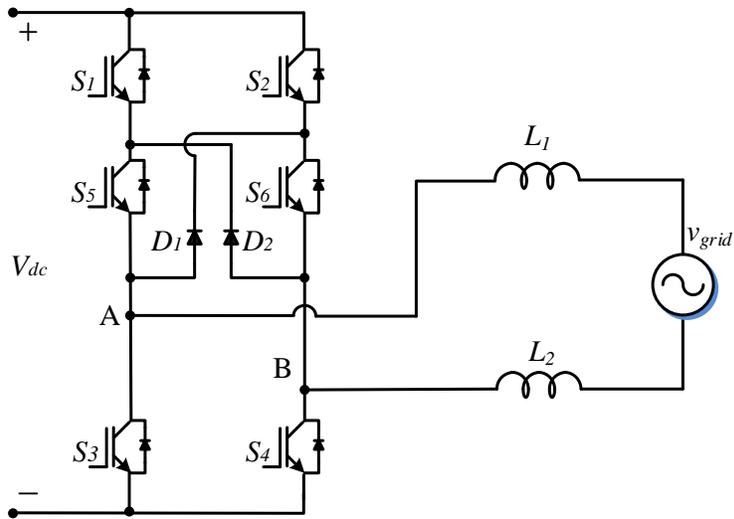


Figura 10. Topología presentada en [21].

En [22] se propone un inversor monofásico basado en un puente completo con una conexión mediante un interruptor bidireccional al punto medio del enlace de CD denominado 5L-T-AHB, la conexión al punto medio del enlace de CD permite obtener corrientes de modo común reducidas.

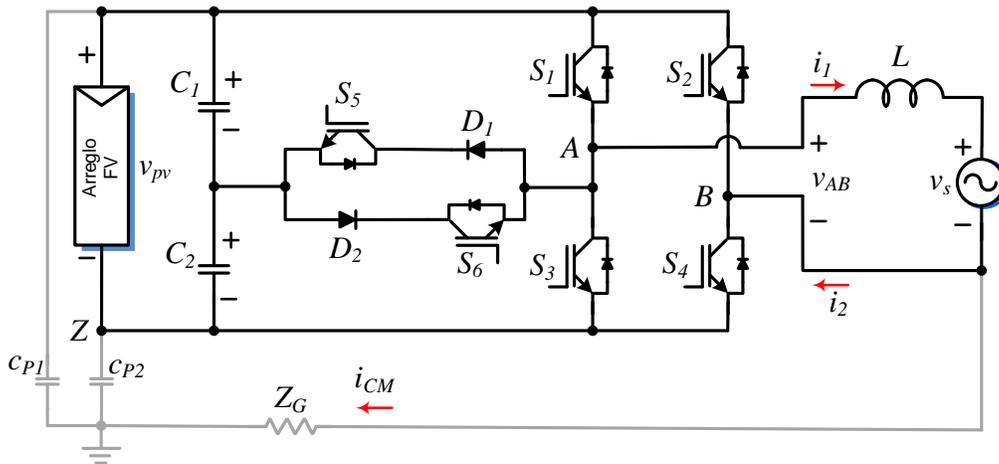


Figura 11. Topología presentada en [22].

En [23] se menciona un tipo de inversor monofásico de inductor flotado. La modificación en la topología conecta la tierra de la red con la referencia de los módulos fotovoltaicos por lo que las corrientes de fuga se suprimen. En [24] se presenta una topología en cascada basada en un inversor tipo H5 para un sistema monofásico y además se incluye una modulación PWM para asegurar un voltaje constante en los capacitores parásitos.

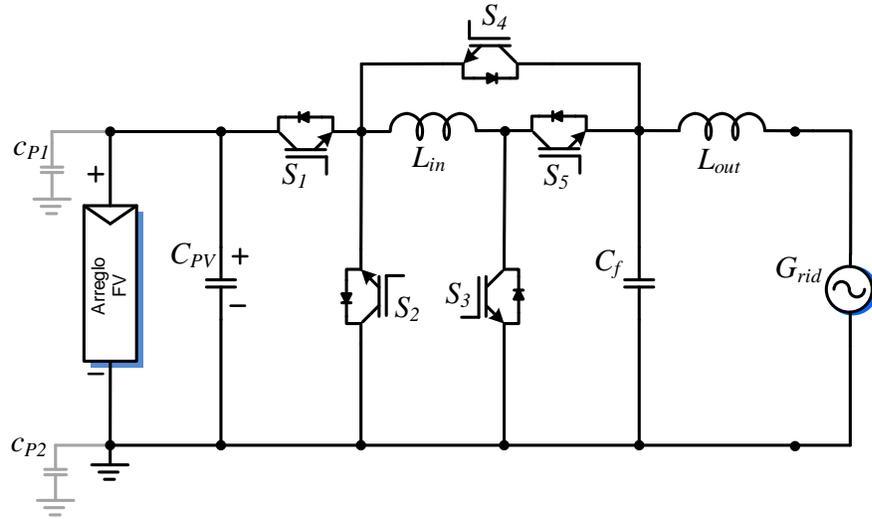


Figura 12. Topología presentada en [23].

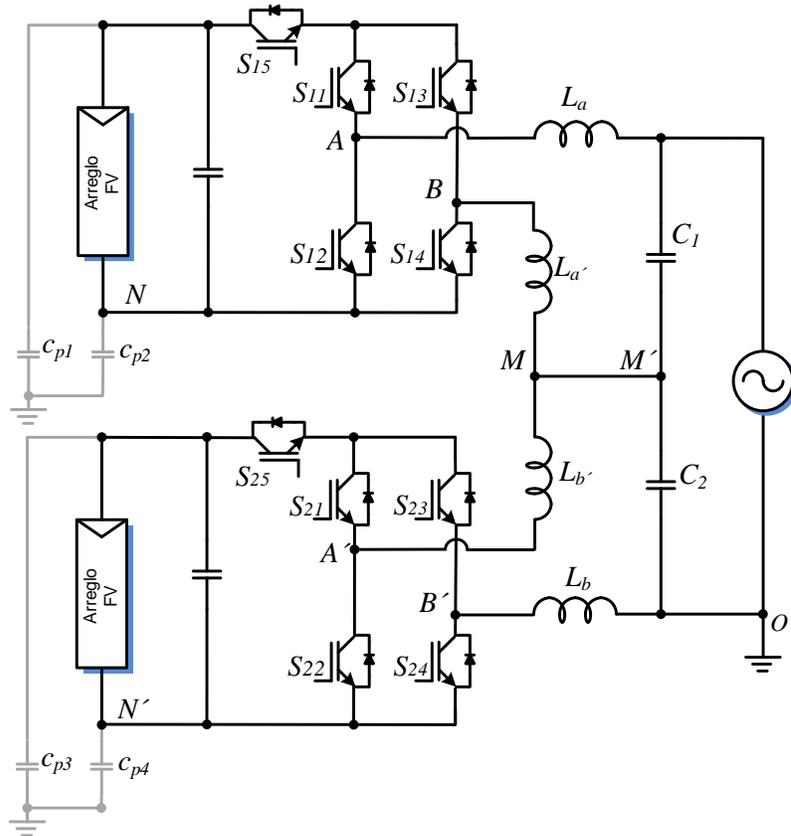


Figura 13. Topología presentada en [24].

Para soluciones basadas en nuevas técnicas de modulación se mencionan las siguientes, en [25] se presenta una estrategia de modulación basada en PWM cuasi-unipolar aplicada a un inversor monofásico de puente H convencional con una modificación del lado de CA. En [26] se propone un PWM híbrido multiportadora la cual se basa en la técnica PWM por desplazamiento de nivel senoidal de disposición de fase (IPDSLSPWM) y la técnica por disposición opuesta de fase

(POD). En [27] se propone la mejora de dos estrategias de modulación PWM para una topología puente H en cascada, las cuales mantienen operando a los interruptores de manera equilibrada y reduciendo tiempos de conmutación que mejoran la eficiencia.

Dentro de las técnicas de control, en [28] se propone aplicar amortiguamiento activo en un sistema trifásico con inyección a la red y filtro LCL modificado. El amortiguamiento activo reduce picos de resonancia en el filtro que ayuda a reducir pérdidas de potencia y además contribuye a la reducción de la corriente de modo común.

En [29] se presenta un análisis para un inversor de tipo HB-NPC para aplicaciones fotovoltaicas, el sistema dispone de un filtro LCL a la salida con capacitores divididos para incluir una trayectoria de tierra virtual que se une con el nodo central del bus de CD, creando una trayectoria de baja impedancia para las corrientes de modo común. En [30] se propone una topología de inversor fotovoltaico monofásico el cual se derivó de un convertidor Buck y un convertidor Buck-Boost, la conexión entre ambos resultó en una trayectoria de cortocircuito entre la tierra de la red y la tierra del inversor suprimiendo las corrientes de fuga. En [31] se propone una topología de inversor de capacitor conmutado de tierra común (CGSC-TL) el cual puede extenderse a n niveles y dada la conexión de tierra común entre ambas etapas la corriente de modo común se suprime.

Aunque todas las técnicas presentadas prometen un buen rendimiento ante la mitigación de la corriente de modo común, se pueden presentar algunos inconvenientes en algunas de estas, los cuales se muestran en la Tabla 7.

Tabla 7. Técnicas presentadas para la mitigación de la corriente de modo común.

Tipo de solución	Inconveniente presentados.
Soluciones basadas en la modificación de la topología	Aumento de costos y tiempo de producción
Soluciones basadas en la modulación	<ul style="list-style-type: none"> - Aumento del estrés eléctrico en los semiconductores. - Reducción de su vida útil.
Soluciones basadas en control	<ul style="list-style-type: none"> - Se requiere un mayor recurso computacional. - El nivel de complejidad es mayor.
Soluciones basadas en tierra común	<ul style="list-style-type: none"> - La etapa de potencia no puede ser desconectada totalmente de la red.

De tal manera, que para este trabajo se propone emplear la técnica de filtrado pasivo, esta técnica no modifica la estructura básica del inversor ya que no agrega o quita semiconductores, la reestructuración del filtro se realiza manipulando únicamente la disposición de los elementos pasivos que comúnmente son externos al diseño del inversor, el esquema de modulación empleado tampoco se modifica, así mismo no se requieren controles específicos que requieran grandes cantidades de recursos computacionales.

2.8 Soluciones por filtrado pasivo

En [11] se propone un diseño de filtro EMI pasivo para el lado de CD en un inversor monofásico mostrado en la . Se presenta un estudio del sistema que incluye las capacitancias parásitas, impedancias del cableado y desequilibrios que puedan llegar a presentarse en los inductores de salida del inversor. El objetivo principal del filtro es suprimir las altas frecuencias producidas en el sistema que incluye las corrientes de modo común.

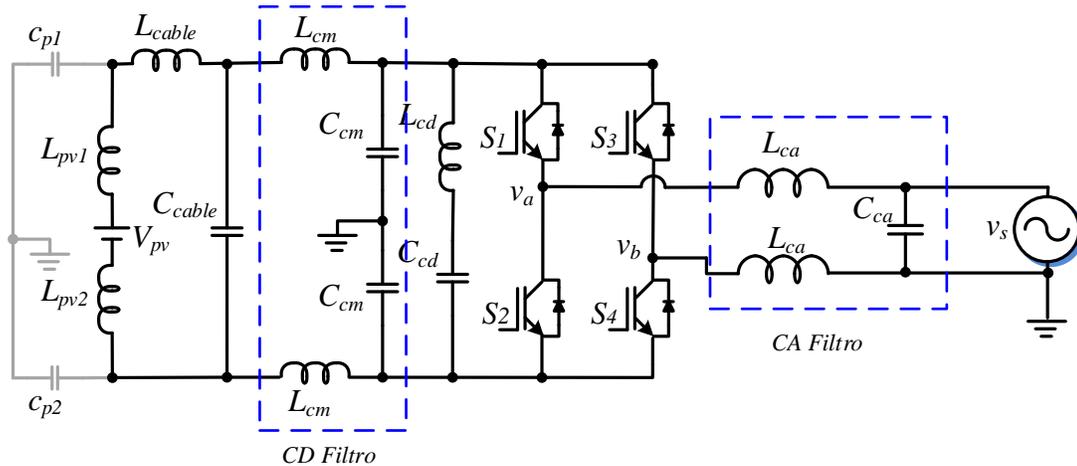


Figura 14. Topología presentada en [11].

En [33] se propone un método de cancelación pasiva del ruido de modo común en inversores PWM usando dos transformadores de modo común (CMT) en entrada y salida. Se optimiza la relación de vueltas de los transformadores para una mejor cancelación y se estudia el impacto de los parasitarios en el rendimiento. El método, validado en un inversor monofásico, muestra una reducción de 40 dB en el ruido CM.

2.9 Soluciones basadas en el filtrado pasivo con reestructuración del filtro.

La reestructuración del filtro pasivo se basa en realizar un reacomodo de la conexión convencional del filtro de salida en una conexión no convencional que funcione como una trayectoria de baja impedancia para las corrientes de modo común de alta frecuencia. Esta solución presenta como principal ventaja de ser simple de implementar y que además no modifica la estructura del inversor.

Esta técnica ya se ha estudiado en la literatura generando algunos antecedentes de suma importancia para esta investigación actual. En [33] se menciona una topología nombrada Double-Dual Buck inverter (DD-Buck) la cual se ilustra en la Figura 15 (a), la cual a diferencia de la topología Boost doble-dual puede emplearse como un inversor.

En la Figura 15 (b) se puede observar que la topología resultante tiene similitud con un inversor de puente completo, que presenta la propiedad de no tener un voltaje pulsante desde las terminales de entrada hasta la salida lo que permite reducir significativamente las corrientes de modo común. Lo anterior es una característica muy importante en aplicaciones de SFV sin transformador.

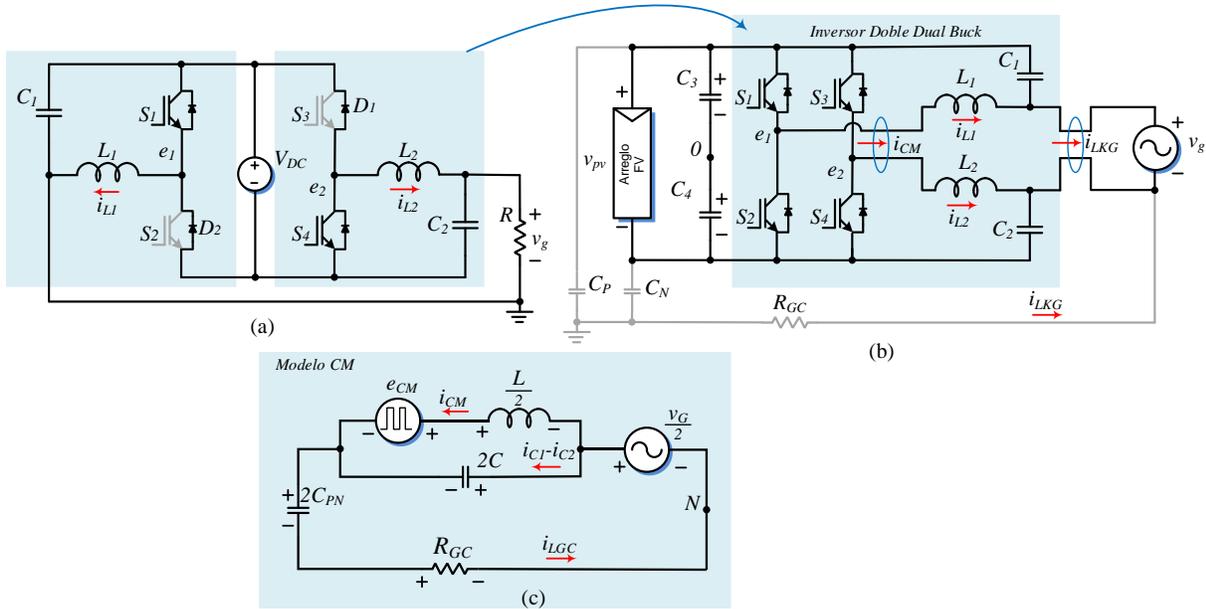


Figura 15. (a) Topología Double-Dual Buck inverter, (b) Reestructuración de la topología Double-Dual Buck inverter, (c) Modelo de modo común.

En la Figura 15 (c) se ilustra el modelo de modo común resultado del análisis realizado. Se puede observar un circuito tipo tanque que se forma alrededor del voltaje de modo común debido a la conexión en los capacitores, este circuito presenta oposición al paso de señales de alta frecuencias filtrando todos aquellos armónicos de alto orden por lo que se reduce la corriente de modo común.

En [34], se muestra una propuesta basada en un inversor de puente completo en cascada que genera 5 niveles de voltaje a la salida, la solución implica un filtro de salida LC con una conexión no convencional del filtro LC donde los capacitores C_1 y C_2 están conectados al terminal positivo del bus de CD del primer módulo del inversor en puente H, mientras que los capacitores C_3 y C_4 están conectados al terminal negativo del segundo modulo, tal como se puede observar en la Figura 16 (a).

La solución propuesta permite mantener una corriente de modo común controlada incluso con la modificación de la estrategia de conmutación empleada. Sin embargo, no se encontró un análisis que pudiera determinar que esta estructura pudiera extenderse a n niveles.

El modelo de modo común de la topología de la Figura 16 (a) se muestra en la Figura 16 (b) se observa nuevamente la formación de un circuito tanque alrededor del voltaje de modo común, que es por donde la corriente de modo común retorna, en la segunda rama aparecen las capacitancias parásitas que se unen con la red por la trayectoria de puesta a tierra.

En [35] se propone una distribución del filtro similar a la topología DD-Buck, con la diferencia que se emplea una topología de inversor NPC en cascada el cual se muestra en la Figura 17 (a). Esta topología permite la generación de 5 niveles de voltaje a su salida.

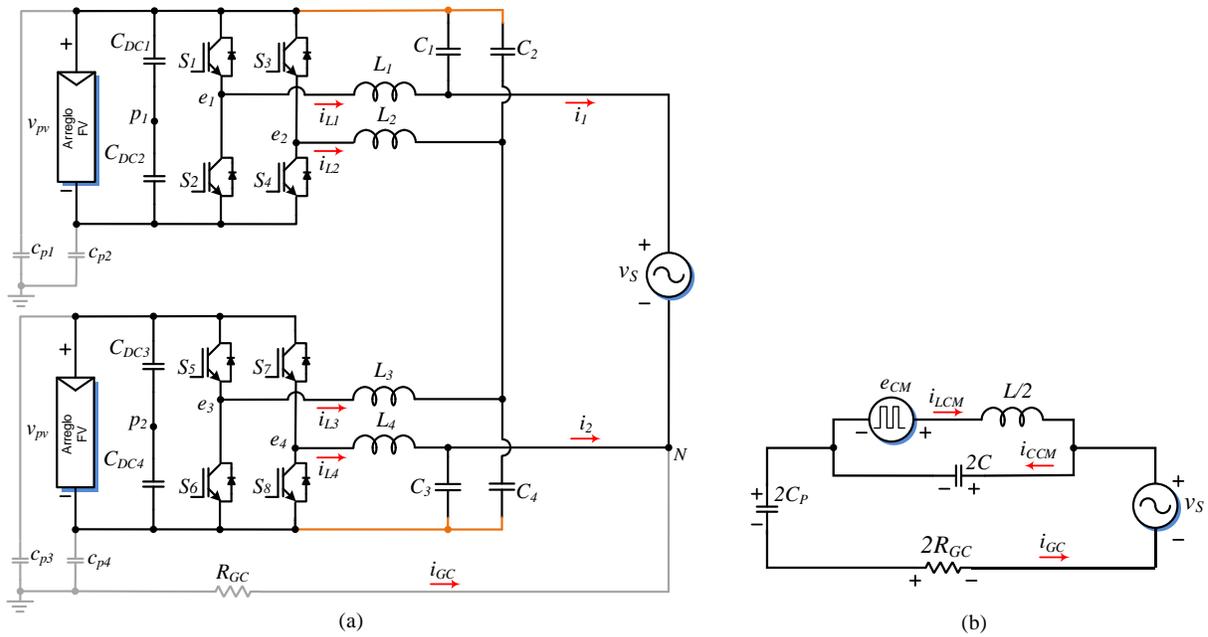


Figura 16. (a) Topología CHB5L con filtro LC vinculado al enlace de CD, (b) Modelo de modo común de la topología CHB5L.

La idea para la mitigación de las corrientes de modo común se basa en el retorno de las componentes de alta frecuencia a través de la conexión del filtro. En la Figura 17 (b) se puede observar el modelo de modo común de la topología, el cual a pesar del cambio en la topología del inversor resulta ser muy similar al mostrado en la Figura 16 (b).

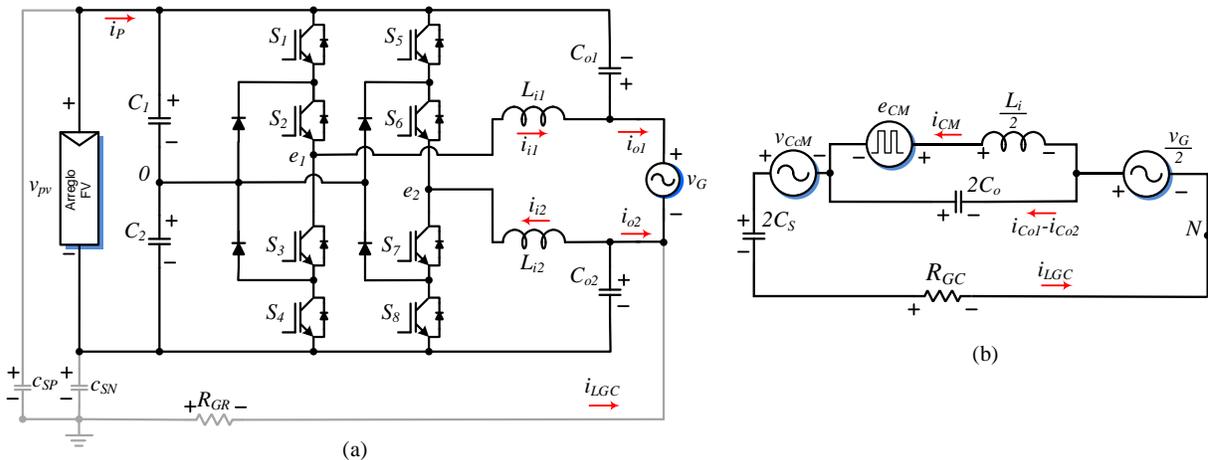


Figura 17. (a) Topología HB-NPC con filtro LC a la salida, (b) Modelo de modo común de la topología HB-NPC con filtro LC.

2.10 Esquemas de modulación en inversores

Los esquemas de modulación determinan el momento preciso en que cada interruptor debe encenderse y apagarse para generar el voltaje de salida del inversor. Esto es crucial porque la forma de onda de salida determina la calidad y eficiencia de la energía que suministra el inversor al sistema al que está conectado.

Existen diversas técnicas de modulación, que presentan diferentes características y aplicaciones específicas. Estas técnicas pueden clasificarse en tres categorías principales y a su vez pueden subdividirse en categorías más específicas como se ilustra en el diagrama de la Figura 18. Cada técnica de modulación posee sus propias ventajas, y su elección depende de factores como: la aplicación específica, la eficiencia, la precisión de la salida requerida y la complejidad del sistema [36].

En este trabajo se emplean los esquemas de modulación por ancho de pulso con desplazamiento en fase (PSPWM) y la modulación por ancho de pulso con desplazamiento en nivel (LSPWM), los cuales se utilizan comúnmente para modular convertidores de puente completo en cascada (CHB) debido a la modularidad de esta topología, además son ampliamente empleados en aplicaciones fotovoltaicas para tratar el problema de las corrientes de fuga [34].

La modulación PSPWM emplea múltiples portadoras desplazadas en fase, el ángulo de desplazamiento Φ varía en cuanto al número de portadoras existentes, para un CHB multinivel el desfase entre portadoras se determina mediante (10),

$$\Phi = \frac{360^\circ}{2n}, \quad (10)$$

donde n es el número de módulos colocados en cascada.

Para la modulación por ancho de pulso con desplazamiento en nivel se tienen tres variantes:

- Disposición en fase (IPD), donde todas las portadoras se encuentran en fase.
- Disposición opuesta de fase (POD), donde las señales portadoras por debajo del eje de tiempo están desplazadas 180° con respecto a las portadoras que se encuentran por encima del eje de tiempo.
- Disposición opuesta en fase alternativa (APOD), en donde dos portadoras contiguas se encuentran desfasadas 180° una con respecto de la otra.

Considerando que la moduladora se desplaza desde 1 a -1, el desplazamiento entre cada portadora en un inversor multinivel CHB está determinado por (11), donde nuevamente n es el número de módulos colocados en cascada.

$$desplazamiento = \frac{1}{n} \quad (11)$$

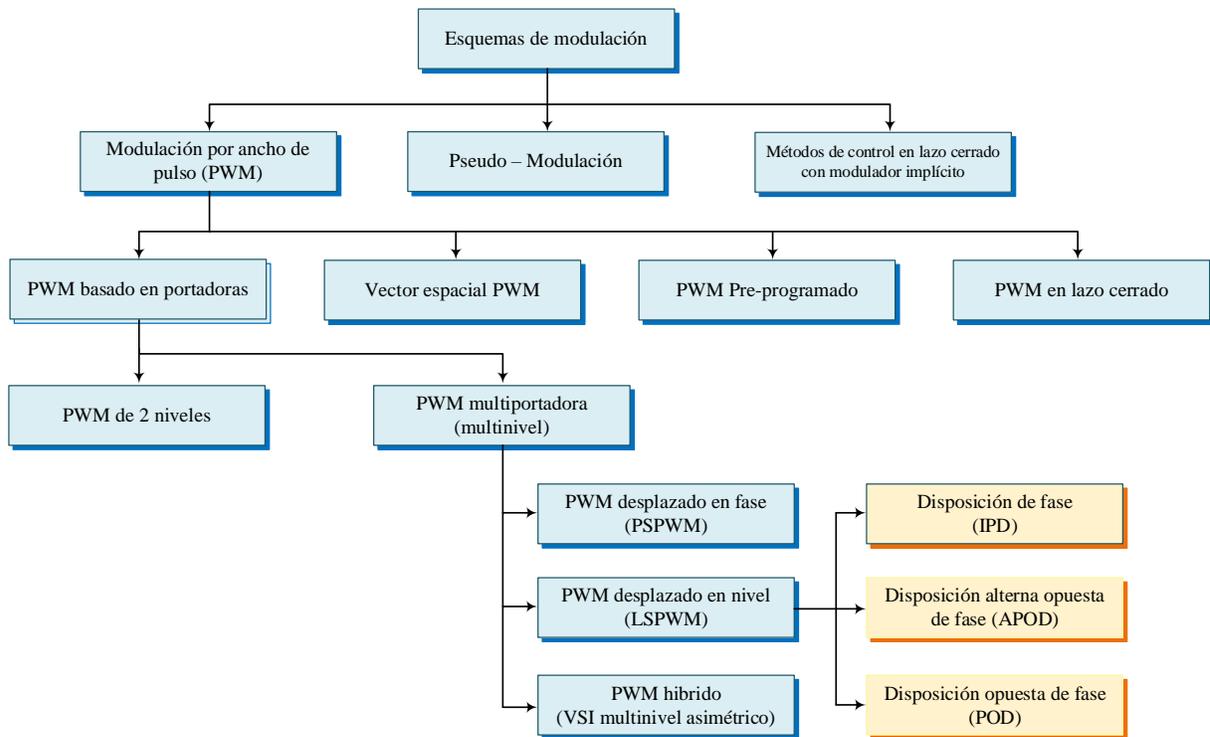


Figura 18. Clasificación general de los esquemas de modulación para inversores.

En la Figura 19, se pueden observar los gráficos de la distribución de las portadoras en cada una de las cuatro modulaciones mencionadas anteriormente. Para un inversor CHB de 5 niveles se tienen 16 estados posibles de conmutación con los que se forman los diferentes niveles de voltaje de salida (e_{DM}), estos se ilustran en la Tabla 8, mientras que en la Tabla 9 se ilustran los estados que son necesarios para formar cada nivel de voltaje en cada una de las 4 modulaciones.

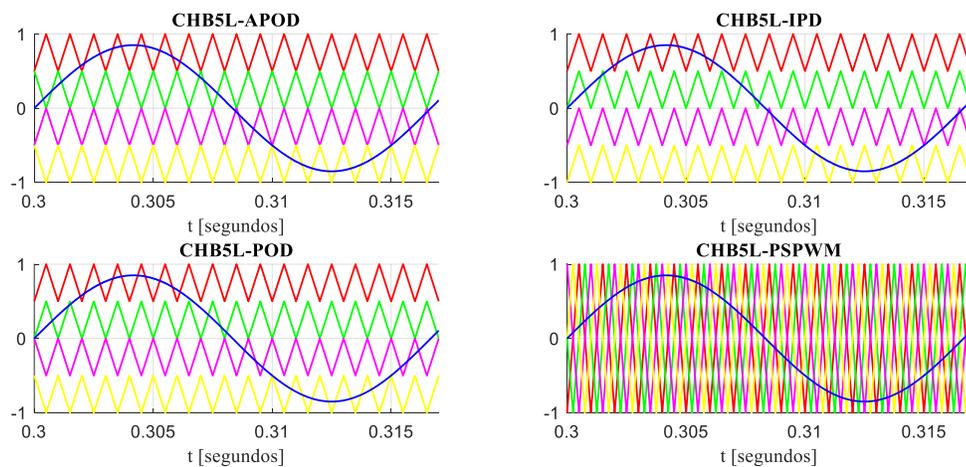


Figura 19. Esquemas de modulación basados en multiportadora.

Tabla 8. Posibles estados en un inversor CHB5L.

Estado	e_{DM}	S_1	S_2	S_3	S_4	S_5	S_6	S_7	S_8
St1	$2V_{pv}$	1	0	0	1	1	0	0	1
St2	V_{pv}	1	0	0	1	1	0	1	0
St3		1	0	1	0	1	0	0	1
St4		1	0	0	1	0	1	0	1
St5		0	1	0	1	1	0	0	1
St6		1	0	1	0	1	0	1	0
St7	0	0	1	0	1	0	1	0	1
St8		1	0	0	1	0	1	1	0
St9		0	1	1	0	1	0	0	1
St10		0	1	0	1	1	0	1	0
St11		1	0	1	0	0	1	0	1
St12	$-V_{pv}$	0	1	1	0	0	1	0	1
St13		0	1	0	1	0	1	1	0
St14		0	1	1	0	1	0	1	0
St15		1	0	1	0	0	1	1	0
St16	$-2V_{pv}$	0	1	1	0	0	1	1	0

Tabla 9. Estados utilizados para cada técnica PWM.

e_{DM}	APOD	IPD	POD	PSPWM
$2V_{pv}$	St1	St1	St1	St1
V_{pv}	St5	St5	St5	St2, St3, St4, St5
0	St9	St9	St9	St8, St9, St10, St11
$-V_{pv}$	St12	St12	St12	St2, St3, St4, St5
$-2V_{pv}$	St16	St16	St16	St16

DESCRIPCIÓN Y ANÁLISIS DEL SISTEMA PROPUESTO

3.1 Contribuciones de este trabajo

En este trabajo, la principal aportación es el análisis matemático extendido a n niveles, que se aplicó a una configuración de convertidor multinivel en cascada, especialmente diseñada para aplicaciones fotovoltaicas. Este análisis incluyó la incorporación de un filtro LCL en la salida, en una conexión no convencional para mitigar las corrientes de fuga.

Otras contribuciones son:

- Validar el análisis mediante resultados experimentales y en lazo cerrado para una topología de 5 y 7 niveles con inyección a la red eléctrica.
- Comparar las distintas modulaciones sobre el efecto en la corriente de fuga.

3.2 Descripción del sistema

Este trabajo está basado en la topología DD-Buck, debido a que la disposición del filtro permite replicar la topología y realizar una configuración en cascada manteniendo el filtro simétrico, siendo posible extenderse hasta n módulos como se ilustra en la Figura 20.

Además, tiene similitud con una topología puente completo en cascada se presentan algunas ventajas como: los niveles en el voltaje de salida generado son más del doble que las fuentes de alimentación disponibles; al ser una topología modular el voltaje se encuentra dividido por lo que se minimiza el estrés en los interruptores además de que su tamaño se puede optimizar; al aumentar los niveles de operación el filtro requerido para su filtrado se reduce lo cual mejora costos y diseño.

En la topología bajo estudio de la Figura 20 se consideran las capacitancias parásitas inherentes a los módulos fotovoltaicos denotadas como C_p , también se considera la trayectoria de tierra que se forma debido a que la estructura metálica de los módulos es puesta a tierra. En la topología esta trayectoria es aquella que une los puntos $O - P$, a la cual se incluye una resistencia R_C que modela la resistencia física del cableado, ya que estos puntos en un sistema

real se pueden encontrar a varios cientos o miles de metros, además para el análisis se consideró un bus de CD dividido lo cual no afecta el circuito, pero simplifica el análisis.

Los inductores L_{i1} hasta $L_{i(2n)}$ forma el inductor de línea total L_{iT} , necesario para el acoplamiento de los dos sistemas y evitar un cortocircuito, además de que permite filtrar la forma de onda escalonada que genera el inversor en una forma de onda de corriente más suave parecida a una sinusoidal, la inductancia L_G modela la impedancia de la red y v_G modela el voltaje de red.

Conservando la idea de implementar un filtro simétrico para cada uno de los inversores en cascada agregados, el valor de los inductores L_{i1} hasta $L_{i(2n)}$ deben de presentar una inductancia similar, esto para mantener la característica de que la corriente de modo común dependa principalmente del voltaje de modo común.

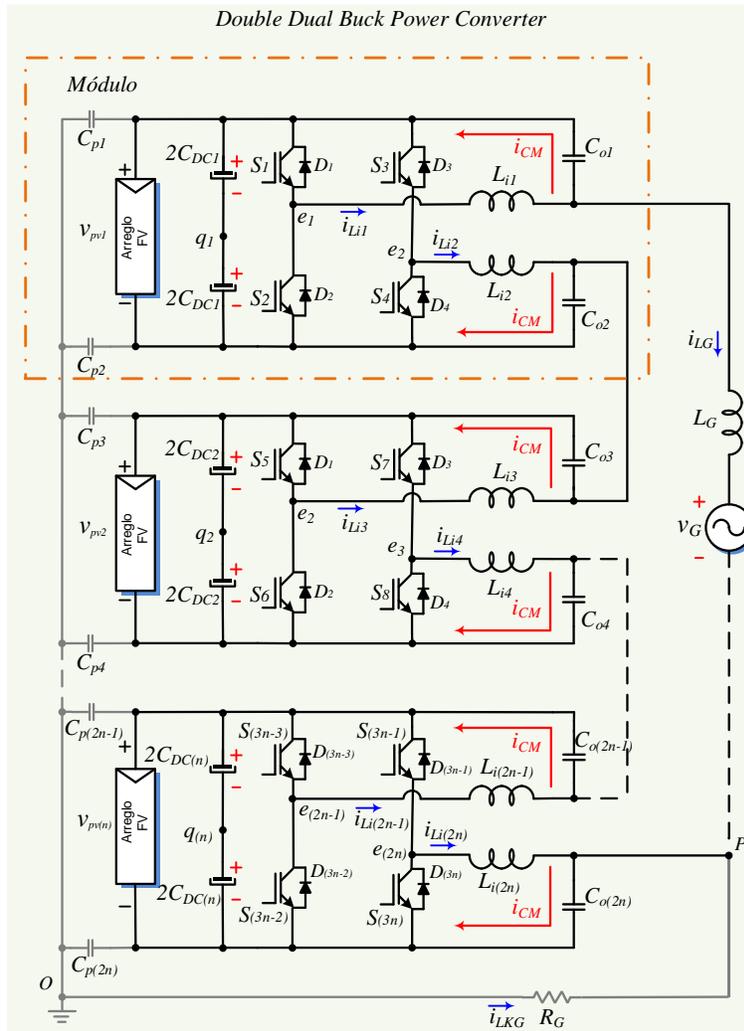


Figura 20. Topología DD-Buck en cascada.

Al dividir L_{iT} de manera simétrica se genera una relación del valor de inductancia individual para cada inductor de acuerdo con el número de módulos agregados, esta relación se describe en (12),

$$L_{i(1\dots 2n)} = \frac{L_{iT}}{2n}, \quad (12)$$

donde n es el número de módulos en cascada agregados. Notar que el valor de los inductores se va reduciendo conforme se agrega un mayor número de módulos lo cual es una ventaja para la topología ya que a menor inductancia el peso y tamaño de los inductores se reduce.

Esta relación se cumple gracias a que la distribución de los inductores genera un circuito en serie dentro de la topología cuando se accionan los interruptores, como se ilustra en la Figura 21 (a).

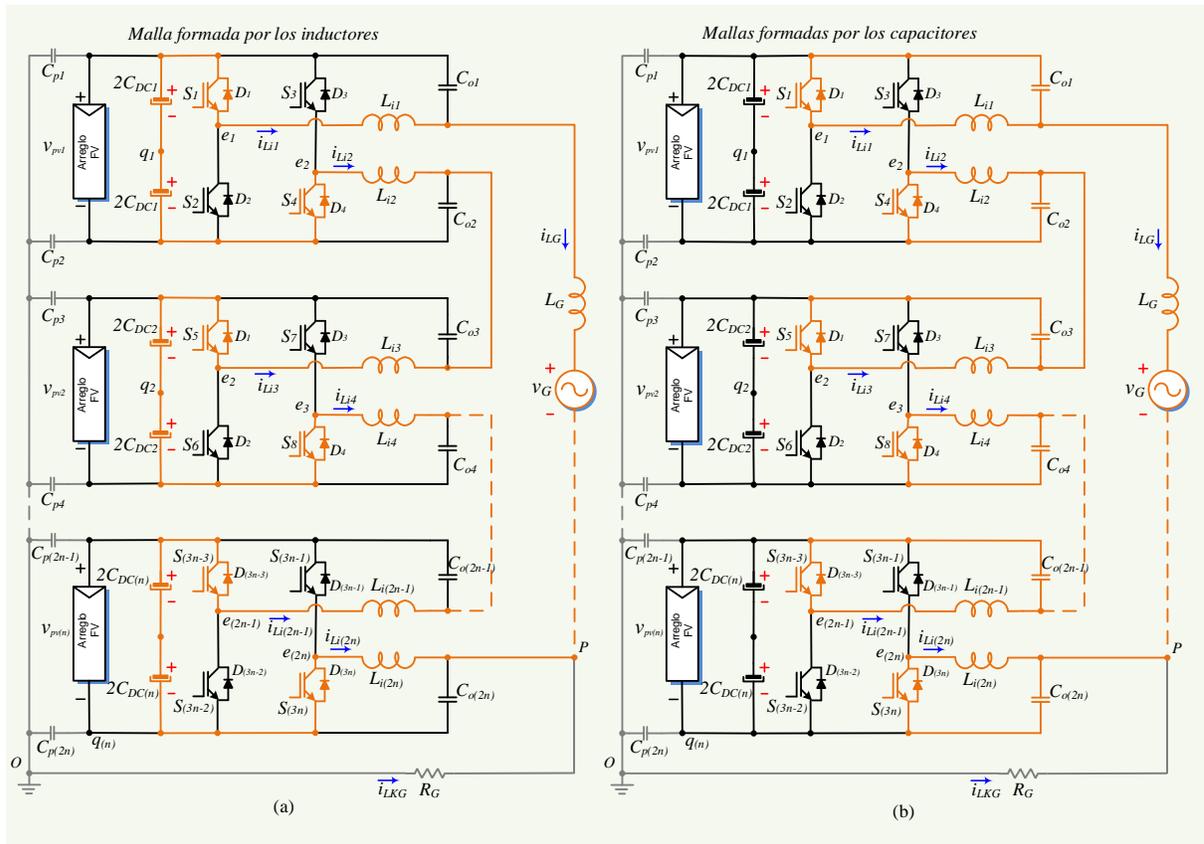


Figura 21. (a) Identificación de la malla de los inductores, (b) Identificación de las mallas de los capacitores.

Los valores de los capacitores del filtro se propusieron de valores simétricos de la misma forma que se hizo para los inductores, las conexiones de los capacitores forman varias mallas unas independientes de otras, las cuales se resaltan en la Figura 21 (b), un análisis realizado de las mallas equivalentes mostró un circuito equivalente en serie para grupos de dos capacitores independientemente del número de módulos agregados a la topología. Por lo tanto, el valor en los capacitores se determina de acuerdo con (13), el cual permanecerá constante y de un valor

del doble de la capacitancia total requerida para compensar la reducción por la conexión en serie.

$$C_{o(1...2n)} = 2C_{oT} \quad (13)$$

Analizando el comportamiento que presentó el valor del capacitor se llegó a la siguiente aseveración, si el valor del capacitor se redujera al aumentar la cantidad de módulos la frecuencia de corte se estaría desplazando y se llegaría a un punto donde la trayectoria de baja impedancia ya no sería de baja impedancia por lo que no podría retornar las corrientes de modo común.

3.3 Análisis de la corriente de fuga cambiando el orden del filtro de salida.

Con base a la topología definida anteriormente se propuso realizar pruebas modificando el orden del filtro de salida en diferentes configuraciones las cuales se ilustran en la Figura 22 con el objetivo de observar el efecto en la corriente de fuga del sistema.

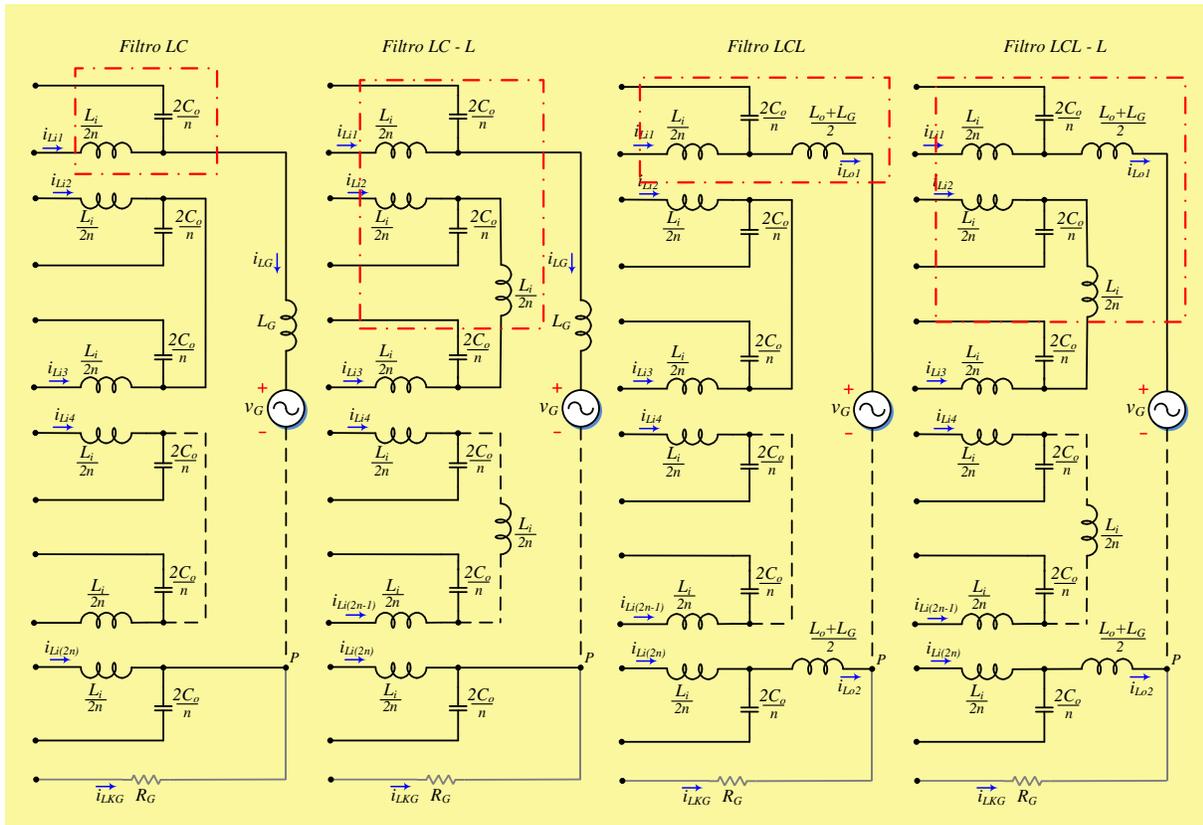


Figura 22. Configuraciones evaluadas de los filtros de salida.

Las pruebas se consideraron para 5 y 7 niveles, bajo los parámetros mostrados en la Tabla 10, y para las cuatro distintas modulaciones propuestas.

Tabla 10. Parámetros de simulación.

	Parámetros de simulación para 5 y 7 niveles	
Voltaje de bus de CD total	V_{pv}	260 V
Potencia	S	1000 W
Capacitor de bus de CD	C_{DC}	2200 μ F
Inductancia total del lado del inversor	L_{iT}	4 mH
Capacitancia total del filtro	C_{oT}	2.5 μ F
Capacitancia parásita total	C_p	188 nF
Resistencia de puesta a tierra	R_g	5 Ω
Frecuencia de conmutación	f_{sw}	10 kHz
Índice de modulación	m_a	0.85
Tiempo de simulación	t	500 ms
Tiempo de muestreo	t_s	1 μ S

De la Figura 23 a Figura 26 se muestran los resultados de simulación para la corriente de fuga en las diferentes configuraciones del filtro.

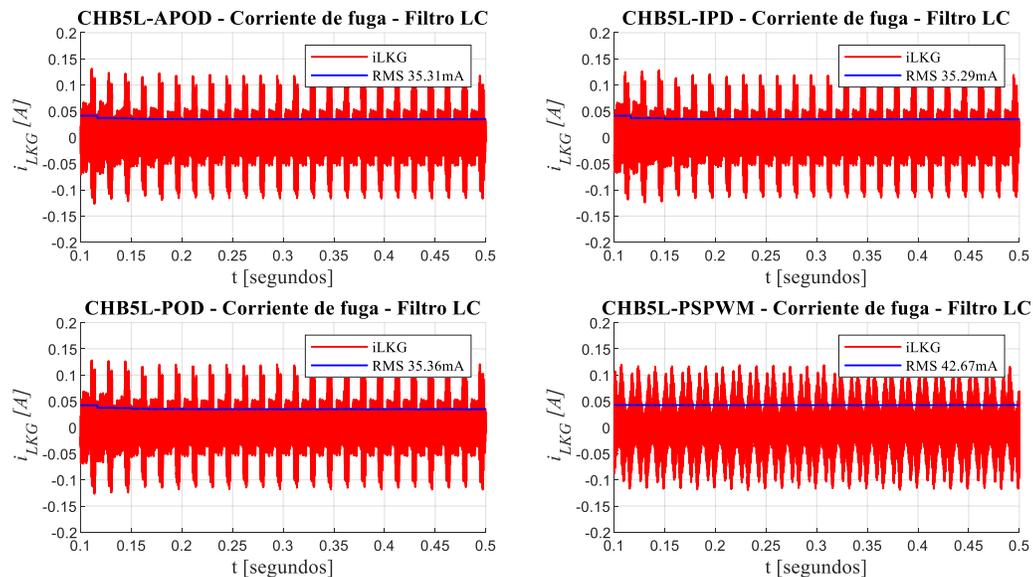


Figura 23. Corriente de fuga con filtro LC topología CHB5L.

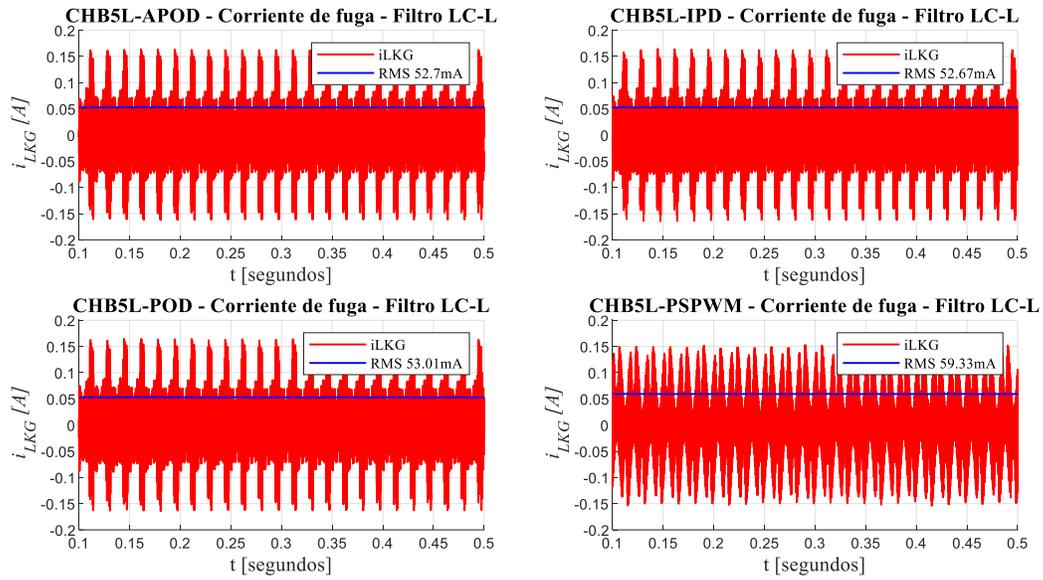


Figura 24. Corriente de fuga con filtro LC-L topología CHB5L.

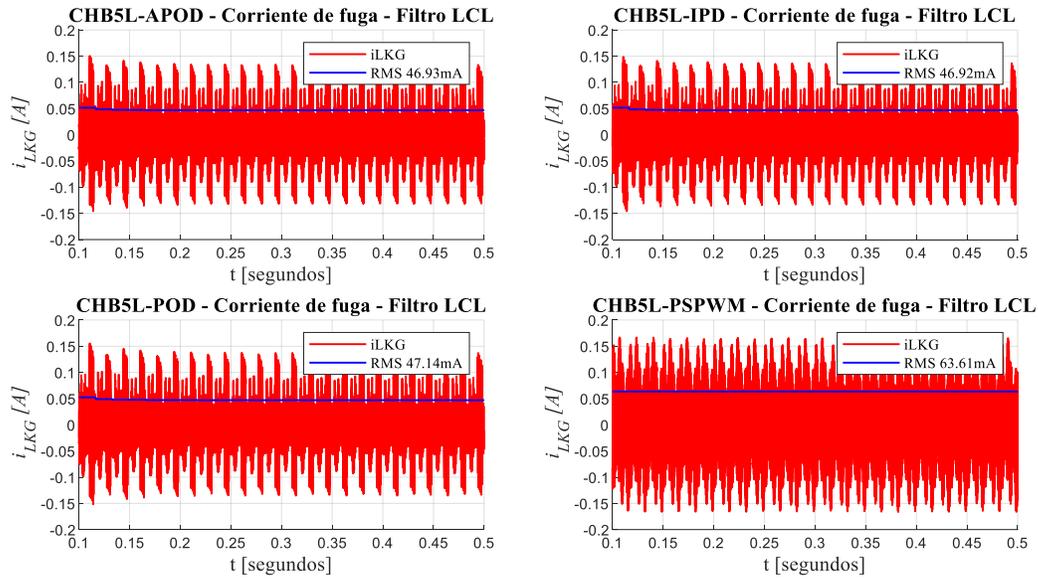


Figura 25. Corriente de fuga con filtro LCL topología CHB5L.

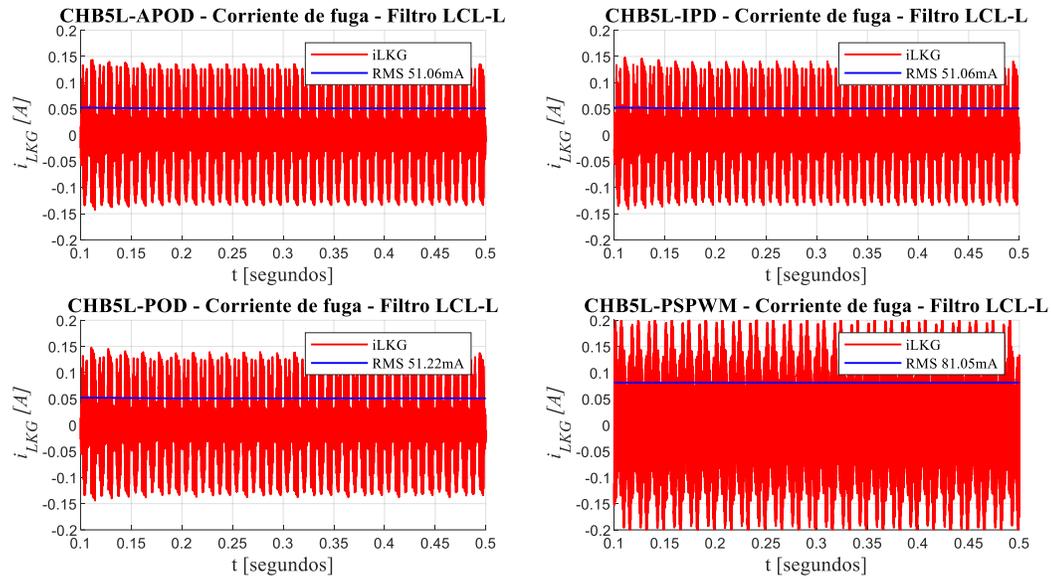


Figura 26. Corriente de fuga con filtro LCL-L topología CHB5L.

De igual manera se realizó el mismo análisis para la topología de 7 niveles, en resumen, el comportamiento de la corriente de fuga se ilustra en la Tabla 11.

Tabla 11. Resumen de las magnitudes de la corriente de fuga con diferente filtro.

CHB5L				
	<i>APOD</i>	<i>IPD</i>	<i>POD</i>	<i>PSPWM</i>
LC	35.31 mA	35.29 mA	35.36 mA	42.67 mA
LC-L	52.7 mA	52.67 mA	53.01 mA	59.33 mA
LCL	46.93 mA	46.92 mA	47.14 mA	63.61 mA
LCL-L	51.06 mA	51.06 mA	51.22 mA	81.05 mA
CHB7L				
LC	31.41 mA	31.65 mA	31.5 mA	59.9 mA
LC-L	64.15 mA	65.02 mA	64.17 mA	92.2 mA
LCL	51.98 mA	52.05 mA	51.91 mA	76.7 mA
LCL-L	56.36 mA	57.15 mA	56.38 mA	115 mA

De lo anterior se puede observar:

- Al pasar de un filtro LC a un filtro LC-L la corriente de fuga aumento casi al doble en un sistema de 5 niveles y para 7 niveles el aumento fue mayor al doble.
- Al pasar de un filtro LC a un filtro LCL la corriente de fuga también presento un aumento de entre 30 a 35% tanto en 5 como en 7 niveles.
- Al pasar de un filtro LCL a un filtro LCL-L la corriente de fuga presento un aumento aproximadamente del 10%.

3.4 Convertidor CHBN generalizado basado en DD-Buck

En la topología final se utilizó un filtro de tercer orden LCL, a pesar de que este filtro tiende aumentar la corriente de fuga, el aumento es mínimo y se puede considerar la configuración debido a que presenta mejores ventajas para el objetivo de inyección de potencia a la red en comparación con un filtro LC [37], [38].

Dentro de las ventajas se mencionan las siguientes:

- La caída de voltaje en los inductores es menor.
- El inductor del lado de la red limita la corriente de arranque de los capacitores.
- Se aumenta la robustez del convertidor ante variaciones de la inductancia de la red.

El circuito final para el análisis extendido a n niveles con filtro LCL se ilustra en la Figura 27, donde C_{p1} a $C_{p(2n)}$ representan las capacitancias parásitas de los n -arreglos fotovoltaicos y v_{cp1} a $v_{cp(2n)}$ sus correspondientes voltajes, R_G representa la resistencia de la trayectoria de tierra y i_{LKG} la corriente de fuga. Los inductores L_{i1} a $L_{i(2n)}$ son las inductancias del filtro del lado del inversor y i_{Li1} a $i_{Li(2n)}$ son sus corrientes, los inductores L_{o1} y L_{o2} , son las inductancias del lado de la red y i_{Lo1} y i_{Lo2} , representan la corriente inyectada a la red, v_G representa el voltaje de la red, C_{o1} a $C_{o(2n)}$, son los capacitores del filtro y v_{Co1} a $v_{Co(2n)}$ son sus voltajes, y por último los voltajes e_1 a $e_{(2n)}$ son los voltajes de salida del inversor para cada rama con referencia al punto $q_{(n)}$, que también representan las salidas del control real del sistema.

A partir del circuito simplificado de la Figura 27, se realizó un análisis en variables eléctricas aplicando las leyes de voltajes y corrientes de Kirchhoff, este análisis matemático describe el comportamiento del sistema en variables eléctricas y es necesario para derivar dos modelos que describen el comportamiento del circuito, a estos modelos se les conoce como modelo de modo común y modelo de modo diferencial. El modelo de modo común muestra la dinámica que sigue la corriente de fuga en el circuito y como es que el filtro ayuda a mitigarla. Por otra lado, el modelo de modo diferencial muestra la dinámica que presentan los elementos pasivos para la inyección de potencia activa a la red.

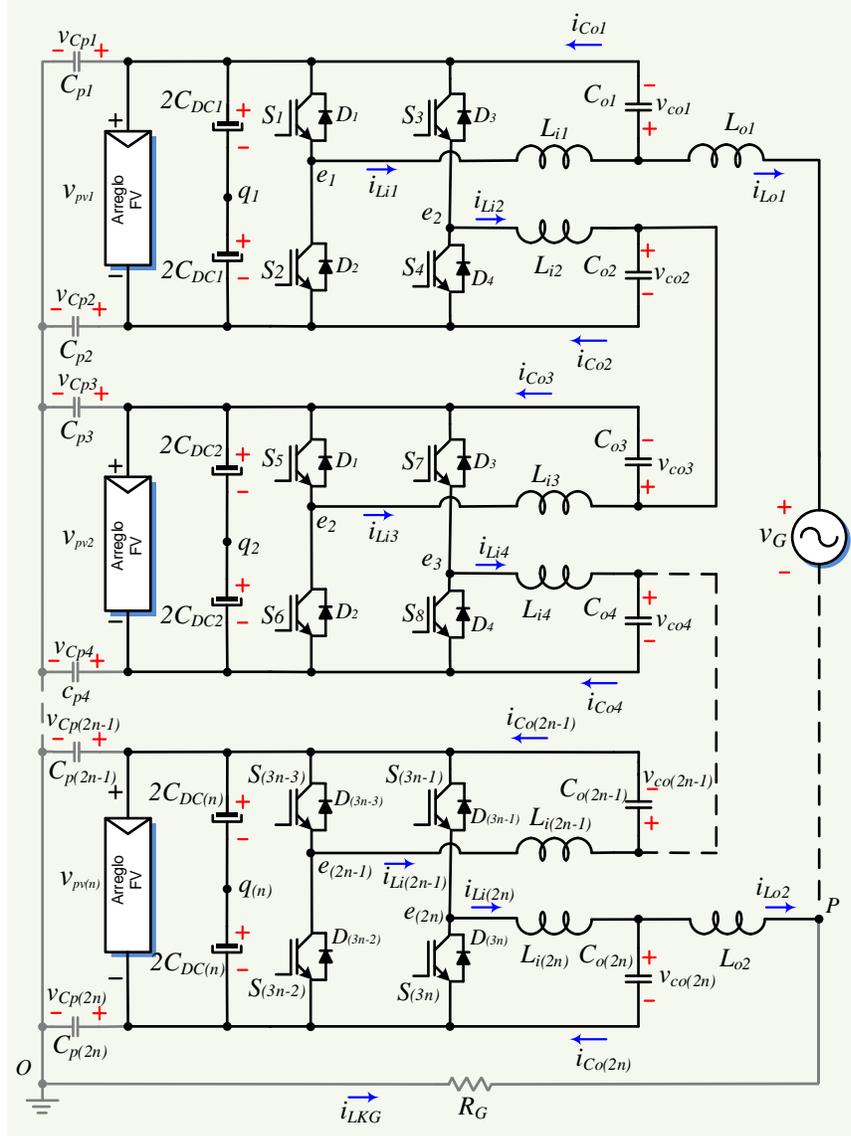


Figura 27. Topología final de estudio, inversor CHB para n niveles.

3.5 Modelado del sistema

En (14) a la (19) se describen los voltajes en los inductores del lado del lado del inversor,

$$L_{i1} \hat{i}_{Li1} = e_1 - v_{co1} - \frac{V_{pv1}}{2}, \quad (14)$$

$$L_{i2} \hat{i}_{Li2} = e_2 - v_{co2} + \frac{V_{pv1}}{2}, \quad (15)$$

$$L_{i3} \hat{i}_{Li3} = e_3 - v_{co3} - \frac{V_{pv2}}{2}, \quad (16)$$

$$L_{i4}\dot{\hat{i}}_{Li4} = e_4 - v_{co4} + \frac{V_{pv2}}{2}, \quad (17)$$

⋮

$$L_{i(2n-1)}\dot{\hat{i}}_{Li(2n-1)} = e_{(2n-1)} - v_{co(2n-1)} - \frac{V_{pv(n)}}{2}, \quad (18)$$

$$L_{i(2n)}\dot{\hat{i}}_{Li(2n)} = e_{(2n)} - v_{co(2n)} + \frac{V_{pv(n)}}{2}. \quad (19)$$

De (20) a la (23) se describen las corriente a través de los capacitores del filtro de salida,

$$C_{o1}\dot{v}_{co1} = i_{Li1} - i_{Lo1}, \quad (20)$$

$$C_{o2}\dot{v}_{co2} + C_{o3}\dot{v}_{co3} = i_{Li2} + i_{Li3}, \quad (21)$$

⋮

$$C_{o4}\dot{v}_{co4} + C_{o(2n-1)}\dot{v}_{co(2n-1)} = i_{Li4} + i_{Li(2n-1)}, \quad (22)$$

$$C_{o(2n)}\dot{v}_{co(2n)} = i_{Li(2n)} - i_{Lo2}. \quad (23)$$

En (24) se tiene la malla para los voltajes en los inductores de salida,

$$\begin{aligned} L_{o1}\dot{\hat{i}}_{Lo1} - L_{o2}\dot{\hat{i}}_{Lo2} \\ = -L_{i1}\dot{\hat{i}}_{Li1} + L_{i2}\dot{\hat{i}}_{Li2} - L_{i3}\dot{\hat{i}}_{Li3} + L_{i4}\dot{\hat{i}}_{Li4} - \dots - L_{i(2n-1)}\dot{\hat{i}}_{Li(2n-1)} \\ + L_{i(2n)}\dot{\hat{i}}_{Li(2n)} + e_1 - e_2 + e_3 - e_4 + \dots + e_{(2n-1)} - e_{(2n)} - v_G, \end{aligned} \quad (24)$$

y en (25) se describe las corrientes en los capacitores parásitos,

$$\begin{aligned} C_{p1}\dot{v}_{cp1} + C_{p2}\dot{v}_{cp2} + C_{p3}\dot{v}_{cp3} + C_{p4}\dot{v}_{cp4} + \dots + C_{p(2n-1)}\dot{v}_{cp(2n-1)} \\ + C_{p(2n)}\dot{v}_{cp(2n)} = i_{LKG}. \end{aligned} \quad (25)$$

En (26) a (29) se presentan algunas restricciones a considerar formadas por una segunda malla dentro del circuito.

$$i_{LKG} = -i_{Lo1} - i_{Lo2}, \quad (26)$$

$$nv_{pv} = v_G + 2L_o\dot{\hat{i}}_{oDMT} - v_{coDMT}, \quad (27)$$

$$v_{co1} = L_o\dot{\hat{i}}_{o1} - v_{cp1} - i_{LKG}R_G + v_G, \quad (28)$$

$$v_{co(2n)} = L_o\dot{\hat{i}}_{o2} - v_{cp(2n)} - i_{LKG}R_G. \quad (29)$$

Para la obtención de los modelos de modo común y modo diferencial se emplearon las definiciones en (30) a (40), además como los valores de los elementos se consideraron simétricos se realizaron las siguientes simplificaciones, $L_{i1} = L_{i2} = L_{i3} = L_{i4} \dots = L_{i(n)} = L_{iT}$ para $L_{o1} = L_{o2} = L_o$ para $C_{o1} = C_{o2} = C_{o3} = C_{o4} \dots = C_{o(n)} = C_{oT}$ para $C_{p1} = C_{p2} = C_{p3} = C_{p4} \dots = C_{p(n)} = C_p$.

Definiciones para el modo común;

$$e_{CM} \triangleq \frac{e_1 + e_{(2n)}}{2}, \quad (30)$$

$$v_{coCM} \triangleq \frac{v_{co1} + v_{co(2n)}}{2}, \quad (31)$$

$$v_{coCMT} \triangleq \frac{v_{co1} + v_{co2} + v_{co3} + v_{co4} + \dots + v_{co(2n-1)} + v_{co(2n)}}{2}, \quad (32)$$

$$v_{CPCMT} \triangleq \frac{v_{Cp1} + v_{Cp2} + v_{Cp3} + v_{Cp4} + \dots + v_{Cp(2n-1)} + v_{Cp(2n)}}{2}, \quad (33)$$

$$i_{iCM} \triangleq i_{i1} + i_{i(2n)}, \quad (34)$$

$$i_{iCMT} \triangleq i_{i1} + i_{i2} + i_{i3} + i_{i4} + \dots + i_{i(2n-1)} + i_{i(2n)}. \quad (35)$$

Definiciones para el modo diferencial;

$$e_{DMT} \triangleq e_1 - e_2 + e_3 - e_4 + \dots + e_{(2n-1)} - e_{(2n)}, \quad (36)$$

$$v_{coDM} \triangleq v_{co1} - v_{co(2n)}, \quad (37)$$

$$v_{coDMT} \triangleq v_{co1} - v_{co2} + v_{co3} - v_{co4} + \dots + v_{co(2n-1)} - v_{co(2n)}, \quad (38)$$

$$i_{oDMT} \triangleq \frac{i_{o1} - i_{o2}}{2}, \quad (39)$$

$$i_{iDMT} \triangleq \frac{i_{i1} - i_{i2} + i_{i3} - i_{i4} + \dots + i_{i(2n-1)} - i_{i(2n)}}{2}. \quad (40)$$

3.6 Modelo de modo común

El número de ecuaciones obtenidas para el modelo de modo común es igual al número de elementos pasivos que se tienen en el modelo. En (41) se describe la dinámica del voltaje de modo común en los inductores del lado del inversor, y se obtiene a partir de las ecuaciones (14) a (19).

$$\frac{L_{iT}}{2} \dot{i}_{iCMT} = e_{CMT} - v_{coCMT} \quad (41)$$

En (42) se describe la dinámica de la corriente de modo común en los capacitores del filtro, obtenida a partir de las ecuaciones (20) a (23).

$$2C_{oT}\dot{v}_{coCMT} = i_{iCMT} + i_{LKG}. \quad (42)$$

En (43) se describe el voltaje en los inductores del lado de la red y se obtiene de las restricciones en (28) y (29).

$$\frac{L_o}{2}\dot{i}_{LKG} = -\frac{v_G}{2} + i_{LKG}R_G + v_{CPCMT} + v_{coCMT}. \quad (43)$$

En (44) se describe la corriente en las capacitancias parásitas y se obtiene a partir de (25)

$$2C_P\dot{v}_{CPCMT} = i_{LKG}. \quad (44)$$

Del análisis anterior, el modelo de modo común está descrito por (41) a (44). Construyendo un circuito equivalente a partir de las ecuaciones se tiene el circuito mostrado en la Figura 28, es necesario mencionar que los valores de los elementos pasivos en este circuito corresponden a los totales L_{iT} y C_{oT} .

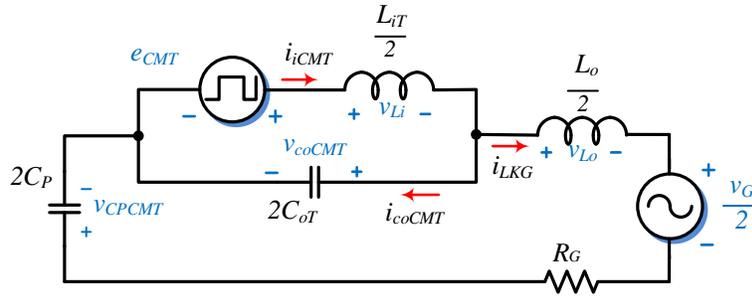


Figura 28. Circuito equivalente del modelo de modo común.

La estructura del modelo revela un filtro convencional LCL y a pesar de que la topología está caracterizada para n niveles el modelo no presentó cambios en su estructura, solo en los valores de los elementos pasivos. Otro dato interesante que mencionar, es que el valor del capacitor del filtro resulto ser del doble del valor de la capacitancia total similar a lo obtenido en (13).

3.7 Modelo de modo diferencial

En (45) se describe el voltaje de modo diferencial en los inductores del lado del inversor, el término n , que es el número de módulos en cascada, aparece como un factor de multiplicación del voltaje de entrada considerando que todas las fuentes son de valor similar.

$$2L_i\dot{i}_{iDMT} = e_{DMT} - v_{coDMT} - nv_{pv}, \quad (45)$$

donde el termino nv_{pv} se puede sustituir por (27) resultando,

$$2L_i \dot{i}_{iDMT} = e_{DMT} - v_G - 2L_o \dot{i}_{oDMT}. \quad (46)$$

La expresión obtenida en (46) se compone de dos derivadas con variables diferentes, separando cada derivada en una expresión individual se tiene (47) y (48),

$$2L_i \dot{i}_{iDMT} = e_{DMT} - v_{coDM}, \quad (47)$$

$$2L_o \dot{i}_{oDMT} = -v_G + v_{coDM}. \quad (48)$$

En (49) se describe el comportamiento de la corriente de modo diferencial en los capacitores del filtro.

$$\frac{C_{oT}}{2} \dot{v}_{coDM} = i_{iDMT} - i_{oDMT}. \quad (49)$$

El modelo de modo diferencial generalizado a n niveles se puede describir usando las ecuaciones (47) a (49), donde su circuito equivalente se ilustra en la Figura 29. Se observa nuevamente un circuito equivalente de un filtro LCL convencional lo que es ventajoso para la implementación del control, además el modelo no se modifica por extender el circuito a n niveles. Se hace notar nuevamente el valor del capacitor, el cual al tener una disposición equivalente en serie para el modo diferencial su valor fue la mitad del valor total.

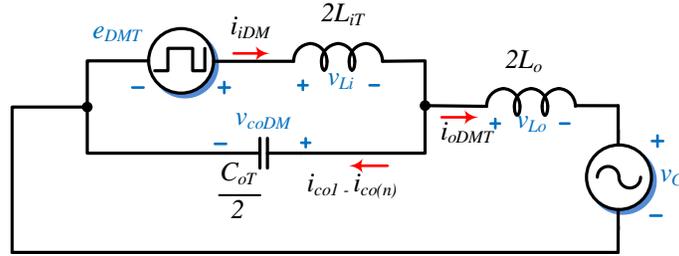


Figura 29. Circuito equivalente del modelo de modo diferencial.

3.8 Cálculo del filtro

Los valores de los elementos del filtro pasivo deben de cumplir con varios criterios de diseño, para esto, en la literatura existen varios artículos sobre los pasos a seguir para obtener dichos valores.

En resumen, se menciona lo siguiente, el inductor del lado del inversor L_{iT} , además de acoplar las etapas, cumple la función de filtrar los armónicos de alta frecuencia de la corriente de salida del inversor. Lo anterior genera una corriente de tipo senoidal con un rizado de alta frecuencia, este rizado, de acuerdo con la literatura, se debe mantener por debajo del 40% de la amplitud máxima de la corriente y se obtiene mediante (50).

$$\Delta_{iL} = \frac{v_{pv}}{4L_{iT}f_s}, \quad (50)$$

donde v_{pv} es el voltaje fotovoltaico, f_s es la frecuencia de conmutación, L_{iT} es la inductancia total del sistema y Δ_{iL} es el nivel de rizo en amperes.

La potencia reactiva del capacitor no debe superar el 5% de la potencia nominal. Para el inductor del lado de la red su valor es una fracción del valor del inductor del lado del inversor [39], [40], [41], [42].

La potencia reactiva almacenada en el sistema de n niveles se puede obtener mediante (53), donde n es el número de módulos, C_{oT} es el valor del capacitor y V es el voltaje del capacitor.

$$Q = \frac{nC_{oT}V^2}{2} \quad (51)$$

El valor numérico de los elementos se obtiene con las ecuaciones (52) a (55) en función de la impedancia base, el valor del inductor está dentro del 15% a 40% de la inductancia base, para el capacitor su valor está dentro del 5% al 15% de la capacitancia base.

$$z_b = \frac{v_{RMS}^2}{S}, \quad (52)$$

$$L_b = \frac{z_b}{2\pi f_r}, \quad (53)$$

$$C_b = \frac{1}{2\pi f_r z_b}, \quad (54)$$

$$L_o = aL_{iT}. \quad (55)$$

donde v_{RMS} es el voltaje RMS de la red, f_r es la frecuencia de red, S es la potencia nominal del inversor y a es la constante de relación lineal que existe entre el inductor del lado de la red con el inductor del lado del inversor, típicamente es menor a 0.5, aunque su valor se puede calcular de acuerdo con (56).

$$a = \frac{1}{|1 + \Delta i_o(\%) [1 - C_o L_i (2\pi f_s)^2]|} \quad (56)$$

Sin embargo, dentro de los objetivos del trabajo no se contempla un nivel específico de rizado, por lo que el valor de los elementos pasivos fue propuesto de acuerdo con los valores disponibles para llevar a cabo las pruebas experimentales, validando que estos valores cumplieran los parámetros de diseño. Los valores fueron los mostrados en la Tabla 12,

Tabla 12. Valores propuestos para el filtro.

	Para 5 niveles	Para 7 niveles
S	1000 W	1000 W
L_{iT}	1 mH x 4 = 4 mH	1 mH x 6 = 6 mH
C_{oT}	5 uF/2 = 2.5 uF	5 uF/2 = 2.5 uF
L_o	500 uH x 2 = 1mH	500 uH x 2 = 1mH

Con base en los parámetros de la Tabla 12, el nivel de rizado en la corriente con los valores de los inductores seleccionados fue de 1.625 A para 5 niveles con un porcentaje de rizo de 13.54% y de 1.08 A para 7 niveles con un porcentaje de rizo de 9.02%, como dato extra el valor mínimo del inductor se limita a 1.354 mH. Para el capacitor el nivel de potencia reactiva almacenada es despreciable, esto dado que el voltaje que almacena el capacitor se va reduciendo conforme se van agregando más módulos en cascada y dado que la potencia depende del voltaje almacenado la potencia se reduce, de acuerdo con (53).

3.9 Análisis en frecuencia del filtro

Para en análisis en frecuencia del filtro se hizo una representación en modelo de espacios de estados para los modelos de modo común y modo diferencial. Para el modelo de modo diferencial se obtiene un sistema de cuarto orden mostrado en (57) y para el modelo de modo diferencial se obtiene un sistema de tercer orden mostrado en (58).

$$\begin{bmatrix} \dot{\hat{i}}_{i_{CMT}} \\ \dot{\hat{v}}_{coCMT} \\ \dot{\hat{i}}_{LKG} \\ \dot{\hat{v}}_{CPCMT} \end{bmatrix} = \begin{bmatrix} 0 & -\frac{2}{L_i} & 0 & 0 \\ \frac{1}{2C_o} & 0 & \frac{1}{2C_o} & 0 \\ 0 & \frac{2}{L_o} & \frac{2R_G}{L_o} & \frac{2}{L_o} \\ 0 & 0 & \frac{1}{2C_p} & 0 \end{bmatrix} \begin{bmatrix} i_{i_{CMT}} \\ v_{coCMT} \\ i_{LKG} \\ v_{CPCMT} \end{bmatrix} + \begin{bmatrix} \frac{2}{L_i} \\ 0 \\ 0 \\ 0 \end{bmatrix} e_{CMT} + \begin{bmatrix} 0 \\ 0 \\ -\frac{v_G}{L_o} \\ 0 \end{bmatrix}, \quad (57)$$

$$\begin{bmatrix} \dot{\hat{i}}_{i_{DMT}} \\ \dot{\hat{v}}_{coDM} \\ \dot{\hat{i}}_{oDMT} \end{bmatrix} = \begin{bmatrix} 0 & -\frac{1}{2L_i} & 0 \\ \frac{2}{C_o} & 0 & -\frac{2}{C_o} \\ 0 & \frac{1}{2L_o} & 0 \end{bmatrix} \begin{bmatrix} i_{i_{DMT}} \\ v_{coDM} \\ i_{oDMT} \end{bmatrix} + \begin{bmatrix} \frac{1}{2L_i} \\ 0 \\ 0 \end{bmatrix} e_{DMT} + \begin{bmatrix} 0 \\ 0 \\ -\frac{v_G}{2L_o} \end{bmatrix}. \quad (58)$$

Se procedió a obtener las funciones de transferencia para ambos modelos las cuales se ilustran en (59) a (62).

$$G_{CM1}(s) = \frac{i_{iCMT}}{v_G} = \frac{1}{C_o C_P L_i L_o s^4 - 2C_o C_P L_i R_G s^3 + (C_P L_i - C_o L_i - C_P L_o) s^2 + 2C_P R_G s + 1} \quad (59)$$

$$G_{CM2}(s) = \frac{i_{iCMT}}{e_{CMT}} = \frac{-2C_o C_P L_o s^3 + 4C_o C_P R_G s^2 + 2(C_o - C_P) s}{C_o C_P L_i L_o s^4 - 2C_o C_P L_i R_G s^3 + (C_P L_i - C_o L_i - C_P L_o) s^2 + 2C_P R_G s + 1} \quad (60)$$

$$G_{DM1}(s) = \frac{i_{iDMT}}{v_G} = \frac{1}{2C_o L_o L_i s^3 + 2(L_o + L_i) s} \quad (61)$$

$$G_{DM2}(s) = \frac{i_{iDMT}}{e_{DMT}} = \frac{C_o L_o s^2 + 1}{2C_o L_o L_i s^3 + 2(L_o + L_i) s} \quad (62)$$

Las funciones de transferencia en (60) y (62) describen el comportamiento de la i_{iCMT} y i_{iDMT} con respecto de la e_{CMT} y e_{DMT} respectivamente, lo cual corresponde a la conductancia que presenta el filtro ante las diferentes corrientes.

Empleando los parámetros de la Tabla 10, se obtuvieron a través de MATLAB los diagramas de bode de las funciones de transferencia en (60) y (62) con la finalidad de mostrar el comportamiento del filtro en el dominio de frecuencia.

En la Figura 30, se muestra el diagrama de bode para la función de transferencia en (60) para el comportamiento en 5 y 7 niveles, la gráfica muestra que el filtro LCL presenta una atenuación de la conductancia para la corriente de modo común. La variación que existe entre las curvas se debe al valor diferente del inductor L_{iT} y al valor de capacitancia total C_P .

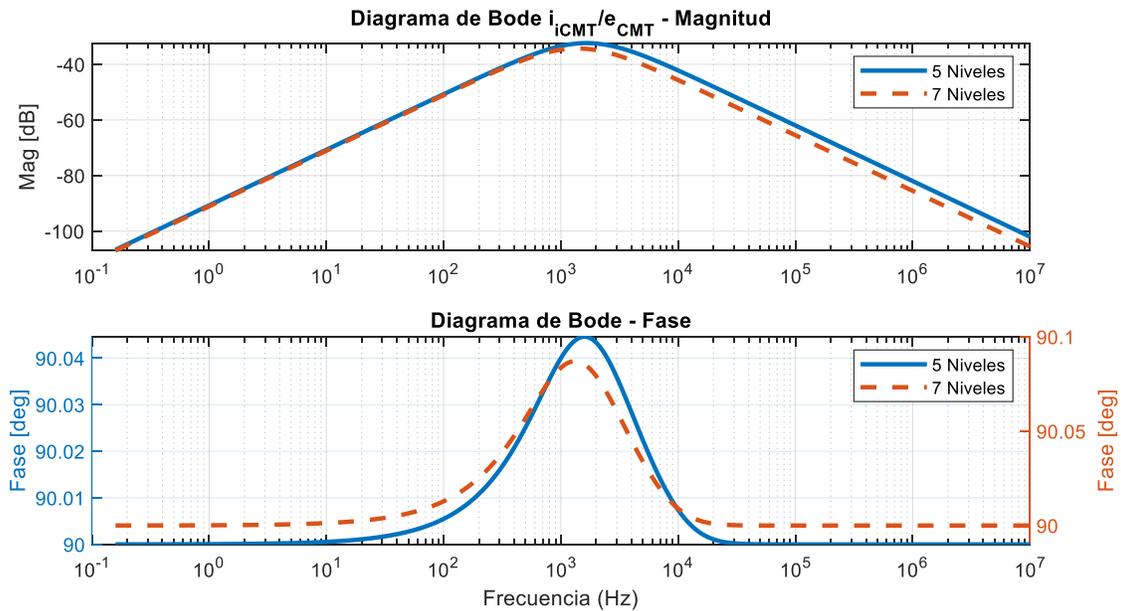


Figura 30. Diagrama de Bode del modelo de modo común.

El diagrama de bode para la función de transferencia del modelo diferencial se presenta en la Figura 31, se observa un comportamiento totalmente distinto al diagrama de bode de modo común, para frecuencias pequeñas la conductancia del filtro es alta, y conforme se comienza a

elevar la frecuencia la conductancia se reduce, la frecuencia de corte del filtro es de aproximadamente 30 Hz.

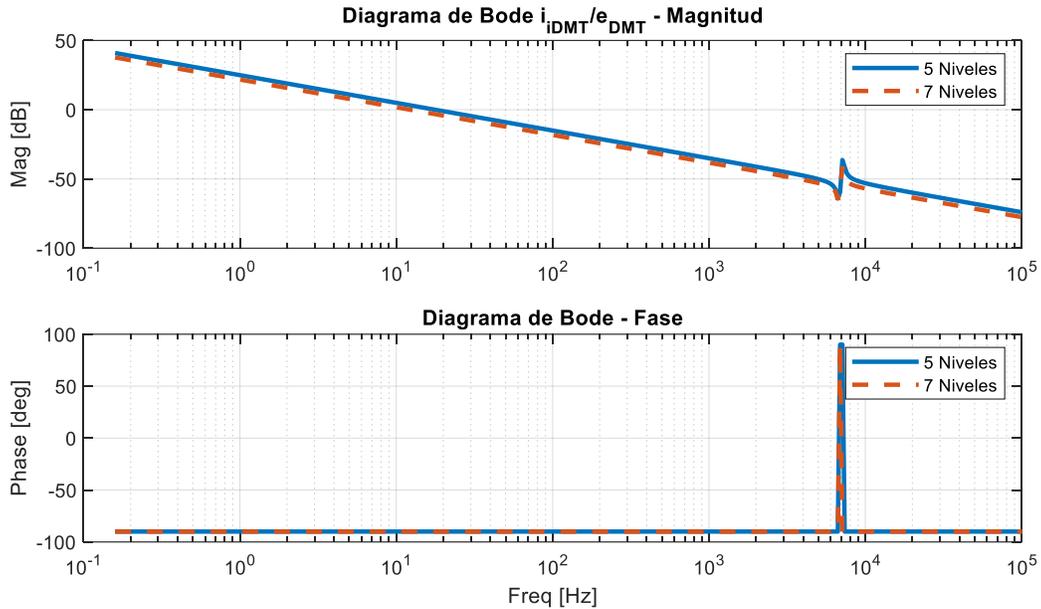


Figura 31. Diagrama de Bode del modelo de modo diferencial

3.10 Distribución de pérdidas en el inversor CHB5L

El análisis evalúa las cuatro ramas que conforman los dos módulos del CHB5L, cada rama incorpora dos IGBT conectados en serie y los dos diodos colocados en antiparalelo. Los resultados se obtuvieron mediante simulaciones usando el módulo térmico del software PSIM, donde la información del comportamiento real del IGBT se carga en el software empleando las hojas de datos del fabricante. El modelo construido proporciona una buena aproximación de las pérdidas que se presentan en los dispositivos por conmutación y conducción del IGBT y del diodo antiparalelo en comparación con un prototipo experimental de laboratorio.

En la Figura 32, se tienen las gráficas que muestran la distribución de pérdidas en los interruptores por pares, es decir, $S_1 - S_2$, $S_3 - S_4$, $S_5 - S_6$ y $S_7 - S_8$ y sus diodos antiparalelo. Las modulaciones basadas en el método LSPWM presentan una reducción de pérdidas de manera general en comparación con el método SPSPWM.

A partir de los resultados obtenidos es posible observar lo siguiente:

- Las modulaciones APOD, IPD y POD presenta una distribución en pérdidas similares.
- Las ramas conformadas por $S_1 - S_2$ y $S_7 - S_8$ presentan un incremento tanto en las pérdidas por conducción como en conmutación en comparación con las ramas intermedias $S_3 - S_4$ y $S_5 - S_6$.
- La modulación SPSPWM presenta una distribución equivalente tanto en pérdidas por conducción como por conmutación para todos los interruptores.

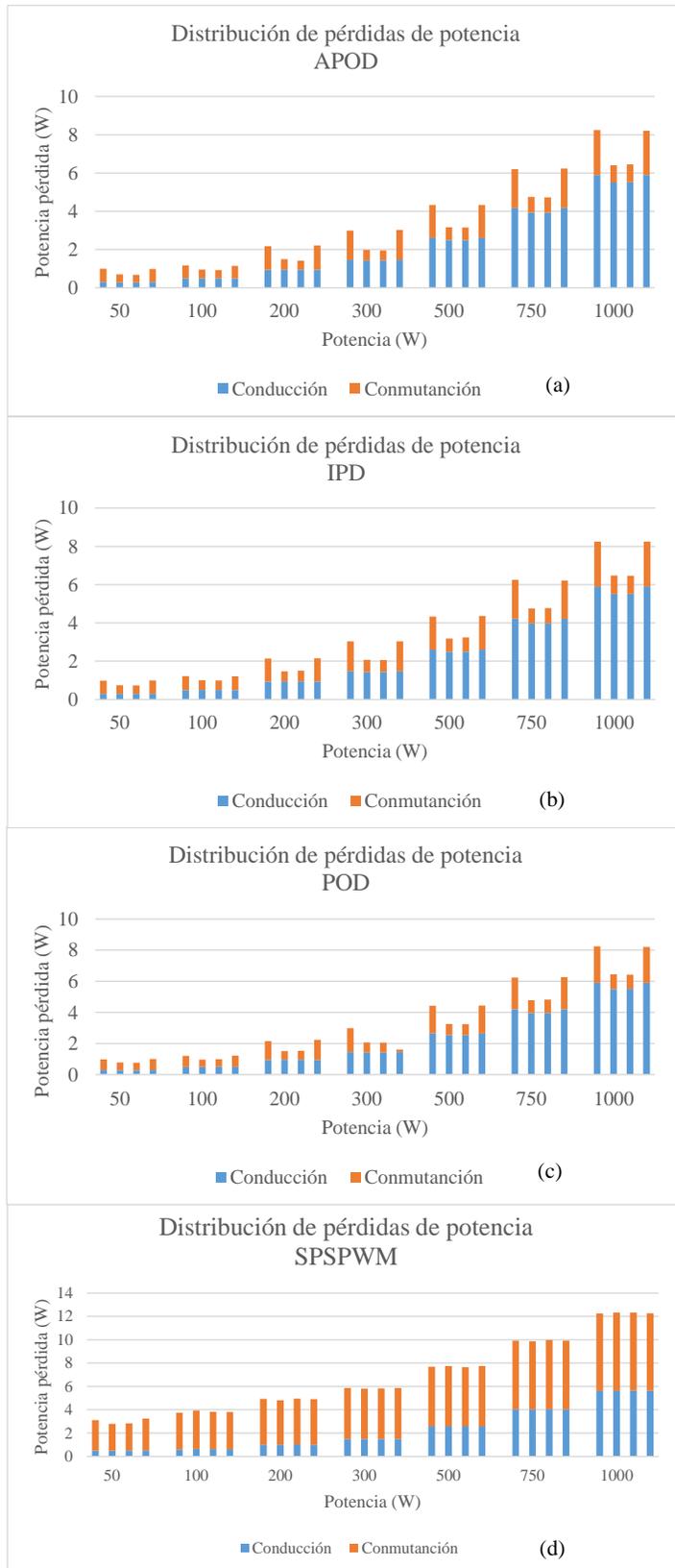


Figura 32. Distribución de pérdidas en los interruptores, (a) APOD, (b) IPD, (c) POD y (D) PSPWM.

3.11 Curvas de eficiencia para el inversor CHB5L

En la gráfica presentada en la Figura 33 se ilustran las curvas de la eficiencia para las diferentes modulaciones variando la potencia del inversor de 50 W hasta los 1000 W. Las técnicas de modulación basadas en LSPWM mantuvieron una eficiencia similar tanto en bajas como en altas potencias, en cambio la modulación PSPWM presenta una muy baja eficiencia a potencias mínimas y conforme se aumentó la potencia hasta el máximo se presentó un incremento logarítmico en su eficiencia, sin embargo, la eficiencia fue inferior respecto a las modulaciones LSPWM.

Se calcularon las eficiencias ponderadas correspondientes a la eficiencia europea (η_{EU}) y la eficiencia de California (η_{CES}), en la Figura 29 se ilustran los valores obtenidos. Se observó que la eficiencia promedio del sistema para las modulaciones bajo la técnica LSPWM se mantuvo en un 97.7%. Por otro lado, como era de esperarse, la técnica PSPWM mantuvo una eficiencia promedio más baja, del 93.9%.

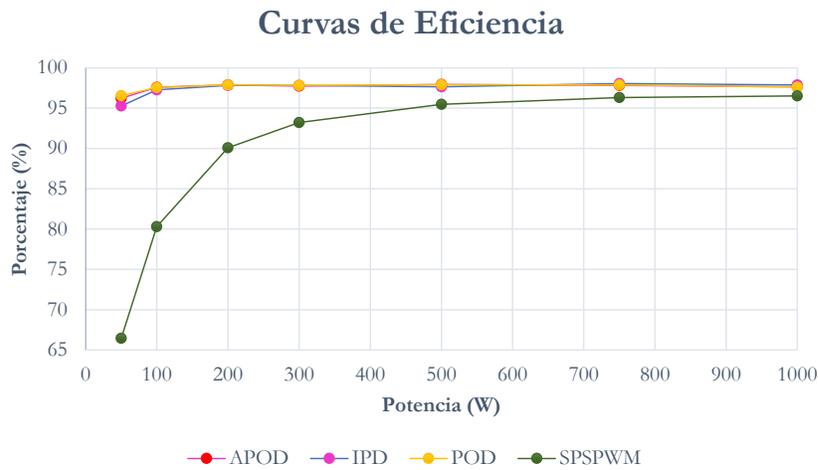


Figura 33. Curvas de eficiencia a diferentes niveles de potencia.

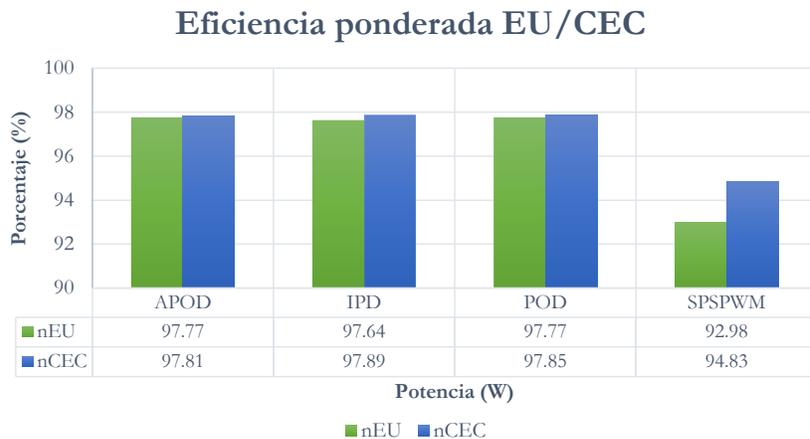


Figura 34. Eficiencia ponderada.

DESCRIPCIÓN DE LA LEY DE CONTROL

4.1 Análisis del control

Uno de los objetivos principales de este trabajo es realizar la inyección de potencia activa a la red, con base en esto se definió el siguiente objetivo del control.

- Diseñar una entrada de control e_{DM} para garantizar la inyección de una corriente i_{oDM} con una forma de onda senoidal y que se encuentre en fase con el voltaje del armónico fundamental de la red.

Se propone implementar un controlador proporcional – resonante o también llamado PR. El cual dispone de una parte proporcional y un grupo de filtros resonantes sintonizados a las frecuencias que se desea eliminar.

La ley de control aplicada fue basada en lo reportado en [43], [44]. El control se derivó del modelo diferencial y fue diseñado sobre la corriente i_{iDM} e indirectamente sobre la corriente i_{oDMT} .

Analizando la planta se tienen las siguientes consideraciones:

- Los parámetros del filtro son constantes y conocidos.
- El valor de v_G y i_{iDM} están disponibles de la planta.
- La frecuencia ω_o es conocida y constante.
- v_G presenta distorsión armónica a frecuencias superiores a ω_o .

Se aplico un segundo análisis al sistema, esta vez modelando los interruptores como señales de control de acuerdo con sus posiciones, la topología del sistema se ilustra en la Figura 35.

Los voltajes a las salidas del inversor se denotan como $e_1, e_2 \dots e_{(2n)}$ y son considerados con respecto a los puntos $q_1, q_2 \dots q_{(n)}$ descritos de (63) a (68). Estos voltajes son las salidas reales del control y su valor está en función de las secuencias de activación de los interruptores, donde $u_1, u_2 \dots u_{(2n)}$ son las posiciones del interruptor que toman valores dentro del conjunto discreto $\{-1, 1\}$.

$$e_{1q1} = v_{pv1} \left(\frac{u_1 + 1}{2} \right), \quad (63)$$

$$e_{2q1} = v_{pv1} \left(\frac{u_2 + 1}{2} \right), \quad (64)$$

$$e_{3q2} = v_{pv2} \left(\frac{u_3 + 1}{2} \right), \quad (65)$$

$$e_{4q2} = v_{pv2} \left(\frac{u_4 + 1}{2} \right), \quad (66)$$

⋮

$$e_{(2n-1)q(n)} = v_{pv(n)} \left(\frac{u_{(2n-1)} + 1}{2} \right), \quad (67)$$

$$e_{(2n)q(n)} = v_{pv(n)} \left(\frac{u_{(2n)} + 1}{2} \right), \quad (68)$$

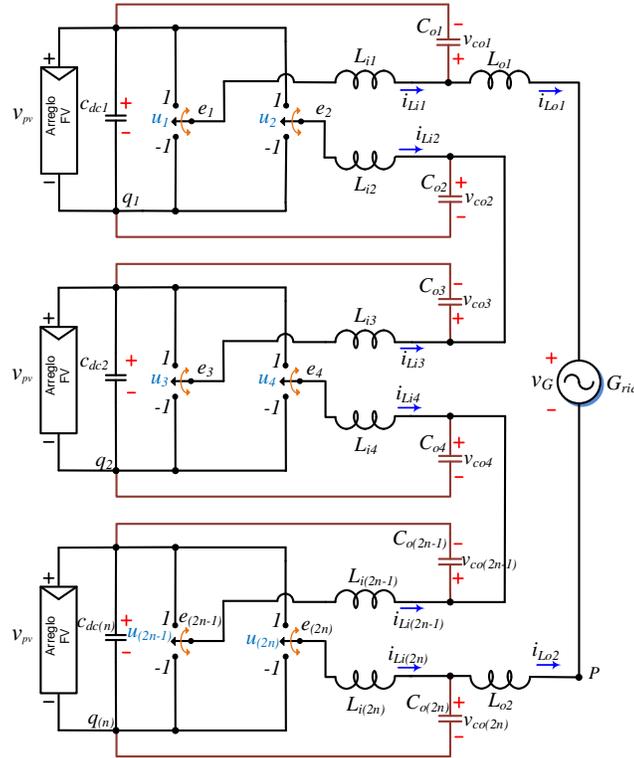


Figura 35. Circuito equivalente para el análisis del control.

Por definición, al restar los voltajes $e_{1q1} - e_{2q1}$ y repetir este procedimiento para los demás voltajes, se obtiene el voltaje de modo diferencial individual, ahora al sumar estos voltajes diferenciales de acuerdo con (36), se obtiene el voltaje de modo diferencial total del sistema en función de las posiciones de los interruptores, mostrado en (69).

$$e_{DMT} = v_{pv} \left(\frac{u_1 - u_2 + u_3 - u_4 + \dots + u_{(2n-1)} - u_{(2n)}}{2} \right) \quad (69)$$

Considerando el modelo promedio del sistema las posiciones de los interruptores se comportan como señales suaves, lo que permite diseñar la ley de control.

Se define $u \triangleq u_1 - u_2 + u_3 - u_4 + \dots + u_{(2n-1)} - u_{(2n)}$ donde al sustituir en (69) se obtiene el voltaje de modo diferencial promedio (e_{DMT}^*) descrito en (70).

$$e_{DMT}^* \triangleq \frac{v_{pv}}{2} u \quad (70)$$

4.2 Lazo de seguimiento de corriente

El objetivo principal del lazo de control es diseñar una señal de referencia e_{DMT}^* que garantice el seguimiento de la corriente i_{oDMT} a una referencia denominada i_{oDMT}^* , a esto se le denomina lazo de seguimiento de corriente.

El error del sistema se define en (71), esta a su vez se utiliza para obtener el modelo de error en (74), a partir del modelo de modo diferencial promedio obtenido en (72) y (73), donde además se substituyó e_{DMT}^* por su equivalencia en (70).

$$\tilde{i} \triangleq i_{iDM} - i_{iDM}^* \quad (71)$$

$$2L_i \dot{\tilde{i}} = e_{DMT}^* - v_G - 2L_o \dot{i}_{oDMT}^* \quad (72)$$

$$i_{iDM}^* = i_{oDMT}^* + \frac{C_o}{2} \dot{v}_{coDM}^* \quad (73)$$

$$2L_i \dot{\tilde{i}} = \frac{V_{FV}}{2} u - v_G - 2L_o \dot{i}_{oDMT}^* - 2L_i \dot{i}_{iDM}^* \quad (74)$$

Para que el error del sistema tienda a cero ($\tilde{i} \rightarrow 0$) se propuso u en (75), al emplear el control PR, δ es un banco de filtro resonantes sintonizados a las frecuencias múltiplos impares de la componente fundamental, más una parte proporcional (k_p) que agrega amortiguamiento al sistema.

$$u = \frac{2}{V_{FV}} (v_G - k_p \tilde{i} - \delta). \quad (75)$$

De modo que la señal de control quedaría definida como (76),

$$u = \frac{2}{V_{FV}} \left(v_G - k_p \tilde{i} - \sum_{k=\{1,3,\dots\}} \frac{\gamma_k s}{s^2 + k^2 \omega_o^2} \tilde{i} \right). \quad (76)$$

4.3 Corriente de referencia

Dado que la corriente que se desea controlar es i_{oDMT} , y la corriente que se está modificando directamente a través de la señal de control es la corriente i_{iDM} , la corriente de referencia i_{iDM}^* se debe diseñar en función de la corriente del lado de la red y debe ser tan distorsionada como sea necesario para asegurar el seguimiento de la corriente i_{oDMT} a su referencia i_{oDMT}^* . El diseño

de esta corriente se puede apreciar a detalle en [43], en este trabajo solo se ajustaron algunas variables en la ecuación final, la cual se ilustra en (77),

$$i_{iDMT}^* = (1 - \omega_o^2 L_o C_{oT}) \frac{P^*}{v_{G,RMS}^2} v_{G,1} + \frac{C_{oT}}{2} \omega_o v_{G,q}, \quad (77)$$

donde $v_{G,q}$ es la componente en cuadratura de $v_{G,1}$, es decir, una señal con la misma amplitud y frecuencia que $v_{G,1}$ pero desplazada 90° , P^* es la potencia de referencia la cual se propone constante, $v_{G,1}$ es el voltaje del primer armónico y para obtenerlo se utiliza un estimador de la componente fundamental [44].

De acuerdo con lo anterior el esquema de control se puede plantear como se muestra en la Figura 36.

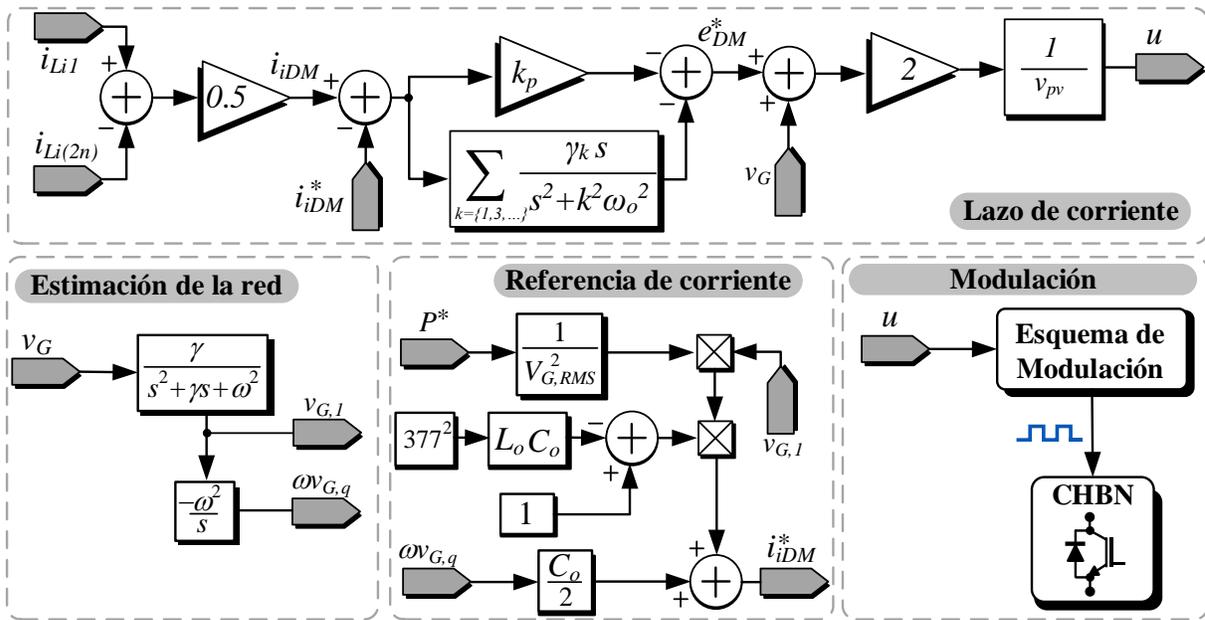


Figura 36. Esquema de control.

4.4 Diseño de los filtros resonantes

La función de transferencia de un filtro resonante corresponde a una función de transferencia de segundo orden mostrada en (78), la cual presenta un pico de ganancia muy alta en la frecuencia de resonancia ω_o , como se ilustra en la Figura 37, lo cual podría generar inestabilidad en el control [45], además su ancho de banda se encuentra muy reducido, limitando el margen de error del filtro si la frecuencia se llega a desplazar hacia arriba o hacia abajo algún decimal.

$$G_R(s) = \frac{s}{s^2 + \omega_o^2}. \quad (78)$$

Para evitar esto, se agrega un término de amortiguamiento en función del factor de calidad (Q) a la función del filtro resonante como se ilustra en (79), donde k es el número de armónico, $A_{o,k}$ es la ganancia, ω_o es la frecuencia de resonancia y Q_k es el factor de calidad, esto causa un

notable aumento del ancho de banda al reducir Q , como se ilustra en la Figura 38, se observa que la frecuencia de resonancia no se modifica, pero si se limita en ganancia. El valor de Q debe ser elegido relativamente grande para evitar tener un gran ancho de banda que pueda llegar a perjudicar los armónicos laterales [45].

$$G_{R2}(s) = \sum_{k=1,3...5} \frac{\frac{sA_{o,k}k\omega_o}{Q_k}}{s^2 + \frac{sk\omega_o}{Q_k} + k^2\omega_o^2}. \quad (79)$$

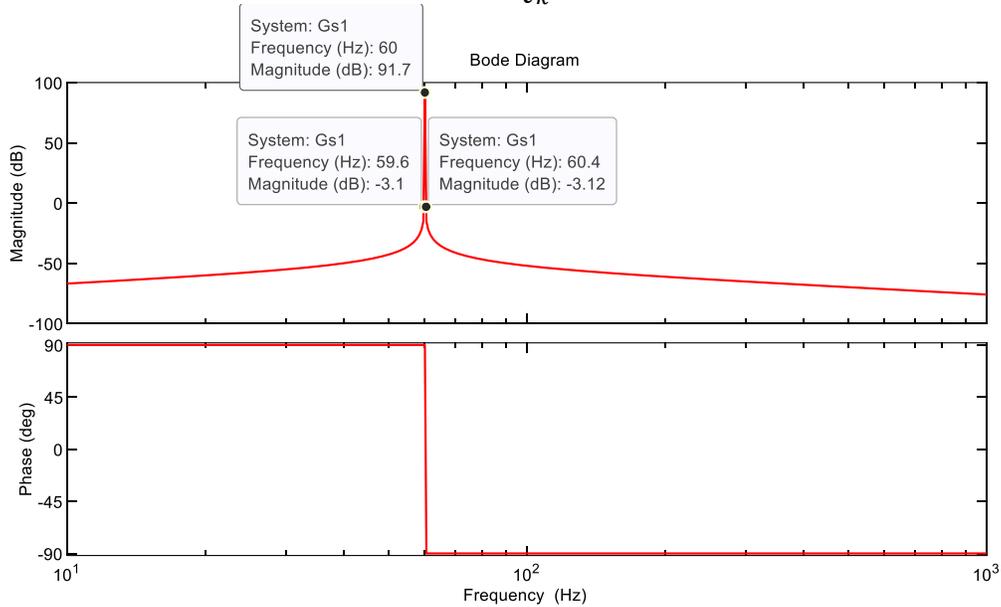


Figura 37. Diagrama de bode sin amortiguamiento.

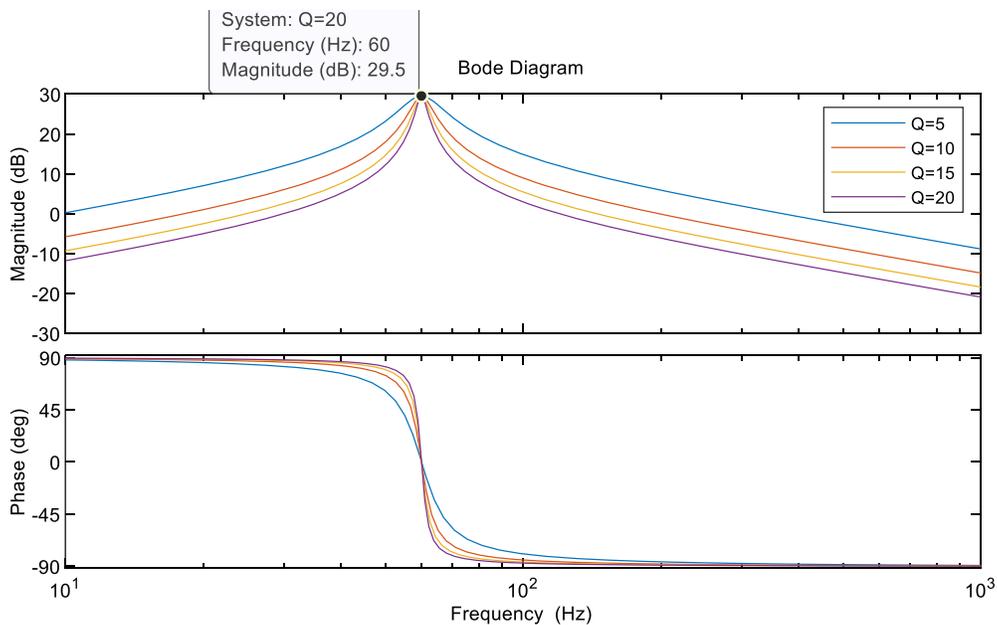


Figura 38. Variación del factor de calidad Q para el diseño del filtro resonante.

Los valores de Q que se seleccionaron para las distintas frecuencias de los filtros se ilustran en la Tabla 13. Para el valor de ganancia $A_{o,k}$ se estableció como unitario en todos los casos y fue ajustado en tiempo real según los requerimientos del sistema.

Tabla 13. Valores del factor de calidad para los filtros resonantes.

Factor de calidad	Valor
Q_1	20
Q_3	30
Q_5	30
Q_7	30
Q_9	30
Q_{11}	55

La implementación del control se realizó de manera digital por lo que fue necesario realizar la discretización de las funciones de los bloques resonantes, esto se realizó mediante la sustitución directa de la variable s por su valor equivalente en tiempo discreto bajo el método bilineal (Tustin), la cual se ilustra en (80) [46].

$$s = \frac{2}{T_m} \left(\frac{z - 1}{z + 1} \right). \quad (80)$$

La discretización bajo este método fue elegida de acuerdo con las ventajas que este presenta en comparación con otros métodos, tales como:

- Preservar la estabilidad del sistema, si un sistema en tiempo continuo es estable, su discretización mediante este método garantiza que el sistema discreto resultante también sea estable.
- Conservar la respuesta en frecuencia del sistema de manera bastante precisa a la respuesta obtenida en tiempo continuo.

RESULTADOS EXPERIMENTALES

5.1 Descripción del prototipo

Las pruebas experimentales se llevaron a cabo mediante un prototipo de laboratorio mostrado en la Figura 39, utilizando una potencia nominal de 1kW debido a la corriente máxima soportada por los inductores.

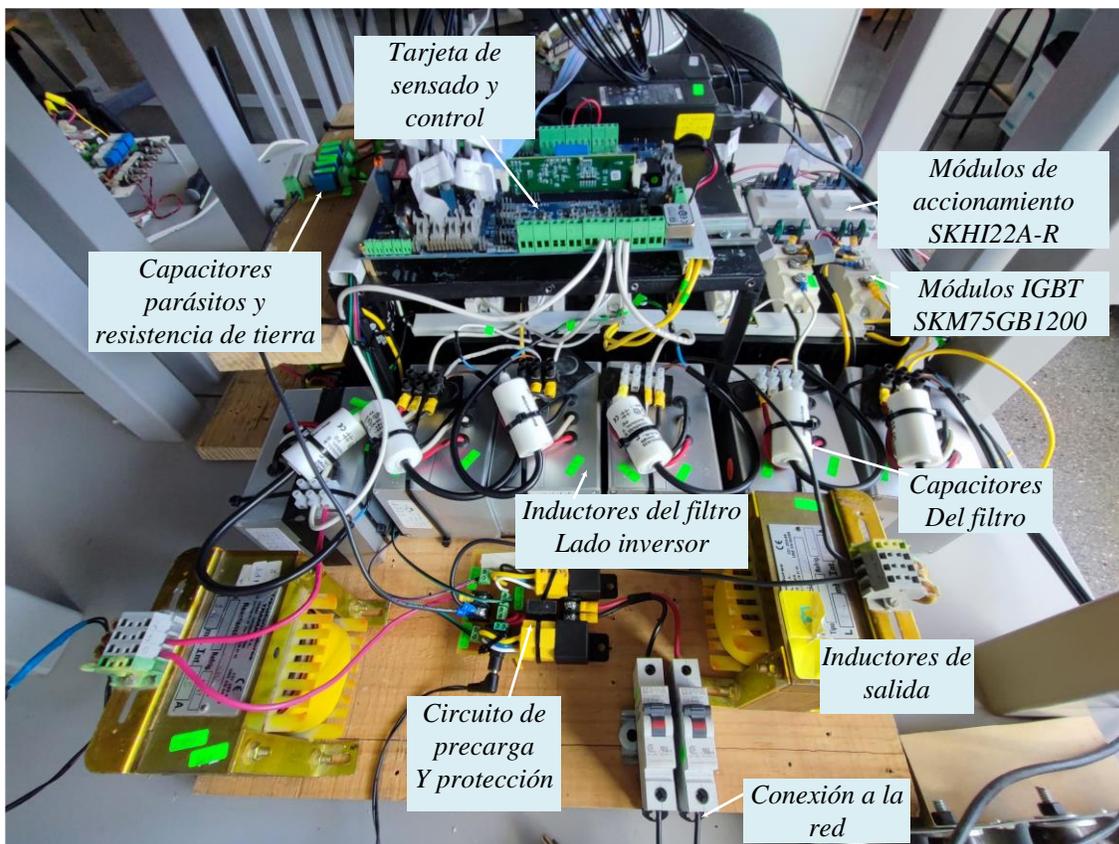


Figura 39. Prototipo experimental del sistema propuesto.

Las pruebas se realizaron tanto en 5 como en 7 niveles para validar la extensión del filtro aplicado, además se emplearon las modulaciones APOD, IPD, POD y PSPWM para contrastar

su rendimiento en cuanto a la mitigación de la corriente de fuga. La construcción de cada puente se realizó empleando dos módulos de potencia IGBT modelo SKM75GB1200 que se accionaron mediante un módulo de accionamiento SKHI22A-R modificado y adaptado para trabajar mediante fibra óptica.

Además, los módulos SKHI integran un circuito de bloqueo por protección por falla que puede ser transmitida a los demás módulos y a la tarjeta de control para comandar el apagado total del sistema.

Los esquemas de modulación, así como el controlador se implementaron en una tarjeta de control ya construida basada en el DSP TMS320F28335 y adaptada para transmitir las señales de control a través de fibra óptica, además en la tarjeta también se tienen disponibles la etapa de sensado de señales de voltaje y corriente con el acondicionamiento necesario para ser leídas directamente por medio del DSP, en el ANEXO D. Tarjeta de control y sensado, se mencionan más detalles sobre el funcionamiento de la tarjeta.

Los capacitores parásitos fueron emulados utilizando capacitores del tipo MKP, estos fueron conectados en ambas terminales de bus de CD, su extremo opuesto se unió en un punto común y se añadió una trayectoria en serie mediante una resistencia conectada al neutro de la red, para emular la trayectoria de tierra y realizar mediciones de la corriente de fuga.

Los parámetros de operación del prototipo se mencionan en la Tabla 14. El valor del bus de CD se propone de un valor lo suficientemente mayor al voltaje pico de la red considerando que exista una diferencia de potencial para lograr inyectar potencia activa, los capacitores C_{DC1} y C_{DC2} se eligen en función de la energía que requiere la carga considerando el pico de corriente que pueden proveer, el valor propuesto está sobredimensionado para asegurar un buen funcionamiento del sistema ya que los problemas derivados de esto no son objetivo de estudio

Tabla 14. Parámetros para el prototipo experimental.

	<i>Parámetros de simulación para 5 niveles</i>		<i>Parámetros de simulación para 7 niveles</i>	
Voltaje de bus de CD total	$V_{pv1} + V_{pv2}$	260 V	$V_{pv1} + V_{pv2} + V_{pv3}$	260 V
Potencia	S	350 W – 700 W	S	350 W – 700 W
Capacitor de bus de CD	C_{DC1}, C_{DC2}	2200 uF	$C_{DC1}, C_{DC2}, C_{DC3}$	2200 uF
Inductancia total del lado del inversor	L_{iT}	4 mH	L_{iT}	6 mH
Capacitancia total del filtro	C_{oT}	5 uF//5uF = 2.5 uF	C_{oT}	5 uF//5uF = 2.5 uF
Capacitancia parásita total	C_p	188 nF	C_p	282 nF
Resistencia de puesta a tierra	R_g	5 Ω	R_g	5 Ω
Frecuencia de conmutación	f_{sw}	10 kHz	f_{sw}	10 kHz
Índice de modulación	m_a	0.85	m_a	0.85

en este trabajo. Respecto a los valores de las capacitancias parásitas, así como la resistencia de tierra, sus valores fueron elegidos de acuerdo con [11], [12], [13].

En la Figura 40 se presenta el diagrama eléctrico tanto para la topología de 5 niveles como para la topología de 7 niveles. Se han marcado los puntos específicos donde se tomaron las mediciones de las variables eléctricas para la obtención de resultados. En algunos casos las mediciones involucran dos o más variables operadas lógicamente entre sí para lograr mostrar la medición deseada, como es el caso del voltaje diferencial, el voltaje de modo común, la corriente de modo común y la corriente de salida diferencial, de las cuales la operación matemática se ilustra en la Tabla 15.

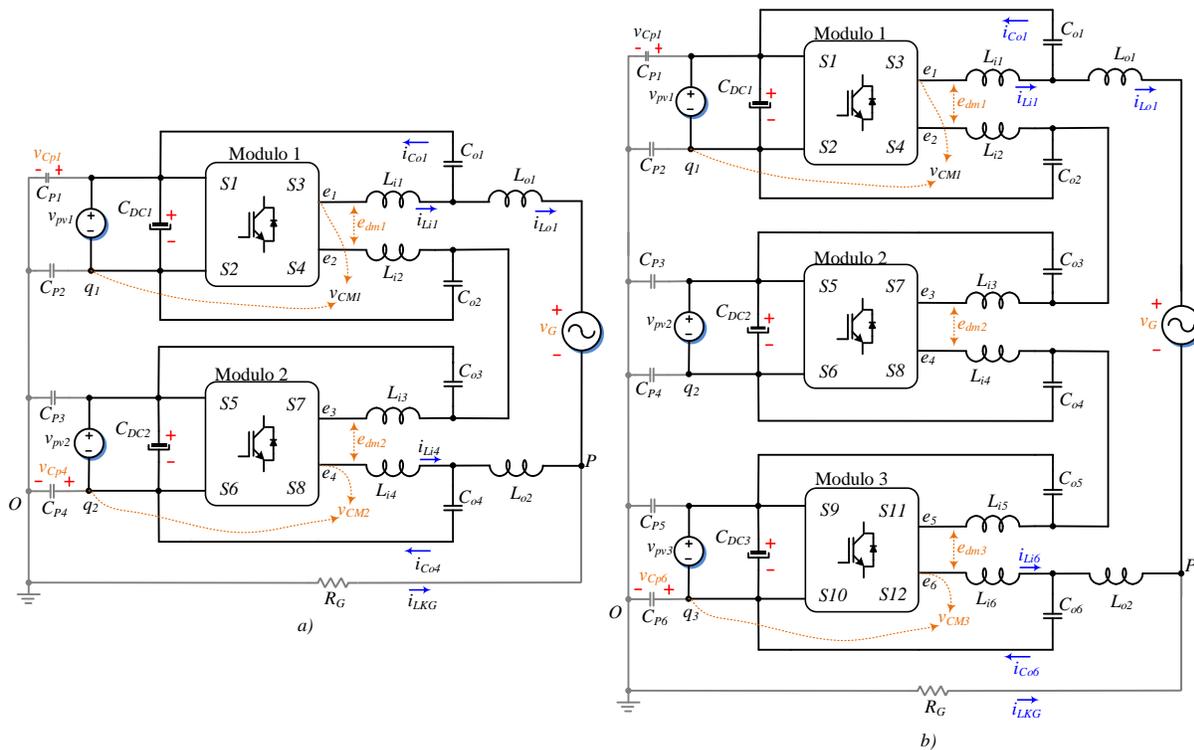


Figura 40. Topología implementada, (a) CHB5L, (b) CHB7L.

Tabla 15. Obtención de la medición mediante operaciones matemática.

Variable	5 niveles	7 niveles
e_{DM}	$e_{dm1} + e_{dm2}$	$e_{dm1} + e_{dm2} + e_{dm3}$
v_{CM}	$\frac{e_{1q1} + e_{4q2}}{2}$	$\frac{e_{1q1} + e_{6q3}}{2}$
i_{CM}	$i_{Li1} + i_{Li4}$	$i_{Li1} + i_{Li6}$
i_{DM}	$\frac{i_{Li1} - i_{Li4}}{2}$	$\frac{i_{Li1} - i_{Li6}}{2}$

5.2 Implementación de los esquemas de modulación en lazo abierto.

En la Figura 41 y para los cuatro esquemas de modulación bajo estudio, se ilustra el voltaje e_{DM} del inversor en conjunto con las señales de compuerta de cada uno de los dispositivos semiconductores. En las modulaciones basadas en LSPWM, incisos (a), (b) y (c), se aprecia como los patrones de encendido de los interruptores se combinan para finalmente obtener una forma de onda escalonada de cinco niveles. Notar que, gran parte del tiempo las señales de activación se mantienen en alto o bajo, por este motivo las pérdidas por conmutación son más bajas que las pérdidas por conducción, lo que puede reflejarse como una reducción del estrés en los interruptores. Además, al presentar menor número de conmutaciones la corriente de fuga será menor pues el voltaje de modo común presentará una menor cantidad de transiciones.

Para la modulación basada en PSPWM, inciso (d), los niveles no son perceptibles desde la modulación, pero una vez combinadas las señales de compuerta también se obtiene una forma de onda de cinco niveles, aunque esta modulación aumenta significativamente las pérdidas por conmutación las cuales pueden reflejarse en un aumento de temperatura en los semiconductores y una mayor corriente de fuga.

En la Figura 42 y para los cuatro esquemas de modulación bajo estudio, se ilustran los esquemas de modulación para 7 niveles, aumentando el número de señales de compuerta en cuatro señales adicionales. Para las esquemas en los incisos (a), (b) y (c) se puede identificar que los tiempos en los cuales se mantienen conmutando los interruptores se reduce comparado con la modulación de cinco niveles, por lo tanto, esto podría traer mejoras en la eficiencia del sistema.

En la parte superior de las gráficas para todas modulaciones se presenta el voltaje de salida diferencial generado a partir de siete niveles de voltaje bien definidos, confirmando así que la modulación se está generando correctamente.

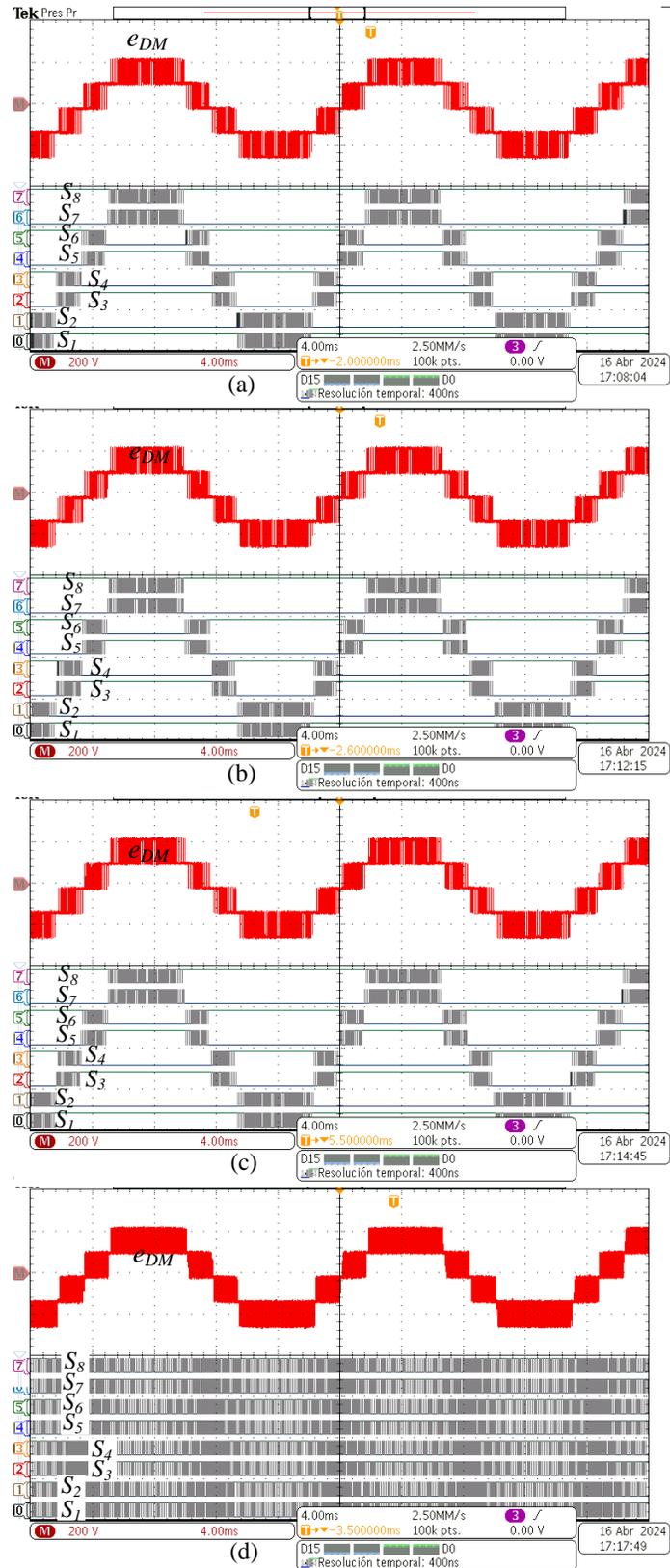


Figura 41. CHB5L (a) APOD, (b) IPD, (c) POD y (d) PSPWM. De arriba abajo, (eje x 4 ms/div): voltaje de salida diferencial (eje y 200 V/div) y señales de compuerta de los 8 semiconductores.

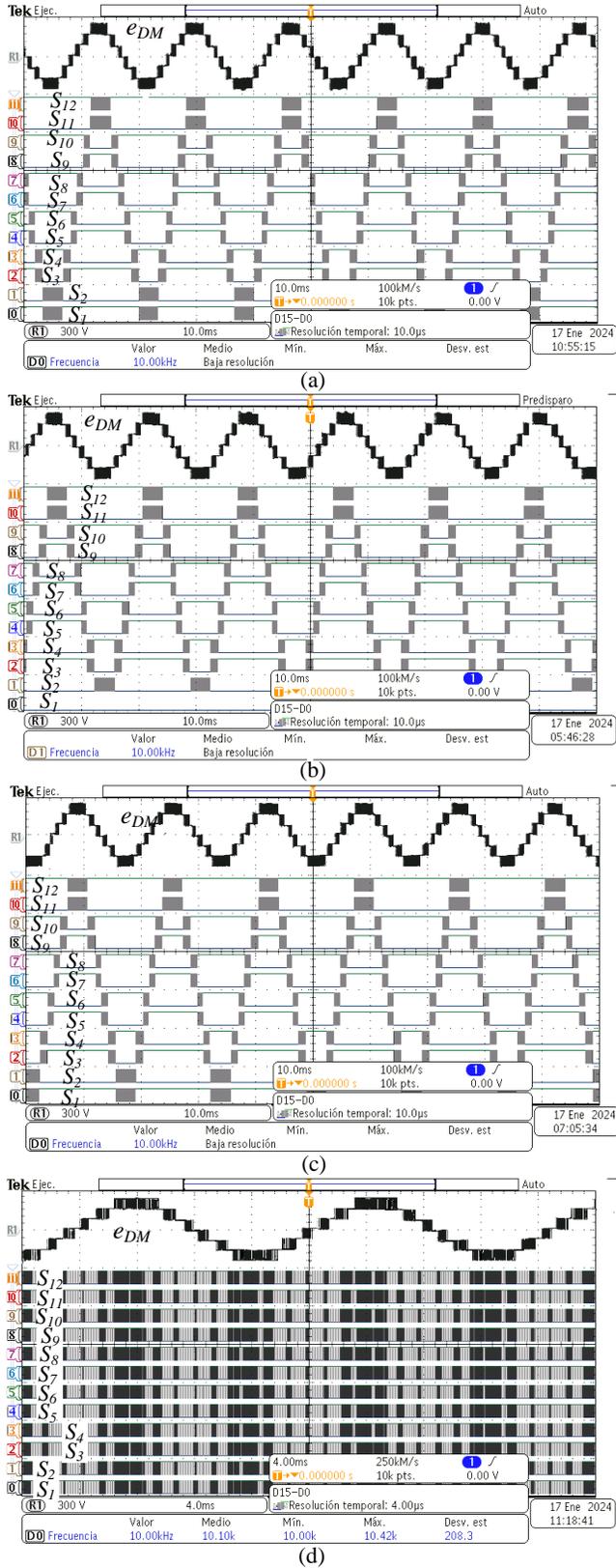


Figura 42. CHB7L (a) APOD, (b) IPD, (c) POD y (d) PSPWM. De arriba abajo, (eje x 4 ms/div): voltaje de salida diferencial (eje y 200 V/div) y señales de compuerta de los 12 semiconductores.

5.3 Validación de la eficiencia del filtro ante las corrientes de fuga en lazo abierto.

En la Figura 43 y para los cuatro esquemas de modulación bajo estudio, se ilustran los resultados de conectar la trayectoria de baja impedancia a través de los capacitores del filtro en cada una de las cuatro modulaciones. En este caso se resalta la notable reducción de la corriente i_{LKG} , la cual se mitiga de manera abrupta casi en su totalidad al realizar la conexión del filtro. Esta nueva conexión no modifica el funcionamiento de la topología, de hecho, el rizado que se encontraba presente en la corriente de salida del inversor se redujo considerablemente luego de la conexión del filtro, cambio que se puede apreciar en todas las modulaciones y mayormente en la modulación PSPWM.

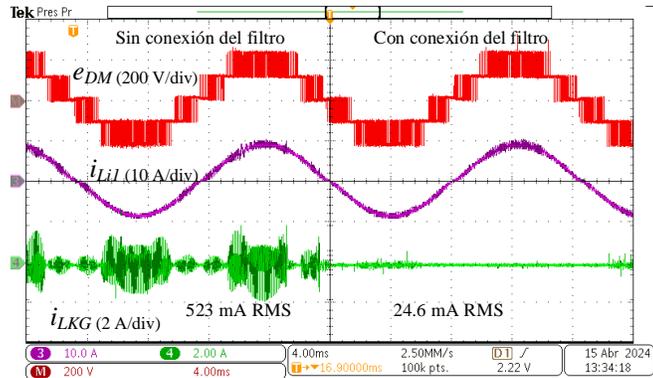
En la Tabla 16 se ilustra un resumen de la reducción en la corriente de fuga al realizar la conexión del filtro, se considera un error del $\pm 5\%$ del valor mostrado puesto que al realizar la medición en repetidas ocasiones se presentaban variaciones.

Tabla 16. Comparativa de los valores de la corriente de fuga en lazo abierto para cinco niveles.

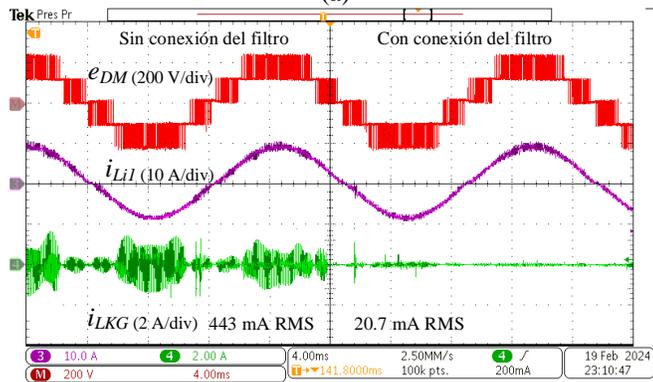
	APOD	IPD	POD	PSPWM
Sin conexión del filtro	523 mA $\pm 5\%$	443 mA $\pm 5\%$	511 mA $\pm 5\%$	814 mA $\pm 5\%$
Con conexión del filtro	24.6 mA $\pm 5\%$	20.7 mA $\pm 5\%$	19.1 mA $\pm 5\%$	42.8 mA $\pm 5\%$

En la Figura 44 y para los cuatro esquemas de modulación bajo estudio, se ilustra nuevamente el efecto de la conexión del filtro, realizando mediciones adicionales para el voltaje de modo común y los voltajes en los capacitores parásitos C_{P1} y C_{P4} que, aunque en un SFV el voltaje de estos capacitores no puede ser medido, resulta relevante reportar su comportamiento. El voltaje de modo común presenta variaciones en los intervalos de tiempo donde se generan los niveles $\pm v_{pv}$ en los demás niveles se mantiene en cero, el voltaje de los capacitores, principalmente el de C_{P1} presenta una forma de onda tipo senoidal de baja frecuencia con un desplazamiento positivo y recortada del semiciclo positivo.

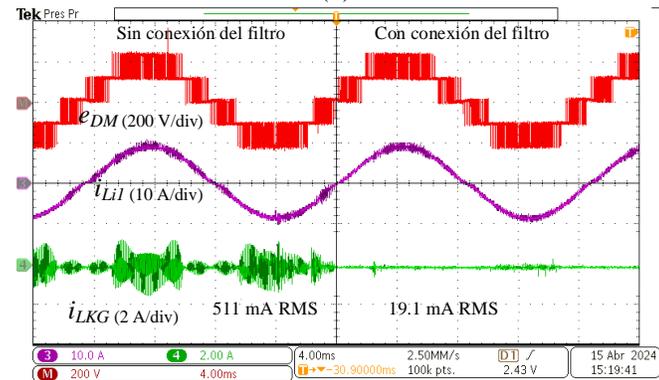
En los resultados mostrados en la Figura 44 incisos (a), (b), (c) y (d), se evidencia el comportamiento del voltaje de modo común, el cual no presentó cambios a consecuencia de la conexión del filtro. Por otro lado, los voltajes en los capacitores parásitos si presentan cambios, sin la conexión del filtro las fluctuaciones en el voltaje de modo común son transmitidas directamente a los capacitores parásitos, por lo tanto, el flujo de corriente de fuga aumentará. Una vez establecida la conexión de baja impedancia del filtro el voltaje de modo común ya no afecta el voltaje de los capacitores permaneciendo solo la forma de onda senoidal de baja frecuencia.



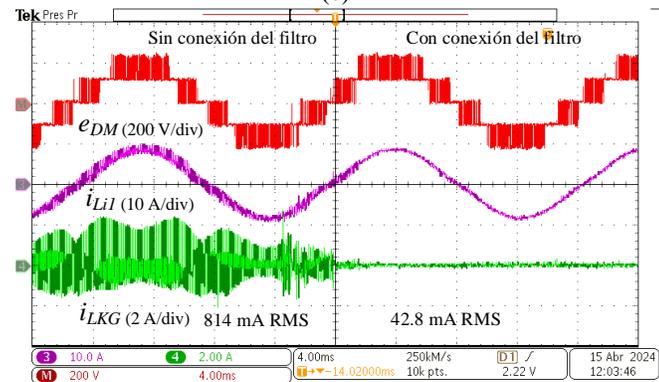
(a)



(b)



(c)



(d)

Figura 43. CHB5L (a) APOD, (b) IPD, (c) POD y (d) PSPWM. De arriba abajo, (eje x 4ms/div): voltaje de salida diferencial (eje y 200V/div), corriente de salida (eje y 10 A/div) y corriente de fuga (eje y 1 A/div).

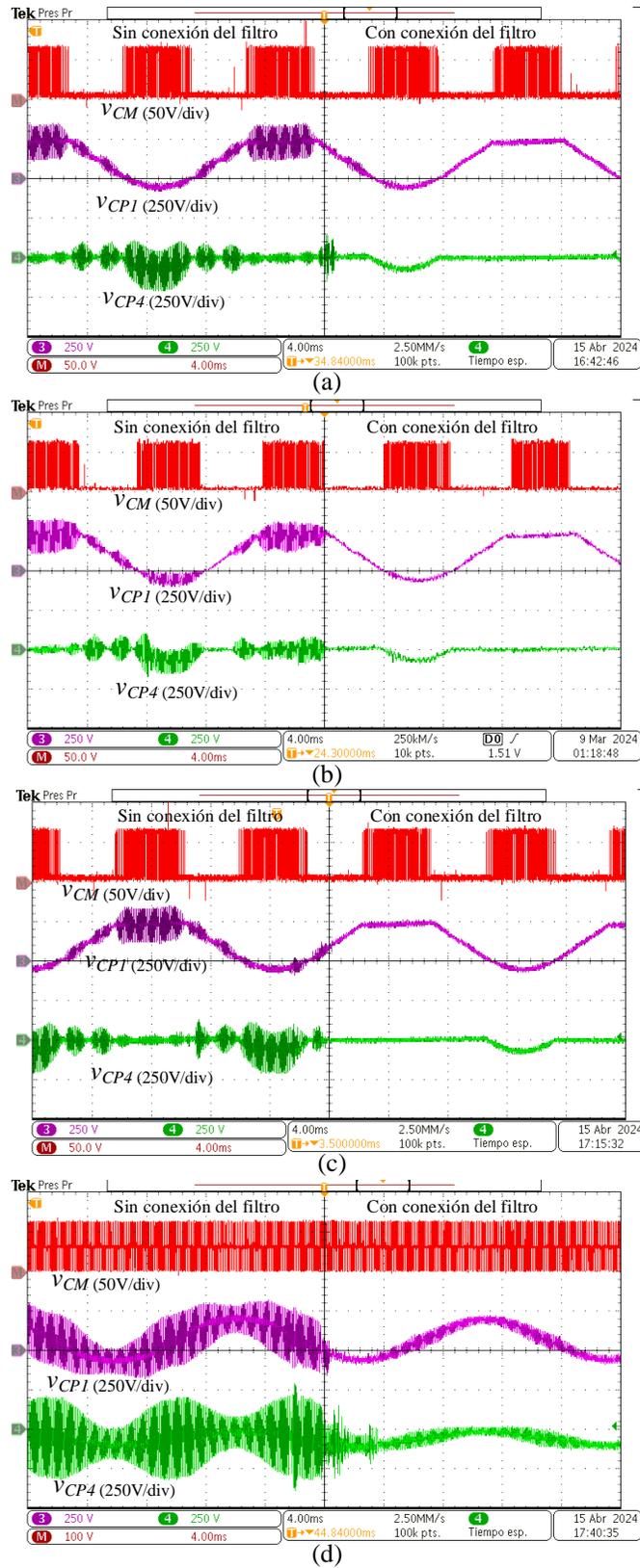


Figura 44. CHB5L (a) APOD, (b) IPD, (c) POD y (d) PSPWM. De arriba abajo, (eje x 4ms/div): voltaje de modo común (eje y 50V/div), voltaje del capacitor parásito C_{P1} (eje y 250V/div) y voltaje del capacitor parásito $CP4$ (eje y 250V/div).

5.4 Resultados en lazo cerrado para 5 niveles en régimen permanente

En la Figura 45 y para los cuatro esquemas de modulación bajo estudio, de arriba abajo se ilustra el voltaje de modo común, corriente de modo común y corriente de fuga. Los resultados mostrados se centran en contrastar la forma de onda de la corriente de modo común con respecto a la corriente de fuga. El voltaje de modo común para este caso alcanza un valor pico de 75 V.

Es evidente que durante los intervalos de tiempo en los que el voltaje de modo común experimenta variaciones, la corriente de modo común ejerce mayor influencia hacia la corriente de fuga. La mayor parte de esta corriente es reintroducida en el sistema a través de las trayectorias de baja impedancia creadas por los capacitores, como se ilustra en la Figura 46, la porción de corriente que no se reinserta corresponde a la corriente de fuga, cuya forma de onda es similar, pero con una amplitud mucho menor que se encuentra por debajo de los 300 mA RMS que indica la normativa internacional.

Es importante señalar que la corriente de fuga experimentó una ligera reducción en todas las modulaciones en comparación con los resultados obtenidos en lazo abierto. Esta medición se realizó en repetidas ocasiones para confirmar su precisión, y en todas las modulaciones se obtuvieron resultados parecidos con tolerancias de error del $\pm 5\%$.

En resumen, las corrientes de fuga en lazo cerrado para 5 niveles se ilustran en la Tabla 17.

Tabla 17. Valores de corriente de fuga en valores RMS en lazo cerrado para cinco niveles.

	APOD	IPD	POD	PSPWM
i_{LKG} 5 niveles	18.3 mA $\pm 5\%$	18.7 mA $\pm 5\%$	18.6 mA $\pm 5\%$	40.4 mA $\pm 5\%$

En la Figura 46 y para los cuatro esquemas de modulación bajo estudio, de arriba abajo se ilustran las corrientes en los capacitores C_{F1} y C_{F4} y la corriente de modo común. Los resultados obtenidos muestran la importancia de colocar de forma simétrica el capacitor de filtro en la trayectoria de retorno, ya que parte de la corriente de modo común durante el semiciclo positivo recircula por el capacitor C_{F1} y durante el semiciclo negativo lo hace a través del capacitor C_{F4} . La corriente de los capacitores intermedios no se muestra en esta prueba, pero por ellos recircula corriente durante otros intervalos de tiempo que no coinciden con las variaciones de voltaje de modo común por lo tanto también son necesarios. En los resultados de la Figura 46, se observó un efecto de resonancia de manera aleatoria durante los intervalos de tiempo en los cuales no existe un voltaje de modo común. Este efecto es particularmente evidente en la corriente de modo común mostrada en el inciso (a). Se asume que la resonancia es causada por un armónico proveniente de la red que interactúa con los elementos del filtro, dado que este fenómeno no se presentó en lazo abierto.

En la Figura 47 y para los cuatro esquemas de modulación bajo estudio, se ilustran de arriba abajo, el voltaje de salida de modo diferencial, el voltaje de la red, la corriente inyectada a la red y la corriente de modo común. Estos resultados se enfocan en validar el funcionamiento del lazo de corriente, el cual se encarga de generar una corriente senoidal en fase con el voltaje de la red. Durante las pruebas, las formas de onda del voltaje de red y corriente inyectada fueron superpuestas intencionalmente para destacar que ambas señales se encontraban en fase.

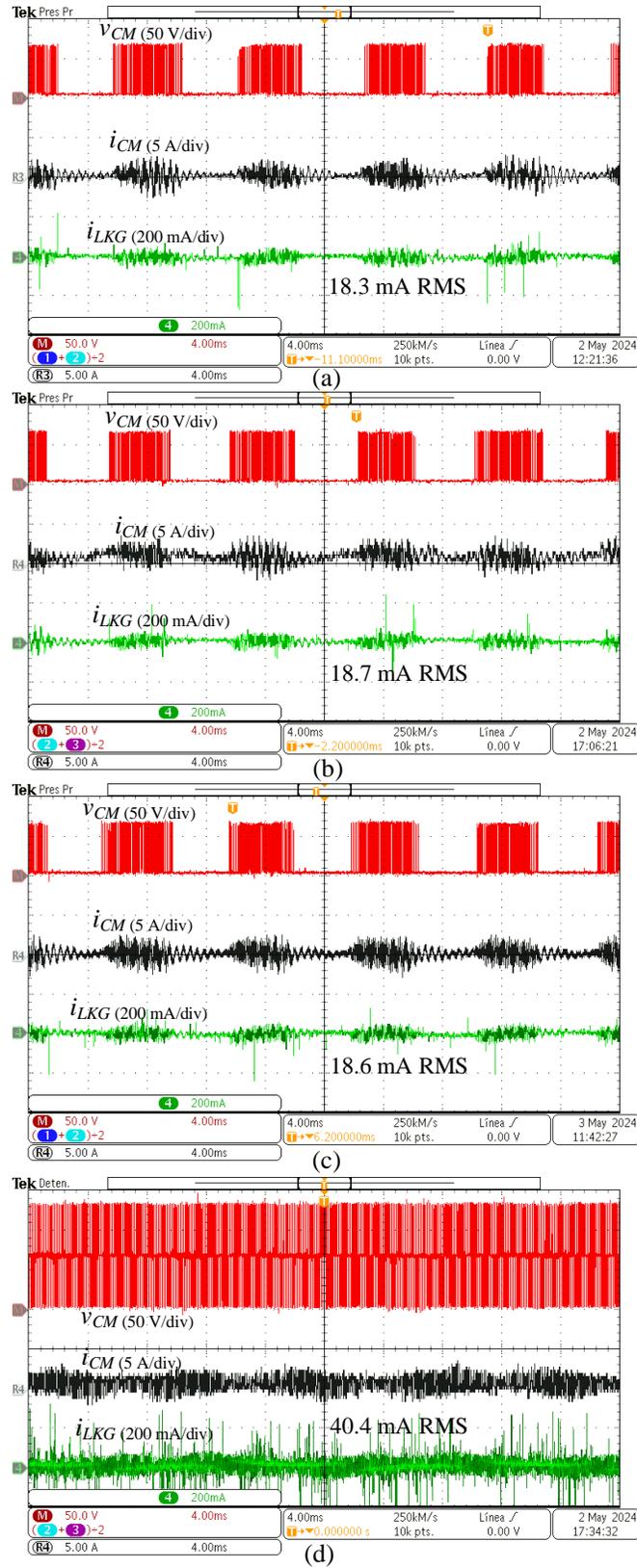


Figura 45. CHB5L (a) APOD, (b) IPD, (c) POD y (d) PSPWM. De arriba abajo, (eje x 4ms/div): voltaje de modo común (eje y 50V/div), corriente de modo común (eje y 5A/div) y corriente de fuga (eje y 200 mA/div).

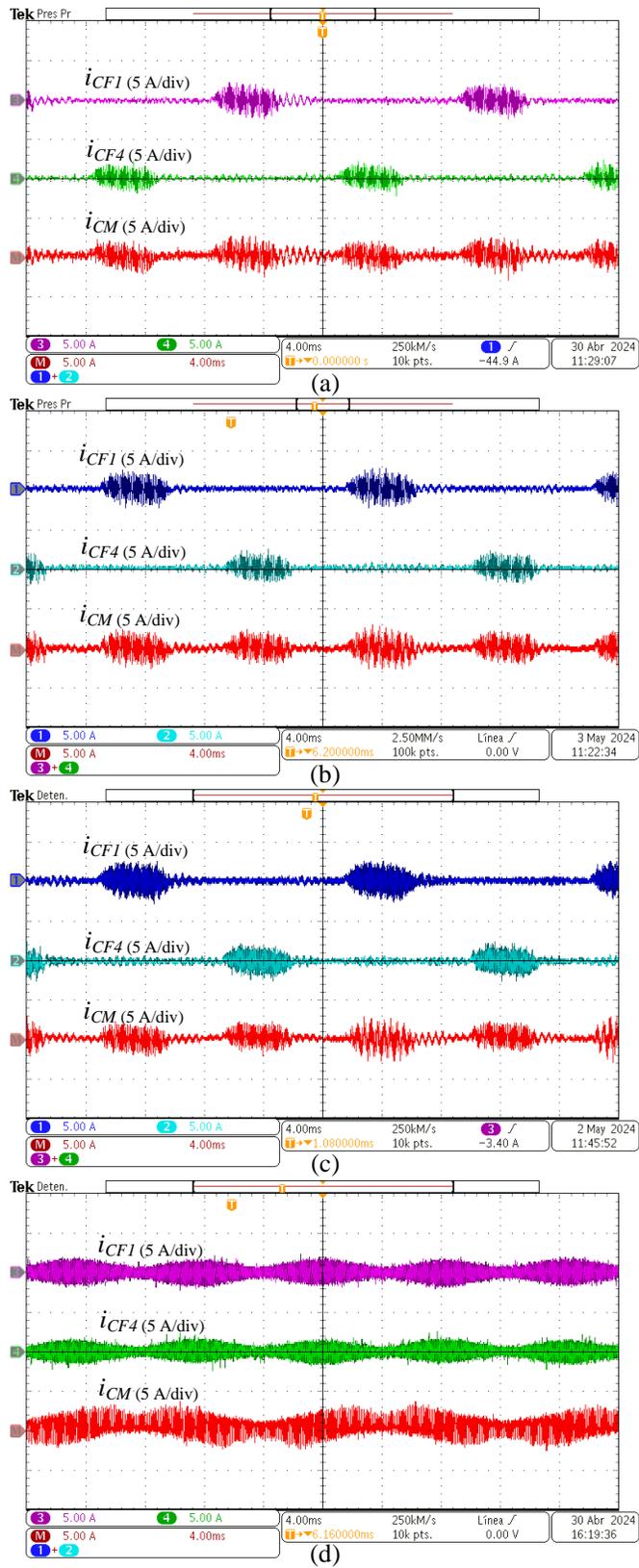


Figura 46. CHB5L (a) APOD, (b) IPD, (c) POD y (d) PSPWM. De arriba abajo, (eje x 4ms/div): corriente de capacitor CF1 (eje y 5 A/div), corriente de capacitor CF4 (eje y 5A/div) y corriente de modo común (eje y 5 A/div).

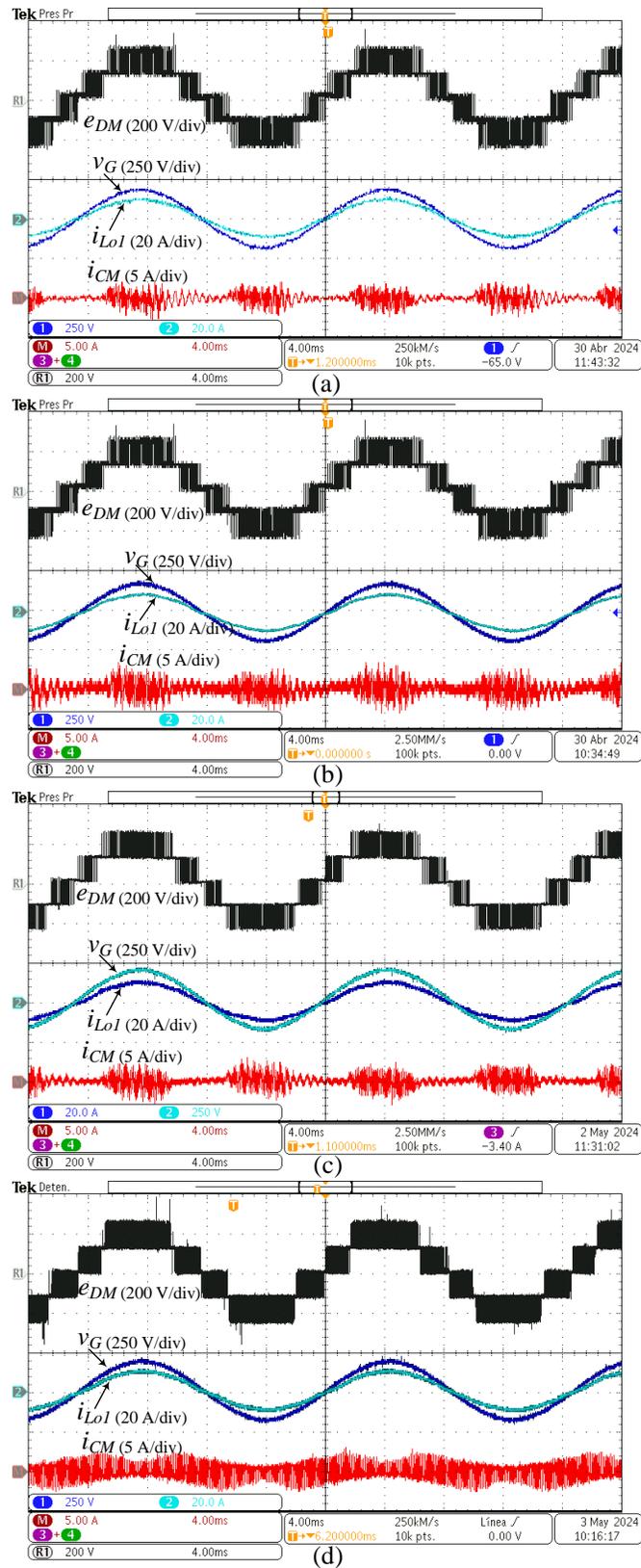


Figura 47. CHB5L (a) APOD, (b) IPD, (c) POD y (d) PSPWM. De arriba abajo, (eje x 4ms/div): voltaje diferencial (eje y 200 V/div), voltaje de red (eje y 250 V/div), corriente de salida (eje y 20 A/div) y corriente de modo común (eje y 5 A/div).

En la Figura 48 y para los cuatro esquemas de modulación bajo estudio, se ilustra en la parte superior la corriente inyectada a la red y en la parte de abajo su espectro armónico, lo mismo para las cuatro modulaciones. También se menciona el valor numérico de distorsión armónica total (THD), este valor se obtuvo mediante un medidor de calidad de la energía, el cual, también se puede obtener de manera aproximada empleando (81) en base a la amplitud de los armónicos considerando una tolerancia de error del $\pm 10\%$ debido a que solo se están contemplado 5 armónicos [47]. Los resultados muestran una corriente de salida de alta calidad y con un mínimo de distorsión armónica, dentro del espectro armónico se identifican las posiciones correspondientes a los armónicos impares del primero al noveno, siendo el séptimo armónico el que sobresale con una amplitud menor a los 200 mA.

$$THD = \frac{\sqrt{\sum_{g=2}^{\infty} a_g^2}}{a_1}. \quad (81)$$

El valor máximo de THD se registró para la modulación IPD, con un 2.93%, no obstante, este valor está dentro del margen establecido por la norma IEEE 519. Por otra lado, la modulación PSPWM mostró el mejor THD, con un valor de 1.63%, sin embargo, es importante destacar que esta modulación también presentó la mayor corriente de fuga.

En resumen, los valores de THD obtenidos para la corriente inyectada a la red en lazo cerrado para cinco niveles se ilustran en la Tabla 18.

Tabla 18. Valores de THD en lazo cerrado cinco niveles.

	APOD	IPD	POD	PSPWM
THD_{iL01} 5 niveles	2.26%	2.93%	2.16%	1.63%

5.5 Resultados en lazo cerrado para el inversor de 5 niveles en régimen transitorio

En la Figura 49 y para los cuatro esquemas de modulación bajo estudio, se ilustran de arriba abajo, el voltaje de la red, la corriente de salida y la corriente de fuga. Estas pruebas se realizaron de manera transitoria aumentando la potencia nominal del sistema de 350W a los 700W, con el fin de evaluar la respuesta dinámica del controlador sobre el lazo de seguimiento de corriente. Durante la prueba, este aumento en la potencia sucede justamente en el cruce con el eje y. Se puede observar el incremento en la corriente inyectada, mientras el voltaje de la red no presenta cambios.

Otro aspecto destacado en esta prueba es que, debido a la trayectoria de retorno establecida por los capacitores para la corriente de modo común, la corriente de fuga no sufre cambios al incrementar la potencia del sistema. Lo cual demuestra la robustez del sistema propuesto ante el incremento de potencia del mismo sistema.

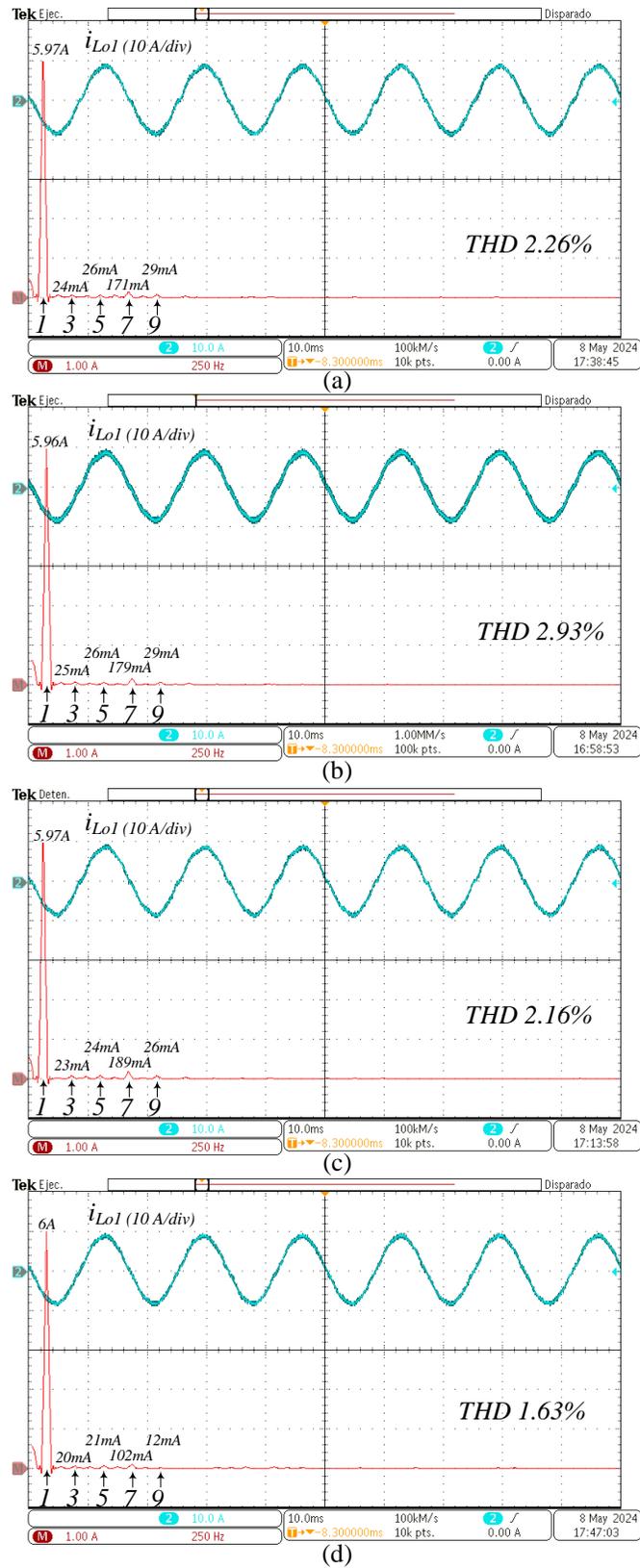


Figura 48. CHB5L (a) APOD, (b) IPD, (c) POD y (d) PSPWM. De arriba abajo, (eje x 10ms/div): corriente de salida (eje y 10 A/div), (eje x 250 Hz/div): espectro armónico (eje y 1 A/div).

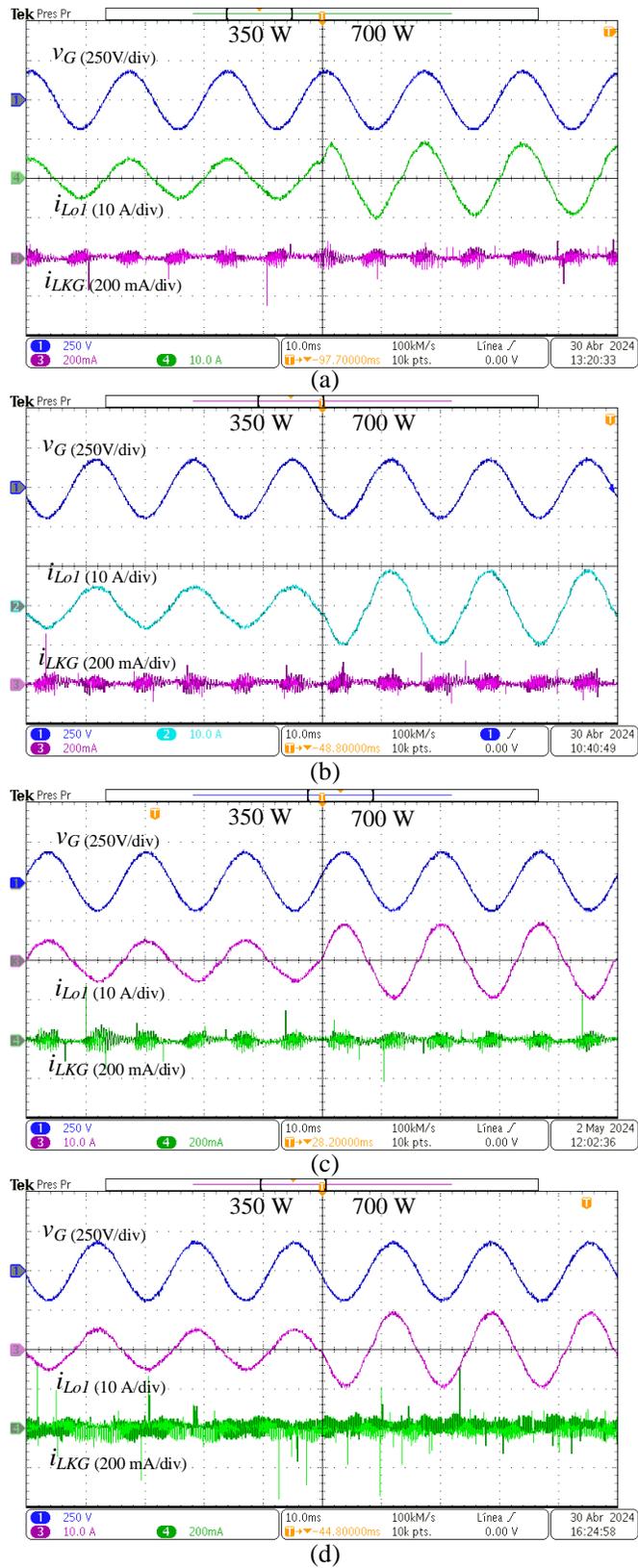


Figura 49. CHBSL (a) APOD, (b) IPD, (c) POD y (d) PSPWM respuesta transitoria. De arriba abajo, (eje x 10ms/div): voltaje de red (eje y 250 V/div), corriente de inyectada (eje y 10 A/div) y corriente de fuga (eje y 200 mA/div).

5.6 Resultados en lazo cerrado para el inversor de 7 niveles en régimen permanente

Se realizaron nuevamente las mediciones al sistema agregando un tercer módulo para generar 7 niveles de voltaje de salida, con el objetivo de validar la capacidad del sistema para operar con un mayor número de niveles.

En la Figura 50 y para los cuatro esquemas de modulación bajo estudio, se ilustra arriba abajo el voltaje de modo común, la corriente de modo común y la corriente de fuga. El comportamiento presentado es similar al de las pruebas a 5 niveles, se observa tanto en la corriente de modo común como en la corriente de fuga un incremento en su magnitud en los intervalos de tiempo donde el voltaje de modo común presenta dv/dt acorde a la frecuencia de conmutación. En este caso el voltaje de modo común alcanzó los 45 V pico.

De los resultados obtenidos con base en la modulación LSPWM se puede distinguir un patrón periódico en la corriente de fuga que sucede una vez por cada periodo de la red en donde la corriente de fuga se incrementa. En resumen, los valores de corriente de fuga se ilustran en la Tabla 19.

Tabla 19. Corrientes de fuga en valores RMS en lazo cerrado para siete niveles.

	APOD	IPD	POD	PSPWM
i_{LKG} 7 niveles	19.1 mA \pm 5%	17.6 mA \pm 5%	20.1 mA \pm 5%	35.4 mA \pm 5%

En la Figura 51 y para los cuatro esquemas de modulación bajo estudio, se ilustra el flujo de la corriente de modo común a través de los capacitores en las trayectorias de baja impedancia formadas por los capacitores C_{F1} y C_{F4} . Para esta prueba la escala se ajustó de 5 A/div a 2 A/div en comparación con las pruebas en 5 niveles, debido a que la corriente presento una reducción y la escala anterior no permitía una visualización adecuada. Sin embargo, esta reducción en la corriente de los capacitores puede ser causada por el incremento de estos ocasionando que la corriente se dividiera, pero la corriente de modo común total continúa siendo la misma, y esto se puede corroborar dado que la corriente de fuga se mantiene sin cambios significativos.

En la Figura 52 y para los cuatro esquemas de modulación bajo estudio, se muestra de arriba abajo el voltaje diferencial, el voltaje de red, la corriente de salida y la corriente de modo común para las cuatro modulaciones. Los resultados muestran la generación de siete niveles en el voltaje de salida del inversor para las cuatro modulaciones de manera correcta. La forma de onda de corriente de salida presentó una forma de onda muy cercana a una función senoidal, además de que se encuentra en fase con el voltaje de la red empleando el mismo lazo de control que para el sistema de 5 niveles, esto valida que el sistema es adaptable a un mayor número de niveles.

En la Figura 53 y para los cuatro esquemas de modulación bajo estudio, se ilustra el espectro armónico para la corriente de salida inyectada a la red. Se puede confirmar que la forma de onda de corriente presentó una distorsión muy baja, el contenido armónico de bajo orden es casi imperceptible lo cual mantiene valores de THD bastante pequeños.

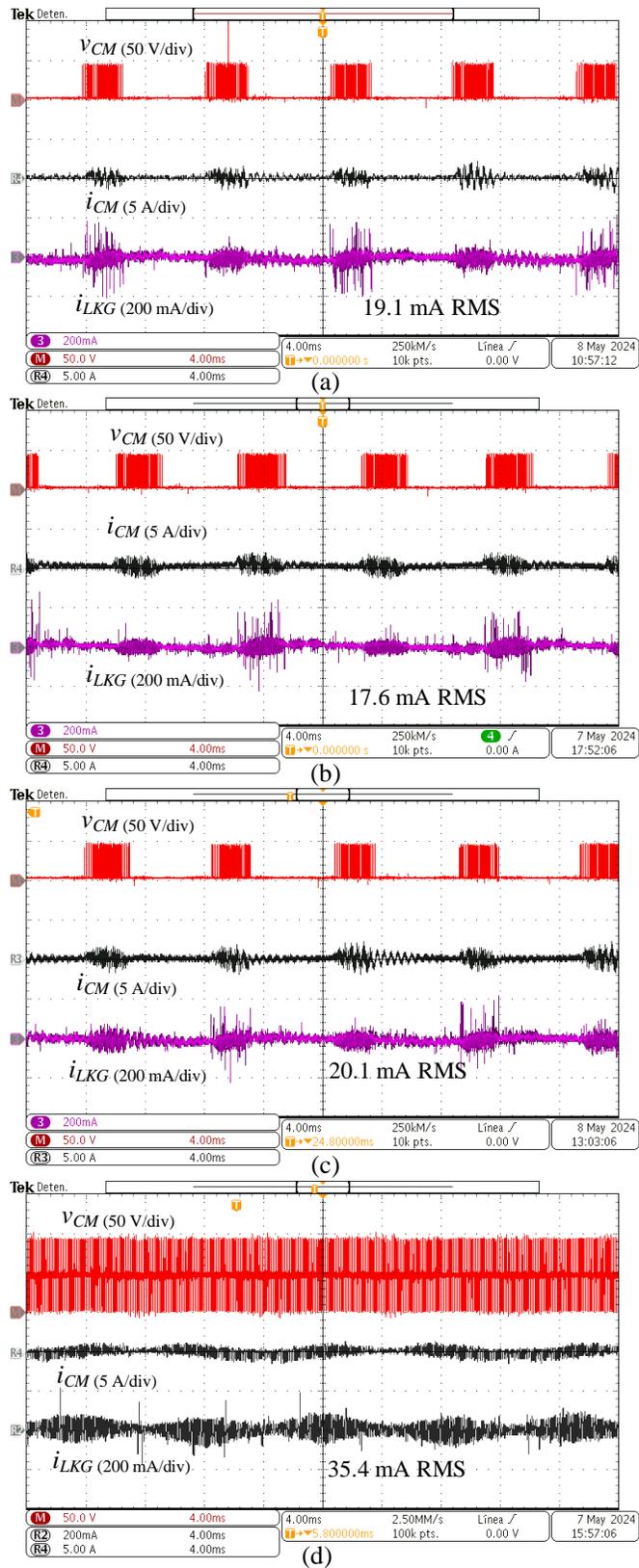


Figura 50. CHB7L (a) APOD, (b) IPD, (c) POD y (d) PSPWM. De arriba abajo, (eje x 4ms/div): voltaje de modo común (eje y 50V/div), corriente de modo común (eje y 5A/div) y corriente de fuga (eje y 200 mA/div).

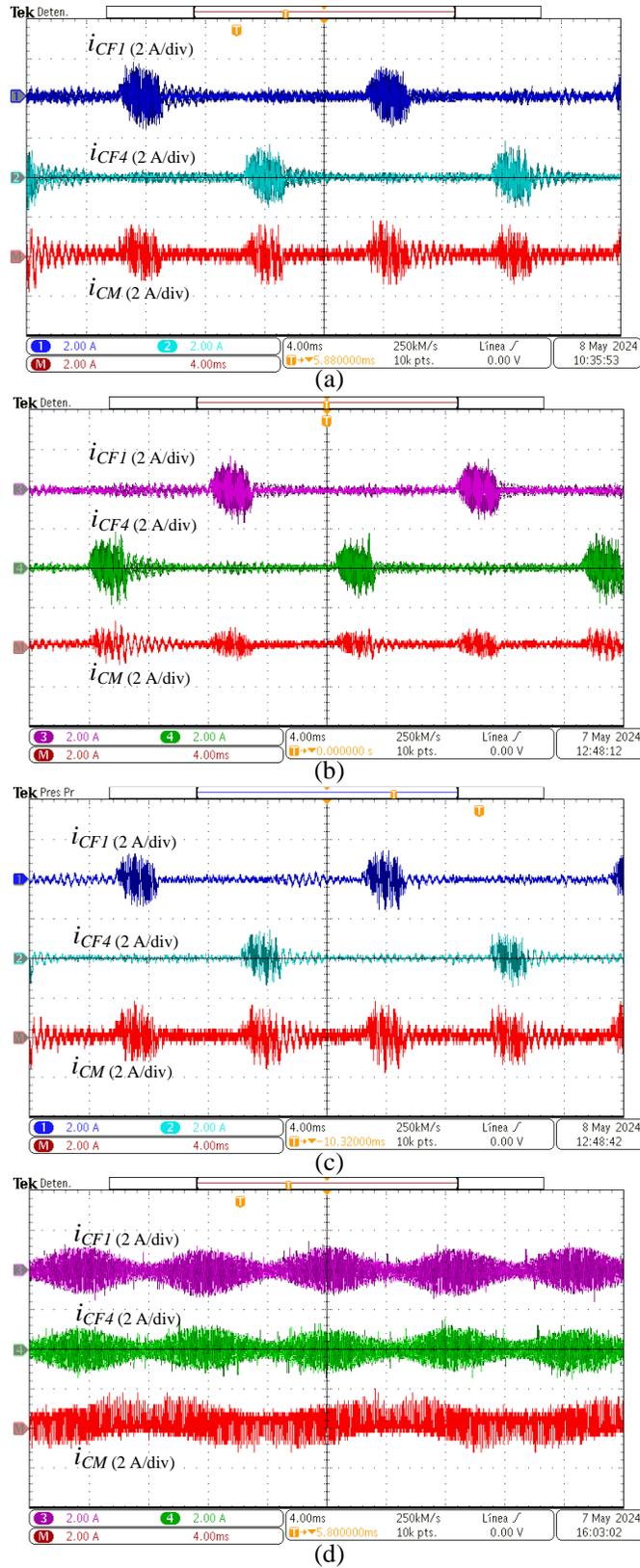


Figura 51. CHB7L (a) APOD, (b) IPD, (c) POD y (d) PSPWM. De arriba abajo, (eje x 4ms/div): corriente de capacitor CF1 (eje y 5 A/div), corriente de capacitor CF4 (eje y 5A/div) y corriente de modo común (eje y 5 A/div).

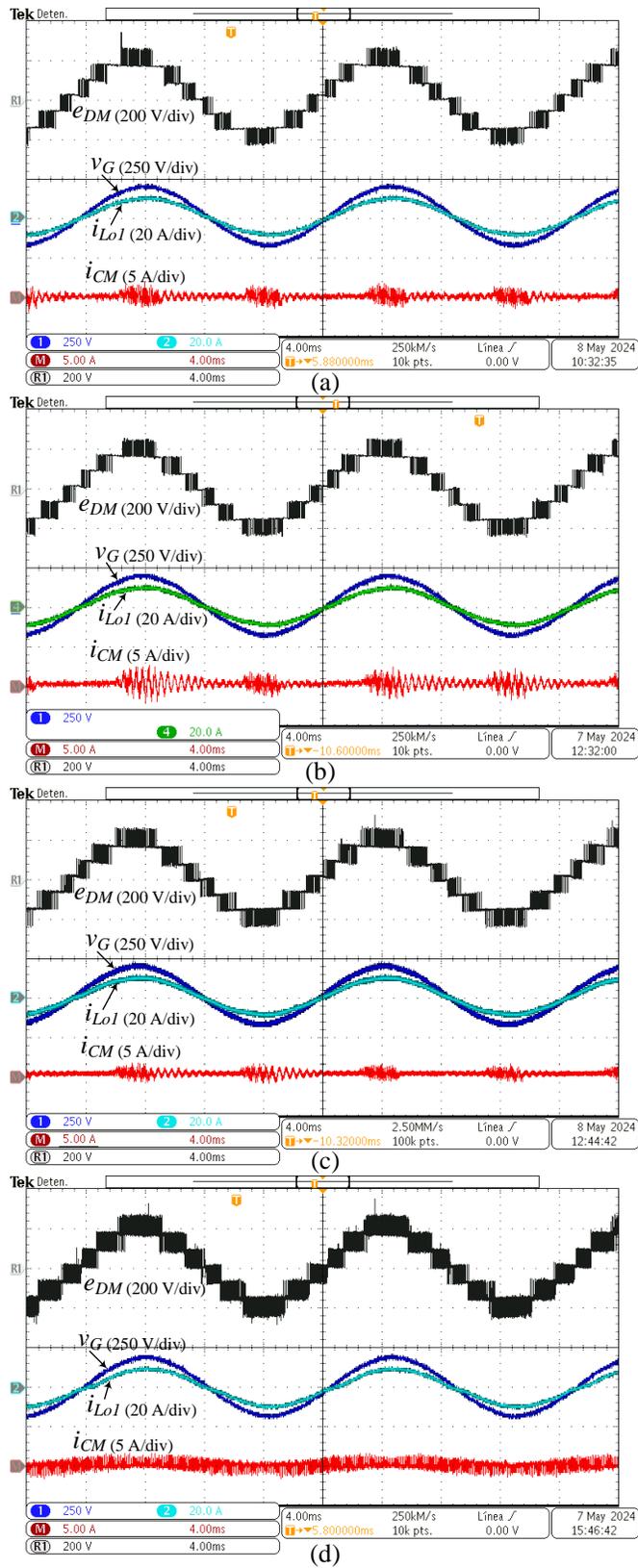


Figura 52. CHB7L (a) APOD, (b) IPD, (c) POD y (d) PSPWM. De arriba abajo, (eje x 4ms/div): voltaje diferencial (eje y 200 V/div), voltaje de red (eje y 250 V/div), corriente de salida (eje y 20 A/div) y corriente de modo común (eje y 5 A/div).

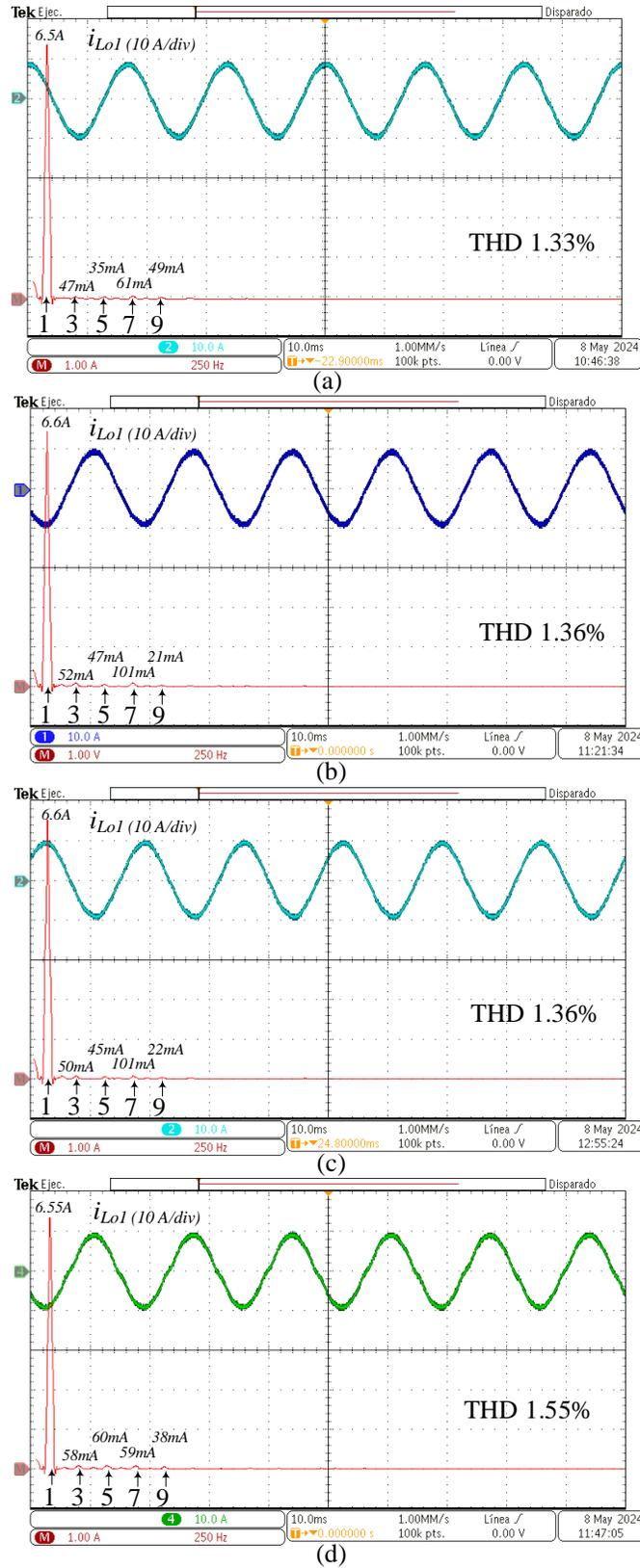


Figura 53. CHB7L (a) APOD, (b) IPD, (c) POD y (d) PSPWM. De arriba abajo, (eje x 10ms/div): corriente de salida (eje y 10 A/div), (eje x 250 Hz/div): espectro armónico (eje y 1 A/div).

En la Tabla 20 se resumen los valores en THD obtenidos para las cuatro modulaciones operando el sistema en 7 niveles.

Tabla 20. Valores de THD para 7 niveles.

	APOD	IPD	POD	PSPWM
THD_{iL01} 7 niveles	1.33%	1.36%	1.36%	1.55%

5.7 Resultados en lazo cerrado para 7 niveles en régimen transitorio

En la Figura 54 y para los cuatro esquemas de modulación bajo estudio, se ilustran los resultados de las pruebas transitorias para el sistema operando en 7 niveles. De arriba abajo se tiene el voltaje de la red, la corriente de salida inyectada y la corriente de fuga para las cuatro modulaciones. La prueba transitoria se llevó a cabo nuevamente aumentando la potencia de referencia de los 350 W a los 700W, lo cual modificó directamente la corriente de referencia.

Esta corriente fue seguida correctamente por el lazo de control, aumentando la corriente de salida al nuevo valor de manera instantánea. Se observa que la corriente de fuga se mantiene estable después de este cambio.

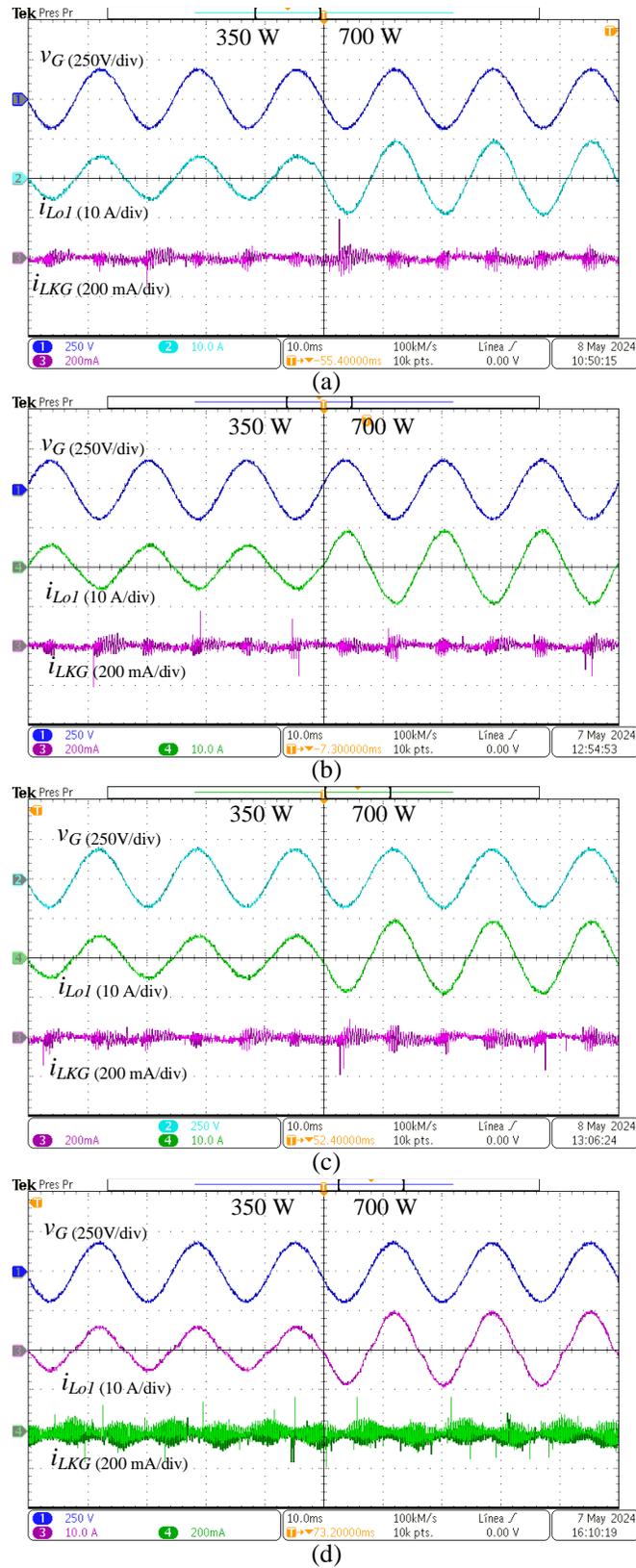


Figura 54. CHB7L (a) APOD, (b) IPD, (c) POD y (d) PSPWM respuesta transitoria. De arriba abajo, (eje x 10ms/div): voltaje de red (eje y 250 V/div), corriente de inyectada (eje y 10 A/div) y corriente de fuga (eje y 200 mA/div).

CONCLUSIONES

El estudio realizado en este trabajo de tesis ha proporcionado una evaluación exhaustiva del sistema propuesto de manera favorable. La implementación de las trayectorias a través de los capacitores del filtro ha sido fundamental en la reducción de las corrientes de fuga. Se analizó el comportamiento presentado bajo diferentes configuraciones y modulaciones, obteniendo resultados que permiten al sistema mantener la corriente de fuga dentro de los límites establecidos por las normativas vigentes. Esto es crucial para garantizar la seguridad y confiabilidad del sistema.

Al ampliar el sistema de 5 niveles a 7 niveles, se observaron cambios mínimos en la corriente de fuga, lo que indica la flexibilidad y estabilidad del diseño. Esto es de suma importancia pues el sistema se puede adaptar a diferentes requisitos de trabajo sin comprometer la calidad de la energía inyectada a la red. La evaluación de la THD revelo baja distorsión en la corriente de salida del inversor, incluso con la adición de más niveles de voltaje. Estos resultados garantizan que la energía generada es eficiente y apta para su uso en aplicaciones de inyección de potencia a la red eléctrica.

En la Tabla 21 se agrupan los niveles de corriente de fuga obtenidos para los diferentes casos de operación del sistema. De manera general, los valores son bastante similares entre modulaciones, con una mayor magnitud en corriente en la modulación PSPWM. El comportamiento en la corriente de fuga es variado y no se ilustra un patrón claro que indique de cómo se va a comportar agregando un mayor número de niveles. Sin embargo, estos cambios de magnitud son mínimos y se mantienen dentro de los límites establecidos por normativa disponiendo de un amplio intervalo de tolerancia.

Las magnitudes en la corriente de fuga se ven ligeramente reducidas al operar el sistema en lazo cerrado para 5 niveles en todas las modulaciones. Al pasar a 7 niveles la corriente se incrementó en 1 a 2 mA en las modulaciones APOD y POD y se redujo en magnitud similar en las modulaciones IPD y PSPWM.

Tabla 21. Resumen de los niveles de corriente de fuga.

	APOD	IPD	POD	PSPWM
CHB5L Lazo abierto	24.6 mA \pm 5%	20.7 mA \pm 5%	19.1 mA \pm 5%	42.8 mA \pm 5%
CHB5L Lazo cerrado	18.3 mA \pm 5%	18.7 mA \pm 5%	18.6 mA \pm 5%	40.4 mA \pm 5%
CHB7L Lazo cerrado	19.1 mA \pm 5%	17.6 mA \pm 5%	20.1 mA \pm 5%	35.4 mA \pm 5%

Los valores de THD obtenidos para la corriente de salida se resumen en la Tabla 22, en los cuales se ilustra que el THD se mejora al aumentar el número de niveles.

Tabla 22. Resumen de los valores de THD.

	APOD	IPD	POD	PSPWM
THD_{iLo1} 5 niveles	2.26%	2.93%	2.16%	1.63%
THD_{iLo1} 7 niveles	1.33%	1.36%	1.36%	1.55%

Como trabajos futuros derivados de esta investigación, se sugiere reemplazar las fuentes de voltaje constante utilizadas por paneles fotovoltaicos reales. Esta modificación permitirá que los elementos parásitos, como las capacitancias parásitas, sean parte integral del sistema en lugar de ser emulados, proporcionando así una evaluación más precisa del comportamiento del inversor en condiciones reales. Además, se propone extender el sistema a una configuración trifásica y analizar la viabilidad de desarrollar un modelo extendido a n niveles.

Referencias

- [1] IEA, *Sources of electricity*, Página de internet. [En línea]. Disponible en: <https://www.iea.org/energy-system/electricity#sources-of-electricity>
- [2] ASOLMEX, *México puede convertirse en la séptima potencia de energía solar en el mundo*. [En línea]. Disponible en: <https://asolmex.org/>
- [3] Deane Biermeier, Lowe Saddler, y Remi Akinwonmi, *Best Solar Panels For Homes Of 2024*. Consultado: el 10 de octubre de 2023. [En línea]. Disponible en: <https://www.forbes.com/home-improvement/solar/best-solar-panels/>
- [4] R. Gonzalez, E. Gubia, J. Lopez, y L. Marroyo, “Transformerless Single-Phase Multilevel-Based Photovoltaic Inverter”, *IEEE Trans. Ind. Electron.*, vol. 55, núm. 7, pp. 2694–2702, jul. 2008, doi: 10.1109/TIE.2008.924015.
- [5] E. Gubía, P. Sanchis, A. Ursúa, J. López, y L. Marroyo, “Ground currents in single-phase transformerless photovoltaic systems”, *Prog. Photovolt. Res. Appl.*, vol. 15, núm. 7, pp. 629–650, nov. 2007, doi: 10.1002/pip.761.
- [6] Edgar Valencia, *La protección GFDI en Sistemas Fotovoltaicos; Funcionamiento y aplicación*. [En línea]. Disponible en: <https://ccea.mx/blog/energia-solar-fotovoltaica/la-proteccion-gfdi-en-sistemas-fotovoltaicos-funcionamiento-y-aplicacion>
- [7] SMA, “Leading Leakage Currents”. Consultado: el 2 de julio de 2024. [En línea]. Disponible en: <https://files.sma.de/downloads/Ableitstrom-TI-en-26.pdf>
- [8] Shaolin Yu, Jianing Wang, Xing Zhang, y Fei Li, “Complete parasitic capacitance model of photovoltaic panel considering the rain water”, *Chin. J. Electr. Eng.*, vol. 3, núm. 3, pp. 77–84, dic. 2017, doi: 10.23919/CJEE.2017.8250427.
- [9] S. Yu, J. Wang, y X. Zhang, “Effect of water on parasitic capacitance of photovoltaic panel”, en *2017 IEEE Energy Conversion Congress and Exposition (ECCE)*, Cincinnati, OH: IEEE, oct. 2017, pp. 4414–4419. doi: 10.1109/ECCE.2017.8096759.
- [10] W. Cha, K. Kim, Y. Cho, S. Lee, y B. Kwon, “Evaluation and analysis of transformerless photovoltaic inverter topology for efficiency improvement and reduction of leakage current”, *IET Power Electron.*, vol. 8, núm. 2, pp. 255–267, feb. 2015, doi: 10.1049/iet-pel.2014.0401.
- [11] J. Zhang, W. Chen, B. Zhang, X. Song, y H. Huang, “Optimal design of EMI filters for PV system based on parasitic parameter and stability analysis”, en *2015 9th International Conference on Power Electronics and ECCE Asia (ICPE-ECCE Asia)*, Seoul, South Korea: IEEE, jun. 2015, pp. 2744–2751. doi: 10.1109/ICPE.2015.7168159.
- [12] X. Guo, R. He, J. Jian, Z. Lu, X. Sun, y J. M. Guerrero, “Leakage Current Elimination of Four-Leg Inverter for Transformerless Three-Phase PV Systems”, *IEEE Trans. Power Electron.*, vol. 31, núm. 3, pp. 1841–1846, mar. 2016, doi: 10.1109/TPEL.2015.2477539.
- [13] Hefei University of Technology *et al.*, “An on-Line Extraction Method for the Parasitic Capacitance of the Photovoltaic Panel”, *CPSS Trans. Power Electron. Appl.*, vol. 4, núm. 4, dic. 2019, doi: 10.24295/CPSSTPEA.2019.00030.
- [14] W. Chen, X. Yang, W. Zhang, y X. Song, “Leakage current calculation for PV inverter system based on a parasitic capacitor model”, *IEEE Trans. Power Electron.*, pp. 1–1, 2016, doi: 10.1109/TPEL.2016.2517740.
- [15] *IEEE Recommended Practice for Utility Interface of Photovoltaic (PV) Systems*. doi: 10.1109/IEEESTD.2000.91304.

- [16] *DIN V VDE V 0126-1-1 Dispositivo de desconexión automática entre un generador y la red pública de baja tensión*. Consultado: el 8 de agosto de 2023. [En línea]. Disponible en: <https://www.dinmedia.de/en/pre-standard/din-v-vde-v-0126-1-1/85740204>
- [17] D. C. V. Delgado, “Inversor tipo T conectado a la red eléctrica con filtro LCL para la inyección de potencia”, TESIS, Irapuato, 2020. Consultado: el 1 de julio de 2024. [En línea]. Disponible en: <https://rinacional.tecnm.mx/jspui/handle/TecNM/3841>
- [18] IEC y IECCE, *Safety of power converters for use in photovoltaic power systems - Part 2: Particular requirements for inverters*, 2011. Consultado: el 2 de julio de 2024. [En línea]. Disponible en: <https://www.iecee.org/certification/iec-standards/iec-62109-22011>
- [19] “IEEE Recommended Practice and Requirements for Harmonic Control in Electric Power Systems”. IEEE Power and Energy Society, 2014. Consultado: el 2 de julio de 2024. [En línea]. Disponible en: https://edisciplinas.usp.br/pluginfile.php/1589263/mod_resource/content/1/IEE%20Std%20519-2014.pdf
- [20] “IEEE Standard for Interconnection and Interoperability of Distributed Energy Resources with Associated Electric Power Systems Interfaces”. IEEE Standards Coordinating Committee 21, 2018. Consultado: el 2 de julio de 2024. [En línea]. Disponible en: <https://web.nit.ac.ir/~shahabi.m/M.Sc%20and%20PhD%20materials/DGs%20and%20MicroGrids%20Course/Standards/IEEE%20Std%201547/IEEE%20Std%201547%E2%84%A2-2018.pdf>
- [21] B. Ji, J. Wang, y J. Zhao, “High-Efficiency Single-Phase Transformerless PV H6 Inverter With Hybrid Modulation Method”, *IEEE Trans. Ind. Electron.*, vol. 60, núm. 5, pp. 2104–2115, may 2013, doi: 10.1109/TIE.2012.2225391.
- [22] G. E. Valderrama, G. V. Guzman, E. I. Pool-Mazun, P. R. Martinez-Rodriguez, M. J. Lopez-Sanchez, y J. M. S. Zuniga, “A Single-Phase Asymmetrical T-Type Five-Level Transformerless PV Inverter”, *IEEE J. Emerg. Sel. Top. Power Electron.*, vol. 6, núm. 1, pp. 140–150, mar. 2018, doi: 10.1109/JESTPE.2017.2726989.
- [23] M. Tofigh Azary, M. Sabahi, E. Babaei, y F. Abbasi Aghdam Meinagh, “Modified Single-Phase Single-Stage Grid-Tied Flying Inductor Inverter With MPPT and Suppressed Leakage Current”, *IEEE Trans. Ind. Electron.*, vol. 65, núm. 1, pp. 221–231, ene. 2018, doi: 10.1109/TIE.2017.2719610.
- [24] X. Guo y X. Jia, “Hardware-Based Cascaded Topology and Modulation Strategy With Leakage Current Reduction for Transformerless PV Systems”, *IEEE Trans. Ind. Electron.*, vol. 63, núm. 12, pp. 7823–7832, dic. 2016, doi: 10.1109/TIE.2016.2607163.
- [25] H. F. Xiao, K. Lan, y L. Zhang, “A Quasi-Unipolar SPWM Full-Bridge Transformerless PV Grid-Connected Inverter with Constant Common-Mode Voltage”, *IEEE Trans. Power Electron.*, vol. 30, núm. 6, pp. 3122–3132, jun. 2015, doi: 10.1109/TPEL.2014.2331367.
- [26] R. Selvamuthukumar, A. Garg, y R. Gupta, “Hybrid Multicarrier Modulation to Reduce Leakage Current in a Transformerless Cascaded Multilevel Inverter for Photovoltaic Systems”, *IEEE Trans. Power Electron.*, vol. 30, núm. 4, pp. 1779–1783, abr. 2015, doi: 10.1109/TPEL.2014.2345501.
- [27] X. Guo, X. Wang, C. Wang, Z. Lu, C. Hua, y F. Blaabjerg, “Improved Modulation Strategy for Single-Phase Cascaded H-Bridge Multilevel Inverter”, *IEEE Trans. Power Electron.*, vol. 37, núm. 3, pp. 2470–2474, mar. 2022, doi: 10.1109/TPEL.2021.3109982.
- [28] J. C. Giacomini, L. Michels, H. Pinheiro, y C. Rech, “Active Damping Scheme for Leakage Current Reduction in Transformerless Three-Phase Grid-Connected PV Inverters”,

- IEEE Trans. Power Electron.*, vol. 33, núm. 5, pp. 3988–3999, may 2018, doi: 10.1109/TPEL.2017.2711785.
- [29] S. Iturriaga-Medina *et al.*, “A Current-Mode Controller For an HB-NPC Inverter Using the Virtual-Ground Trajectory for Power Injection in PV Systems”, en *2020 IEEE Energy Conversion Congress and Exposition (ECCE)*, Detroit, MI, USA: IEEE, oct. 2020, pp. 356–361. doi: 10.1109/ECCE44975.2020.9236152.
- [30] Z. Yao y Y. Zhang, “A Doubly Grounded Transformerless PV Grid-Connected Inverter Without Shoot-Through Problem”, *IEEE Trans. Ind. Electron.*, vol. 68, núm. 8, pp. 6905–6916, ago. 2021, doi: 10.1109/TIE.2020.3007112.
- [31] R. Barzegarkhoo, S. S. Lee, S. A. Khan, Y. Siwakoti, y D. D.-C. Lu, “A Novel Generalized Common-Ground Switched-Capacitor Multilevel Inverter Suitable for Transformerless Grid-Connected Applications”, *IEEE Trans. Power Electron.*, vol. 36, núm. 9, pp. 10293–10306, sep. 2021, doi: 10.1109/TPEL.2021.3067347.
- [32] F. Faraji, A. A. M. Birjandi, S. M. Mousavi G, J. Zhang, B. Wang, y X. Guo, “An Improved Multilevel Inverter for Single-Phase Transformerless PV System”, *IEEE Trans. Energy Convers.*, vol. 36, núm. 1, pp. 281–290, mar. 2021, doi: 10.1109/TEC.2020.3006552.
- [33] L. Xie y X. Yuan, “Common-Mode Current Reduction at DC and AC Sides in Inverter Systems by Passive Cancellation”, *IEEE Trans. Power Electron.*, vol. 36, núm. 8, pp. 9069–9079, ago. 2021, doi: 10.1109/TPEL.2021.3058840.
- [34] J. C. Rosas-Caro, G. Escobar, P. R. Martinez-Rodriguez, S. Iturriaga-Medina, J. C. Mayo-Maldonado, y J. E. Valdez-Resendiz, “Differential and common-mode model-based controller for the double-dual buck transformerless inverter”, *Int. J. Electr. Power Energy Syst.*, vol. 131, p. 107065, oct. 2021, doi: 10.1016/j.ijepes.2021.107065.
- [35] G. Vazquez-Guzman *et al.*, “A 5LCHB Inverter for PV Transformerless Applications With Reduced Leakage Ground Current”, *IEEE Access*, vol. 10, pp. 116919–116930, 2022, doi: 10.1109/ACCESS.2022.3219732.
- [36] S. Iturriaga-Medina *et al.*, “A control design for a photovoltaic transformerless HB-NPC inverter with leakage-ground current reduction”, *Int. J. Electr. Power Energy Syst.*, vol. 146, p. 108724, mar. 2023, doi: 10.1016/j.ijepes.2022.108724.
- [37] J. I. Leon, S. Kouro, L. G. Franquelo, J. Rodriguez, y B. Wu, “The Essential Role and the Continuous Evolution of Modulation Techniques for Voltage-Source Inverters in the Past, Present, and Future Power Electronics”, *IEEE Trans. Ind. Electron.*, vol. 63, núm. 5, pp. 2688–2701, may 2016, doi: 10.1109/TIE.2016.2519321.
- [38] R. Peña-Alzola, M. Liserre, F. Blaabjerg, M. Ordonez, y T. Kerekes, “A Self-commissioning Notch Filter for Active Damping in a Three-Phase LCL -Filter-Based Grid-Tie Converter”, *IEEE Trans. Power Electron.*, vol. 29, núm. 12, pp. 6754–6761, dic. 2014, doi: 10.1109/TPEL.2014.2304468.
- [39] R. Pena-Alzola, M. Liserre, F. Blaabjerg, M. Ordonez, y Y. Yang, “LCL-Filter Design for Robust Active Damping in Grid-Connected Converters”, *IEEE Trans. Ind. Inform.*, vol. 10, núm. 4, pp. 2192–2203, nov. 2014, doi: 10.1109/TII.2014.2361604.
- [40] A. Reznik, M. G. Simoes, A. Al-Durra, y S. M. Muyeen, “LCL Filter Design and Performance Analysis for Grid-Interconnected Systems”, *IEEE Trans. Ind. Appl.*, vol. 50, núm. 2, pp. 1225–1232, mar. 2014, doi: 10.1109/TIA.2013.2274612.
- [41] J. M. Sosa, P. R. Martinez-Rodriguez, G. Escobar, G. Vazquez, A. A. Valdez-Fernandez, y J. F. Martinez-Garcia, “Analysis and Validation for an Inverter-side Current Controller in

- LCL Grid-connected Power Systems”, *J. Mod. Power Syst. Clean Energy*, vol. 8, núm. 2, pp. 387–398, 2020, doi: 10.35833/MPCE.2018.000505.
- [42] J. Sun, “Impedance-Based Stability Criterion for Grid-Connected Inverters”, *IEEE Trans. Power Electron.*, vol. 26, núm. 11, pp. 3075–3078, nov. 2011, doi: 10.1109/TPEL.2011.2136439.
- [43] W. Wu, Y. He, y F. Blaabjerg, “An LLCL Power Filter for Single-Phase Grid-Tied Inverter”, *IEEE Trans. Power Electron.*, vol. 27, núm. 2, pp. 782–789, feb. 2012, doi: 10.1109/TPEL.2011.2161337.
- [44] G. Escobar, P. R. Martinez-Rodriguez, C. N. M. Ho, y J. M. Sosa, “Design of an inverter-side current reference and controller for a single-phase LCL-based grid-connected inverter: Design of a current reference for LCL-based grid-connected inverters”, *Int. Trans. Electr. Energy Syst.*, vol. 28, núm. 1, p. e2476, ene. 2018, doi: 10.1002/etep.2476.
- [45] J. M. Sosa, P. R. Martinez-Rodriguez, G. Escobar, G. Vazquez, y A. A. Valdez-Fernandez, “Active Power Injection Control for Power Converters Connected to the Grid Through an L Filter”, *Electr. Power Compon. Syst.*, vol. 45, núm. 6, pp. 660–671, abr. 2017, doi: 10.1080/15325008.2017.1291768.
- [46] A. A. Valdez-Fernandez, P. R. Martinez-Rodriguez, G. Escobar, C. A. Limones-Pozos, y J. M. Sosa, “A Model-Based Controller for the Cascade H-Bridge Multilevel Converter Used as a Shunt Active Filter”, *IEEE Trans. Ind. Electron.*, vol. 60, núm. 11, pp. 5019–5028, nov. 2013, doi: 10.1109/TIE.2012.2218558.
- [47] M. Talha y I. A. Makda, “Frequency-Domain Modeling and Tustin Discretization Method based Controlling of DC Step-Up Chopper”, en *2019 4th International Conference on Power Electronics and their Applications (ICPEA)*, Elazig, Turkey: IEEE, sep. 2019, pp. 1–5. doi: 10.1109/ICPEA1.2019.8911147.
- [48] A. Ortiz, C. Gherasim, M. Manana, C. J. Renedo, L. I. Eguiluz, y R. J. M. Belmans, “Total Harmonic Distortion Decomposition Depending on Distortion Origin”, *IEEE Trans. Power Deliv.*, vol. 20, núm. 4, pp. 2651–2656, oct. 2005, doi: 10.1109/TPWRD.2005.852389.
- [49] JUAN ANTONIO VERDIN CRUZ, “Diseño e implementación de un convertidor CD-CA para aplicaciones en microinversores monofásicos.”, TESIS, ITESI, Irapuato, 2020.

- Pre-standard -

DIN V VDE V 0126-1-1 (VDE V 0126-1-1):2006-02

4.6 Marking

A generator with an automatic disconnection device must indicate "VDE 0126-1-1" on the name plate that can be seen on the outside. Further marking as defined in DIN EN 50178 (VDE 0160) should be attached or included in the accompanying documentation as required.

4.7 Special requirements

4.7.1 Photovoltaics

A residual current monitoring unit (RCMU) is required for inverters without simple separation between the grid and the photovoltaic generator. In the event of a failure, the d. c. and a. c. components of the residual current depend on the type of inverter and on the d. c. voltage of the PV generator.

An external residual current device is required in a disconnection device without an integrated RCMU. In this case, the tests defined in 6.6 do not apply. The residual current device required should be specified by the manufacturer in the operating instructions.

The generator-side insulation resistance before the switch to the grid must be $\geq 1 \text{ k}\Omega/\text{V}$ relative to the maximum inverter input voltage, but at least 500 k Ω . Leakage currents greater than 300 mA must trigger a break within 0.3 sec. Irrespective of the rated power of the inverter, any sudden residual currents should trigger a break in accordance with Table 1.

Table 1 - Maximum break times

r. m. s. value of residual current/(mA)	Break time/(sec)
30	0.3
60	0.15
150	0.04

The break times apply to the entire temperature range stated by the manufacturer.

In the case of inverters without simple separation between the grid and the PV generator, both switches mentioned in 4.1.2 must be designed as a relay or contactor with the requirements stipulated there.

NOTE: A design featuring an interrupting device between the inverter and the PV generator and an interrupting device between the inverter and the grid is possible.

Anexo B. IEEE Std 519

IEEE STANDARDS ASSOCIATION



IEEE Recommended Practice and Requirements for Harmonic Control in Electric Power Systems

IEEE Power and Energy Society

Sponsored by the
Transmission and Distribution Committee

IEEE
3 Park Avenue
New York, NY 10016-5997
USA

IEEE Std 519™-2014
(Revision of
IEEE Std 519-1992)

5.1 Recommended harmonic voltage limits

At the PCC, system owners or operators should limit line-to-neutral voltage harmonics as follows:

- Daily 99th percentile very short time (3 s) values should be less than 1.5 times the values given in Table 1.
- Weekly 95th percentile short time (10 min) values should be less than the values given in Table 1.

All values should be in percent of the rated power frequency voltage at the PCC. Table 1 applies to voltage harmonics whose frequencies are integer multiples of the power frequency.

Table 1—Voltage distortion limits

Bus voltage V at PCC	Individual harmonic (%)	Total harmonic distortion THD (%)
$V \leq 1.0$ kV	5.0	8.0
1 kV < $V \leq 69$ kV	3.0	5.0
69 kV < $V \leq 161$ kV	1.5	2.5
161 kV < V	1.0	1.5 ^a

^aHigh-voltage systems can have up to 2.0% THD where the cause is an HVDC terminal whose effects will have attenuated at points in the network where future users may be connected.

Information on voltage interharmonic limits is given in Annex A and is based on lamp flicker assessed using the measurement technique described in IEEE Std 1453 and IEC 61000-4-15. The information of Annex A is not based on the effects of interharmonics on other equipment and systems such as generator mechanical systems, motors, transformers, signaling and communication systems, and filters. Due consideration should be given to these effects and appropriate interharmonic current limits should be developed starting from the information in Annex A on a case-by-case basis using specific knowledge of the supply system, connected user loads, and provisions for future users.

5.2 Recommended current distortion limits for systems nominally rated 120 V through 69 kV

The limits in this subclause apply to users connected to systems where the rated voltage at the PCC is 120 V to 69 kV. At the PCC, users should limit their harmonic currents as follows:

- Daily 99th percentile very short time (3 s) harmonic currents should be less than 2.0 times the values given in Table 2.
- Weekly 99th percentile short time (10 min) harmonic currents should be less than 1.5 times the values given in Table 2.
- Weekly 95th percentile short time (10 min) harmonic currents should be less than the values given in Table 2.

All values should be in percent of the maximum demand current, I_L . This current value is established at the PCC and should be taken as the sum of the currents corresponding to the maximum demand during each of the twelve previous months divided by 12. Table 2 applies to harmonic currents whose frequencies are integer multiples of the power frequency.

Table 2—Current distortion limits for systems rated 120 V through 69 kV

Maximum harmonic current distortion in percent of I_L						
Individual harmonic order (odd harmonics) ^{a, b}						
I_{sc}/I_L	$3 \leq h < 11$	$11 \leq h < 17$	$17 \leq h < 23$	$23 \leq h < 35$	$35 \leq h \leq 50$	TDD
< 20 ^c	4.0	2.0	1.5	0.6	0.3	5.0
20 < 50	7.0	3.5	2.5	1.0	0.5	8.0
50 < 100	10.0	4.5	4.0	1.5	0.7	12.0
100 < 1000	12.0	5.5	5.0	2.0	1.0	15.0
> 1000	15.0	7.0	6.0	2.5	1.4	20.0

^aEven harmonics are limited to 25% of the odd harmonic limits above.

^bCurrent distortions that result in a dc offset, e.g., half-wave converters, are not allowed.

^cAll power generation equipment is limited to these values of current distortion, regardless of actual I_{sc}/I_L .

where

I_{sc} = maximum short-circuit current at PCC

I_L = maximum demand load current (fundamental frequency component)
at the PCC under normal load operating conditions

For interharmonic current components with frequencies that are not integer multiples of the power frequency, users should limit the components to sufficiently low levels so as to not produce undesirable effects on the power system and connected equipment. Limiting values and appropriate statistical indices should be developed on a case-by-case basis starting from the guidance of Annex A and considering the specifics of the supply system, connected user loads, and provisions for other users.

IEEE Standard for Interconnection and Interoperability of Distributed Energy Resources with Associated Electric Power Systems Interfaces

IEEE Standards Coordinating Committee 21

Sponsored by the
IEEE Standards Coordinating Committee 21 on Fuel Cells, Photovoltaics, Dispersed
Generation, and Energy Storage

IEEE
3 Park Avenue
New York, NY 10016-5997
USA

IEEE Std 1547™-2018
(Revision of IEEE Std 1547-2003)

Table 19—Frequency ride-through requirements for DER of abnormal operating performance Category I, Category II, and Category III (see Figure H.10)

Frequency range (Hz)	Operating mode	Minimum time (s) (design criteria)
$f > 62.0$	No ride-through requirements apply to this range	
$61.2 < f \leq 61.8$	Mandatory Operation ^a	299
$58.8 \leq f \leq 61.2$	Continuous Operation ^{a,b}	Infinite ^c
$57.0 \leq f < 58.8$	Mandatory Operation ^a	299
$f < 57.0$	No ride-through requirements apply to this range	

^aAny DER shall provide the frequency-droop (frequency-power) operation for high-frequency conditions specified in 6.5.2.7.

^bDER of Category I may provide the frequency-droop (frequency-power) operation for low-frequency conditions specified in 6.5.2.7. DER of Category II or Category III shall provide the frequency-droop (frequency-power) operation for low-frequency conditions specified in 6.5.2.7.

^cFor a per-unit ratio of Voltage/frequency limit of $V/f \leq 1.1$.

6.5.2.2 Frequency disturbances within continuous operation region

Frequency disturbances of any duration, for which the system frequency remains between 58.8 Hz and 61.2 Hz and the per-unit ratio of Voltage/frequency is less than or equal to 1.1, shall not cause the DER to trip. The DER shall remain in operation during any such disturbance, and shall be able to continue to exchange active power at least as great as its pre-disturbance level of power.

6.5.2.3 Low-frequency ride-through

6.5.2.3.1 Low-frequency ride-through capability

During temporary frequency disturbances, for which the system frequency is less than 58.8 Hz and greater than or equal to 57.0 Hz, and having a cumulative duration below 58.8 Hz of less than 299 s in any ten-minute period, the DER shall be capable to ride-through and

- Shall maintain synchronism with the Area EPS.
- Shall not reduce its active power output below the value specified in Table 20, depending on the DER *performance category* as described in Clause 4. Reductions of *available active power* due to the underfrequency event shall not be allowed when the voltage is within the continuous operating range. Active power may be reduced in proportion with the grid voltage when the grid voltage is below the level for *continuous operation*.

¹⁰¹ This standard may be adopted by AGIRs with frequency values defining frequency ride-through performance in the *continuous operation* region and *mandatory operation* region other than the ones specified.

Table 26—Maximum odd harmonic current distortion in percent of rated current (I_{rated})^a

Individual odd harmonic order h	$h < 11$	$11 \leq h < 17$	$17 \leq h < 23$	$23 \leq h < 35$	$35 \leq h < 50^{109}$	Total rated current distortion (TRD)
Percent (%)	4.0	2.0	1.5	0.6	0.3	5.0

^a I_{rated} = the DER unit rated current capacity (transformed to the RPA when a transformer exists between the DER unit and the RPA).

Table 27—Maximum even harmonic current distortion in percent of rated current (I_{rated})^a

Individual even harmonic order h	$h = 2$	$h = 4$	$h = 6$	$8 \leq h < 50$
Percent (%)	1.0	2.0	3.0	Associated range specified in Table 26

^a I_{rated} = the DER unit rated current capacity (transformed to the RPA when a transformer exists between the DER unit and the RPA).

The total rated current distortion (TRD) in Table 26, which includes the harmonic distortion and inter-harmonic distortion, can be calculated using Equation (2):

$$\%TRD = \frac{\sqrt{I_{rms}^2 - I_1^2}}{I_{rated}} \times 100\%$$

where

- I_1 is the fundamental current as measured at the RPA
 - I_{rated} is the DER rated current capacity (transformed to the RPA when a transformer exists between the DER unit and the RPA)
 - I_{rms} is the root-mean-square of the DER current, inclusive of all frequency components, as measured at the RPA
- (2)

¹⁰⁹ Typical utility instrument transformers may not be able to accurately reproduce high order harmonic content. Adherence to the higher order harmonics may need to be confirmed in a laboratory setting or, if in the field, using equipment designed for use at the frequencies in question. Refer to Annex G for more information.

Anexo D. Tarjeta de control y sensado

La implementación de las modulaciones, el lazo de control y el sensado de las variables se llevó a cabo mediante la tarjeta de control mostrada en la Figura 55 previamente diseñada en [48]. Incorpora un microcontrolador DSP TMS320F28335 el cual es de la familia de C2000 de Texas Instruments, el cual es programable desde el software Simulink de MATLAB.

La tarjeta cuenta con 12 salida adaptadas a fibra óptica para las señales de modulación disponibles en los pines GPIO00 al GPIO11, tiene disponibles 5 sensores de corriente CA o CD, 6 sensores de voltaje AC y 2 sensores de voltaje CD, protecciones por sobre corriente o sobre voltaje, comunicación USB y encendido de los pulsos de manera remota por USB.



Figura 55. Tarjeta de sensado y control basada en el DSP F28335.

En la Tabla 23 se detallan las posiciones de los sensores de voltaje diferenciales.

Tabla 23. Disposición de los sensores de voltaje CA

Número de sensor	Entrada en tarjeta	N° de DIMM	N° de GPIO	Voltaje máximo
Sensor 1	J1	67	ADC-A5	200 V
Sensor 2	J5	71	ADC-A7	200 V
Sensor 3	J2	69	ADC-A6	200 V
Sensor 4	J70	7	ADC-B0	200 V
Sensor 5	J71	9	ADC-B1	200 V
Sensor 6	J72	11	ADC-B2	200 V

En la Tabla 24 se detallan las posiciones para los sensores de corriente tanto CA como CD.

Tabla 24. Disposición de los sensores de corriente CA – CD.

Numero de sensor	Entrada en tarjeta	Protecciones				N° de DIMM	N° de GPIO	Corriente máxima
		5A	10A	15A	20A			
Sensor 1	J6	J36	J35	J37	J34	57	ADC-A0	10 A
Sensor 2	J11	J50	J49	J48	J47	59	ADC-A1	10 A
Sensor 3	J10	J46	J45	J44	J43	61	ADC-A2	20 A
Sensor 4	J8	J54	J53	J52	J51	63	ADC-A3	20 A
Sensor 5	J7	J58	J57	J56	J55	65	ADC-A4	20 A

En la Tabla 25 se detallan las posiciones para los sensores de voltaje CD.

Tabla 25. Disposición de los sensores de voltaje CD.

Numero de sensor	Entrada en tarjeta	Protecciones				N° de DIMM	N° de GPIO	Voltaje máximo
		125V	250V	375V	500V			
Sensor 1 (activa relé de precarg(a))	J4	J31	J30	J20	J28	15	ADC-B4	500V
	J38	J42	J41	J40	J39			
Sensor 2	J3					13	ADC-B3	500V

En la Tabla 26 se detallan las posiciones de los relé disponibles en la tarjeta.

Tabla 26. Disposición de los relé.

Numero de Relé	Entrada en tarjeta	N° de DIMM	N° de GPIO	Corriente máxima
Relé 1	J27	33	GPIO-12	1 A
Relé 2	J26	34	GPIO-15	1 A
Relé 3	J25	35	GPIO-24	1 A
Relé 4	J22	36	GPIO-26	1 A
Relé 5	J23	38	GPIO-16	1 A
Relé 6	J24	39	GPIO-18	1 A

La programación se realiza mediante diagramas de bloques en Simulink, los cuales son compilados y convertidos a código mediante la paquetería C2000 de software Code Composer Studio que previamente debe estar cargada a Simulink.

Para generar las modulaciones se puede realizar directamente empleando los bloques EPWM, este bloque internamente compara la entrada con una señal de tipo rampa o triangular y genera dos salidas PWM a la frecuencia especificada. Las salidas se pueden configurar para que una sea complemento de la otra, además el tiempo muerto se agrega automáticamente entre ambas señales.

Pasando a la parte de control, Texas Instruments tiene disponible una interfaz Guide configurable y gratuita en el siguiente enlace [TI Developer Zone](#), la cual se ilustra en la Figura 56, en esta se pueden agregar graficas para el monitoreo tanto de señales sensadas, así como de señales internas originadas de algún proceso, también se pueden agregar otros elementos como

botones y cuadros de texto. La comunicación con la plataforma se realiza por medio de USB en tiempo real lo que la hace muy útil para el arranque del control y el monitoreo de sistema.

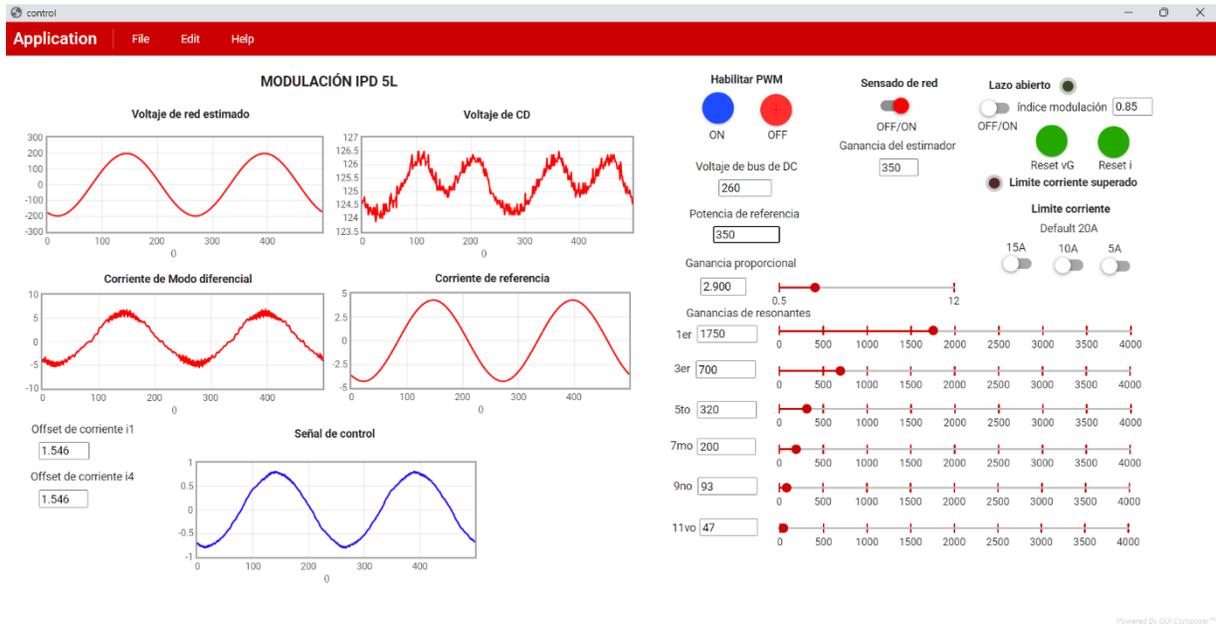


Figura 56. Interfaz guide de Texas Instruments.