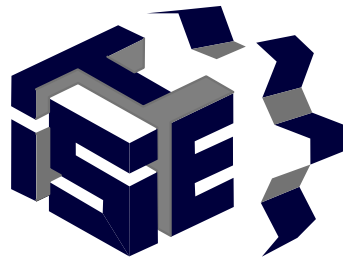


**INSTITUTO TECNOLÓGICO SUPERIOR DE IRAPUATO**



Instituto Tecnológico  
Superior de Irapuato

**ESTUDIOS CON RECONOCIMIENTO DE VALIDEZ OFICIAL  
NÚMERO 11-00065**

**INVERSOR FOTOVOLTAICO MULTINIVEL  
MONOFÁSICO SIN TRANSFORMADOR CON  
CONEXIÓN DE REFERENCIA COMÚN**

**OPCIÓN I: TESIS PROFESIONAL**

**QUE PARA OBTENER EL GRADO DE:  
MAESTRO EN INGENIERÍA ELECTRÓNICA**

**PRESENTA:  
ING. PABLO ALEJANDRO RAMÍREZ VARGAS**

**DIRECTORES DE TESIS:  
DR. ADOLFO RAFAEL LÓPEZ NÚÑEZ  
DR. GERARDO VÁZQUEZ GUZMÁN**

IRAPUATO, GTO.

OCTUBRE 2025



**Instituto Tecnológico Superior de Irapuato**  
Dirección General  
Dirección Académica

Irapuato, Guanajuato, 20/octubre/2025  
**Oficio No. CIPI-016-2025**

**ASUNTO:** Autorización impresión tesis de maestría

**DR. MARIO ALBERTO JUÁREZ BALDERAS**  
**PRESIDENTE DEL CONSEJO DE POSGRADO**  
**MAESTRÍA EN INGENIERÍA ELECTRÓNICA**  
**PRESENTE**

Por medio de la presente y a solicitud del comité tutorial integrado por:

Dr. Adolfo Rafael López Núñez  
Dr. Gerardo Vázquez Guzmán  
Dr. Mario Alberto Juárez Balderas  
M.C. José Juan Alfaro Rodríguez

se autoriza la impresión de la tesis titulada **"Inversor fotovoltaico multinivel monofásico sin transformador con conexión de referencia común"** realizada por el estudiante **C. Pablo Alejandro Ramírez Vargas** con número de control **MIP23110011** la cual ha sido desarrollada dentro del programa de la Maestría en Ingeniería Electrónica bajo la dirección del Dr. Adolfo Rafael López Núñez y la codirección del Dr. Gerardo Vázquez Guzmán y ha sido revisada y aprobada por el comité tutorial antes mencionado.  
Sin otro en particular, le envío un cordial saludo.

**ATENTAMENTE**

*Excelencia en Educación Tecnológica*



**M.C. ISAI GONZÁLEZ GAONA**  
**DIRECTOR ACADÉMICO**  
**PRESIDENTE DEL CIPI**

ccp.

M.I. Ernesto Cabal Yépez  
M.C. Akira Torreblanca Ponce

Titular de Jefatura de División de Ing. Electrónica  
Titular del Departamento de Investigación

Para su conocimiento y atención  
Para su seguimiento



**2025**  
Año de  
**La Mujer**  
**Indígena**

Carretera Irapuato – Silao km 12.5, El Copal, Irapuato, Guanajuato,  
C.P. 36821 Tels. 462 6067900, 462 6067602  
irapuato.tecnm.mx





Instituto Tecnológico  
Superior de Irapuato

### Constancia de aprobación de la tesis

La tesis *Inversor fotovoltaico multinivel monofásico sin transformador con conexión a referencia común* presentada para obtener el **Grado de Maestro en Ingeniería Electrónica** fue elaborada por el **Ing. Pablo Alejandro Ramírez Vargas** y aprobada el **20 de octubre de 2025** por los suscritos, designados por el Consejo de Posgrado de la Maestría en Electrónica del Tecnológico Nacional de México / Instituto Tecnológico Superior de Irapuato.

---

Dr. Adolfo Rafael López Núñez  
(Director de Tesis)

---

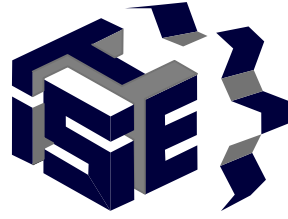
Dr. Gerardo Vázquez Guzmán  
(Co-Director de Tesis)

---

Dr. Mario Alberto Juárez Balderas  
(Sinodal)

---

M.C. José Juan Alfaro Rodríguez  
(Sinodal)



Instituto Tecnológico  
Superior de Irapuato

## Créditos institucionales

Esta tesis fue elaborada en el Laboratorio de Eléctrica y Electrónica de Potencia (LEEP) del **Tecnológico Nacional de México /Instituto Tecnológico Superior de Irapuato**, bajo la dirección de los profesores Dr. Adolfo Rafael López Núñez y Dr. Gerardo Vázquez Guzmán.

# Agradecimientos

Agradezco al **Tecnológico Nacional de México / Instituto Tecnológico Superior de Irapuato** (TecNM/ITESI) por brindarme las herramientas académicas y formativas necesarias para el desarrollo de este trabajo de tesis, también agradezco por el apoyo otorgado a mi persona para realizar una estancia de investigación en Polonia. Asimismo, expreso mi reconocimiento al Consejo de Posgrado de la Maestría en Ingeniería Electrónica por haberme permitido realizar esta investigación en el laboratorio correspondiente al programa.

Manifiesto mi profunda gratitud a la **Secretaría de Ciencia, Humanidades, Tecnología e Innovación** (SECIHTI) por el apoyo otorgado a través de una beca, la cual fue un pilar fundamental para la culminación de mis estudios de posgrado.

Extiendo un especial agradecimiento a mis directores de tesis, el Dr. Adolfo Rafael López Núñez y el Dr. Gerardo Vázquez Guzmán, por su invaluable orientación y colaboración en el desarrollo de este trabajo. De igual manera, agradezco a los sinodales Dr. Mario Alberto Juárez Balderas y M.C. José Juan Alfaro Rodríguez, cuyas observaciones y aportaciones contribuyeron significativamente a la mejora de esta tesis.

A todas las personas que han formado parte de mi vida académica y personal como familia y amigos. A mis maestros del posgrado que durante dos años me brindaron herramientas y conocimientos en las aulas y laboratorio.

También me permito agradecer al Ph.D Mariusz Malinowski, PhD. Luis Martínez Caballero y al Ph.D Álvaro Carreño Henríquez profesores del Institute of Control and Industrial Electronics Warsaw que estuvieron brindandome su apoyo durante mi estancia de investigación en la Universidad Tecnológica de Varsovia en Polonia.

# *Dedicatoria*

*Este trabajo de tesis va dedicado a mis hermanos Moisés y Fátima Ramírez Vargas, a mis padres el Sr. Moisés Ramírez y a la Sra. Esmeralda Vargas, a mi tío el Sr. Miguel Ramírez y a mi prometida Andrea Dimas. Ya que siempre me apoyaron durante mi formación académica.*

# Resumen

Quando se habla de sistemas fotovoltaicos, las características importantes son la eficiencia y la seguridad, ya que estos sistemas buscan suplir a la energía convencional y además el ser humano está en constante contacto con las instalaciones al ser en su mayoría domésticas. Este trabajo de tesis propone una nueva topología multinivel de cinco niveles basada en capacitores conmutados (SCs) y la técnica de conexión de referencia común (CGC). Los SCs permiten generar diferentes niveles de voltaje con una sola fuente fotovoltaica y así, aumentar la eficiencia del sistema fotovoltaico y la CGC evita descargas eléctricas que ponen en riesgo a la integridad de las personas.

En el capítulo 1 se introduce al lector a las necesidades actuales de mejorar la calidad del medio ambiente, reduciendo factores que lo contaminen como la generación de la energía eléctrica. Debido a la alta demanda energética, se busca sustituir o reducir su impacto con la ayuda de energías limpias. En el capítulo 2 se hace un estudio de topologías que existen en la literatura y que sirven para mejorar la eficiencia y seguridad para el operador a través de la eliminación de la corriente de modo común (LGC) que se presenta en inversores fotovoltaicos. En el capítulo 3 se presentan los principios básicos del funcionamiento de convertidores y la introducción variantes para mejorar sus características eléctricas, de seguridad y económicas.

En el capítulo 4 se propone y diseña una nueva topología con base a sus requerimientos y características para ser validada posteriormente por medio de simulación; para implementar cualquier topología se requiere de una correcta implementación de una estrategia de modulación, que para efectos de este trabajo de tesis es una modulación senoidal por ancho de pulso (SPWM) la cuál es apta para este tipo de inversores. En la actualidad, un proceso para la validación de circuitos electrónicos es la emulación, que funciona como un proceso intermedio entre la simulación y la implementación, por ello en el capítulo 6 se presentan resultados de emulación del inversor propuesto por medio del sistema *Typhoon HIL System*.

Finalmente, en los capítulos 7-9 se muestran los pasos para la implementación del inversor; en el capítulo 7 se realiza la selección de componentes electrónicos para la construcción de un prototipo funcional a una potencia real de 300 W. En el capítulo 8 se hace un análisis de pérdidas del inversor debido la conmutación y conducción de los semiconductores y en el capítulo 9, por medio de tabla se resume una comparación entre inversores similares al propuesto en esta tesis, teniendo resultados competitivos en eficiencias del inversor.

En este trabajo de tesis se propone, diseña, simula, emula e implementa un nuevo inversor para aplicaciones fotovoltaicas sin transformador de alta eficiencia con eliminación de corriente de modo común, utilizando SCs.

# ÍNDICE GENERAL

<b>Créditos institucionales</b>	<b>II</b>
<b>Agradecimientos</b>	<b>III</b>
<b>Dedicatoria</b>	<b>IV</b>
<b>Resumen</b>	<b>v</b>
<b>1. Introducción</b>	<b>1</b>
<b>2. Estado del Arte y de la Técnica</b>	<b>4</b>
2.1. Revisión del Estado del Arte . . . . .	5
2.2. Revisión del Estado de la Técnica . . . . .	6
<b>3. Marco Teórico</b>	<b>11</b>
3.1. Convertidores de corriente directa a corriente alterna CD-CA . . . . .	12
3.2. Inversores Multinivel (MLI) . . . . .	13
3.3. Inversores Multinivel con Capacitores Conmutados (SC-MLI) . . . . .	14
3.4. Técnicas de modulación . . . . .	15
3.5. Inversores con conexión de tierra común . . . . .	16
3.5.1. Mitigación de corriente de modo común con conexión a tierra común . . . . .	16
3.5.2. Topologías de tipo tierra común con capacitores conmutados (CGT- SC) . . . . .	18
<b>4. Diseño de la Topología</b>	<b>19</b>
4.1. Topología CVD-5L-SC . . . . .	20
4.2. Topología CGT-SC . . . . .	21
4.3. Topología propuesta . . . . .	23
4.4. Capacitores conmutados . . . . .	25
4.5. Inductores de carga . . . . .	28
4.6. Resumen de diseño . . . . .	36
<b>5. Estrategia de modulación</b>	<b>37</b>
5.1. Diseño de la estrategia de modulación SPWM . . . . .	38
5.2. Implementación de la Estrategia de Modulación . . . . .	40
5.3. Tiempos muertos ( <i>DT</i> ) . . . . .	43

<b>6. Implementación en HIL</b>	<b>45</b>
6.1. Generalidades de la interfaz de Typhoon . . . . .	46
6.2. Diseño esquemático en Typhoon . . . . .	46
6.3. Resultados de implementación HIL . . . . .	49
<b>7. Diseño experimental</b>	<b>52</b>
7.1. Selección de componentes de potencia . . . . .	53
7.2. Circuito de disparo de los IGBTs . . . . .	54
7.3. PCB en Altium Designer . . . . .	55
7.4. Consideraciones de diseño PCB . . . . .	57
<b>8. Análisis de pérdidas</b>	<b>58</b>
8.1. Base de datos de dispositivos . . . . .	59
8.2. Cálculo de pérdidas en un diodo . . . . .	61
8.3. Cálculo de pérdidas de un IGBT . . . . .	62
8.4. Pérdidas en el inversor . . . . .	62
<b>9. Resultados experimentales</b>	<b>65</b>
9.1. Validación de la Topología . . . . .	66
9.2. Mediciones de las señales eléctricas . . . . .	71
<b>10. Análisis comparativo</b>	<b>72</b>
<b>11. Conclusiones y trabajos futuros</b>	<b>74</b>
<b>Bibliografía</b>	<b>76</b>

# ÍNDICE DE FIGURAS

1.1.	Radiación solar en (a) México y (b) China. . . . .	2
1.2.	Capacidad acumulada de sistemas fotovoltaicos. . . . .	3
2.1.	(a) Topología FB en cascada para cinco niveles. (b) Estados de conmutación para la generación de los cinco niveles de voltaje. . . . .	6
2.2.	(a) Topología SC-MLI con autoequilibrio en el voltaje de los capacitores. (b) Señal de voltaje a la salida del inversor. . . . .	6
2.3.	Topología con arreglo de diodos para una corriente bidireccional. . . . .	7
2.4.	Topología FB en cascada para siete niveles. . . . .	7
2.5.	Categorización de las unidades de capacitores conmutados para inversores multinivel. . . . .	8
2.6.	(a) Unidad 1 de SC. (b) carga en paralelo del capacitor C. (c) descarga del capacitor C conectado en serie a la fuente de alimentación. . . . .	8
2.7.	Modos de funcionamiento de la unidad SC bipolar. (a) Circuito principal. (b) Carga del capacitor para generar $0V_{dc}$ . (c) Conexión en paralelo del capacitor y su descarga para obtener el voltaje del dc-link negativo. (d) Descarga del capacitor para tener el voltaje del dc-link. . . . .	9
2.8.	Voltaje a la salida del inversor SC bipolar. . . . .	9
2.9.	(a) Topología SPSC unidad-I conectada en cascada a FB para generar cinco niveles de voltaje. (b) Voltaje a la salida del inversor. . . . .	10
3.1.	Partes principales de un convertidor CD-CA. . . . .	12
3.2.	Topología puente completo con IGBTs. . . . .	12
3.3.	(a) Topología de puente completo. (b) Flujo de corriente para generar el voltaje de la entrada a la salida del inversor. (c) Flujo de corriente para obtener el voltaje negativo de la entrada en la salida del inversor. . . . .	13
3.4.	Voltaje alterno a la salida del inversor FB. . . . .	13
3.5.	Señal de siete niveles de voltaje, óptimo para disminuir la THD. . . . .	14
3.6.	(a) Carga de capacitores en serie. (b) Carga de capacitores en paralelo. . . . .	14
3.7.	(a). Comparación entre tres señales directas y una señal triangular. (b) Salida del comparador para las tres señales. . . . .	15
3.8.	Modulación SPWM. (a) Comparación entre señales portadoras y moduladora. (b) Salida del comparador para controlar los interruptores. . . . .	15
3.9.	Inversor genérico con conexión a tierra común y conexión a la red. . . . .	16
3.10.	Circuito equivalente para corriente de modo común. . . . .	17
3.11.	Topología basada en CGT-SC de tres niveles. . . . .	18
3.12.	Topología basada en CGT-SC de dos niveles. . . . .	18

3.13. Topología basada en CGTI y SC-MLI. . . . .	18
4.1. Topología CVD-5L-SC basada en un divisor de voltaje para la carga de SCs. . . . .	20
4.2. Voltaje a la salida del inversor CVD-5L-SC. . . . .	20
4.3. Topología CGT-SC. . . . .	21
4.4. Voltaje ideal a la salida del inversor propuesto. . . . .	22
4.5. Formas de onda a la salida del inversor. (a) Voltaje a la salida del inversor. (b) Corriente bajo una carga resistiva-inductiva. . . . .	22
4.6. Voltaje en los capacitores del inversor. . . . .	23
4.7. Topología propuesta CGT-SCMLI-3C-6S. . . . .	23
4.8. Circuitos auxiliares de los estados de conmutación para generar los diferentes niveles de voltaje. (a) Proceso de carga de los capacitores para generar un voltaje a la salida $v_{AB} = V_{FV}$ . (b) Descarga del capacitor $C_1$ ; $v_{AB} = 0.5V_{FV}$ . (c) Proceso de carga de los capacitores; $v_{AB} = 0V_{FV}$ . (d) Descarga del capacitor $C_2$ ; $v_{AB} = -0.5V_{FV}$ . (e) Descarga del capacitor $C_3$ ; $v_{AB} = -V_{FV}$ . . . . .	24
4.9. Voltaje a la salida del inversor. . . . .	25
4.10. Señales de voltaje para determinar el cambio de sectores. . . . .	26
4.11. Capacitancias para diferentes potencias y voltajes de rizado en los capacitores. . . . .	27
4.12. Señales de interés en el inversor propuesto. (a) Voltaje PWM a la salida del inversor con una menor asimetría. (b) Voltajes de rizado para los capacitores conmutados $C_1$ y $C_2$ . (c) Voltaje de rizado en el capacitor conmutado $C_3$ . (d) Corriente a través del interruptor $S_1$ . . . . .	28
4.13. Topología final CGT-SCMIL-3S-6S con inductores de carga. . . . .	28
4.14. Circuito equivalente en la carga de los capacitores. . . . .	29
4.15. Circuito equivalente RCL. . . . .	29
4.16. Circuito simplificado sin la resistencia del interruptor. . . . .	30
4.17. Circuito para análisis de corriente. . . . .	30
4.18. Gráfica obtenida de la ecuación (4.8) con el software Matlab. . . . .	32
4.19. Corriente a través de la segunda rama RCL de la Figura 4.16. . . . .	32
4.20. Comportamiento de la corriente que pasa por $S_1$ . . . . .	33
4.21. Comportamiento de la corriente para distintas inductancias. . . . .	34
4.22. Corriente máxima en función de la impedancia. . . . .	34
4.23. Resultados de simulación. (a) Voltaje a la salida del inversor. (b) Voltaje en los capacitores $C_1$ y $C_2$ . (c) Voltaje del capacitor $C_3$ . (d) Corriente a través de $S_1$ . . . . .	35
5.1. Señales necesarias para la modulación SPWM. . . . .	38
5.2. Pulsos digitales para el control de los interruptores. . . . .	39
5.3. Tipos de señales portadora generadas con el bloque ePWM. . . . .	40
5.4. Señal portadora generada internamente por el bloque ePWM. . . . .	41
5.5. Señales para el interruptor $S_3$ . (a) Comparación de la señal portadora y la señal de referencia. (b) Señal digital de control para el IGBT. . . . .	41
5.6. Pulsos de control para los seis interruptores. . . . .	42
5.7. Pulsos de control con tiempos muertos. (a) para el sector I. (b) para el sector II. (c) para el sector III. (d) para el sector IV. . . . .	44

6.1.	Centro de control de Typhoon HIL System. . . . .	46
6.2.	Apariencia del bloque IGBT Leg en Typhoon. . . . .	47
6.3.	Apariencia del separador de núcleos. . . . .	47
6.4.	Implementación de la topología en Typhoon. . . . .	48
6.5.	Señales digitales durante cinco periodos de la frecuencia fundamental. . . . .	49
6.6.	Voltaje a la salida del inversor para una potencia de 1 kW. . . . .	49
6.7.	Corriente a la salida del inversor para una potencia de 1 kW. . . . .	50
6.8.	Señales de voltaje y corriente a la salida del inversor. . . . .	50
6.9.	Voltaje y corriente a la salida del inversor y voltaje en los capacitores $C_1$ , $C_2$ y $C_3$ . . . . .	51
6.10.	Banco de pruebas para la emulación del inversor con Typhoon. . . . .	51
7.1.	Circuito driver y aislamiento de interruptores. . . . .	54
7.2.	Comparativa entre señales a la salida del DSP y señales de disparo. (a) para el interruptor $S_1$ . (b) $S_2$ . (c) $S_3$ . (d) $S_4$ . (e) $S_5$ . (f) $S_6$ . . . . .	55
7.3.	Circuito esquemático en Altium Designer. . . . .	56
7.4.	Aspecto de la PCB en 3D. . . . .	56
8.1.	Ventana del módulo térmico para agregar dispositivos. . . . .	59
8.2.	Cuadro de dialogo para agregar a la base de datos de las características eléctricas de los semiconductores. (a) IGBT FGH60N60SMD. (b) Diodo C4D15120A. . . . .	60
8.3.	Apariencia de un diodo discreto del módulo térmico. . . . .	61
8.4.	Ejemplo para la medición de pérdidas de un diodo en un convertidor buck. . . . .	61
8.5.	Apariencia de un IGBT discreto del módulo térmico. . . . .	62
8.6.	Distribución de pérdidas para los diodos. . . . .	63
8.7.	Distribución de pérdidas para los interruptores. . . . .	63
8.8.	Curva de eficiencia del inversor propuesto en esta tesis. . . . .	64
9.1.	Banco de pruebas de laboratorio. . . . .	66
9.2.	Voltaje multinivel a la salida del inversor propuesto. . . . .	67
9.3.	Corriente a la salida del inversor. . . . .	67
9.4.	Señales de voltaje y corriente a la salida del inversor. . . . .	68
9.5.	Voltaje de los capacitores conmutados $C_1$ y $C_2$ . . . . .	68
9.6.	Voltaje del capacitor conmutado $C_3$ . . . . .	69
9.7.	Corriente de la fuente y del capacitor de dc-link. . . . .	69
9.8.	Voltajes entre colector-emisor de los interruptores. (a) Para el interruptor $S_1$ , $V_{CE1_{max}} = V_{FV}$ . (b) Para $S_2$ , $V_{CE2_{max}} = V_{FV}$ . (c) Para el interruptor $S_3$ , $V_{CE4_{max}} = 0.5V_{FV}$ . (d) Para el interruptor $S_4$ , $V_{CE4_{max}} = V_{FV}$ . (e) Para el interruptor $S_5$ , $V_{CE5_{max}} = V_{FV}$ . (f) Para $S_6$ , $V_{CE6_{max}} = V_{FV}$ . . . . .	70

# ÍNDICE DE TABLAS

4.1. Conmutación de los interruptores para CGT-SC. . . . .	21
4.2. Conmutación de los interruptores para los niveles de voltaje. . . . .	25
4.3. Valores de voltaje de rizo a diferentes potencias. . . . .	36
4.4. Corrientes máximas en función del voltaje de rizo. . . . .	36
5.1. Ecuaciones lógicas y circuitos equivalentes para obtener pulsos de control de los interruptores. . . . .	39
5.2. Señales de referencia para los interruptores en función de $S_3$ . . . . .	42
6.1. Parámetros de emulación. . . . .	48
9.1. Parámetros del prototipo de inversor. . . . .	66
9.2. Mediciones de las señales eléctricas. . . . .	71
10.1. Resumen del análisis comparativo entre topologías similares. . . . .	73



# **CAPÍTULO 1. INTRODUCCIÓN**

---

Uno de los desafíos de las últimas décadas es encontrar fuentes alternativas a las energías derivadas de restos fósiles, por ello, científicos de todo el mundo proponen que para el año 2050 exista un mundo libre de energías fósiles [1]. Cuando se habla de erradicar las energías fósiles, las energías renovables como la eólica, biomasa y fotovoltaica juegan un papel importante para su sustitución.

En México solo el 23% de la energía no proviene de las energías fósiles. La alta demanda energética se convierte en problemas ecológicos derivado a las emisiones de gases de efecto invernadero. El sol es capaz de generar radiación solar para suministrar el doble de energía que con fuentes fósiles [2]. Además, México tiene radiaciones solares promedio entre 5.5 y 6 [ $\frac{kWh}{m^2 \text{ día}}$ ], mientras que China recibe un promedio de radiación solar entre 4 y 4.5 [ $\frac{kWh}{m^2 \text{ día}}$ ], estos datos son brindados por el Laboratorio Nacional de Energías Renovables (NREL por sus siglas en inglés) a través de su explorador RExplorer [3]. En la Figura 1.1(a) y Figura 1.1(b) se muestra el mapa que demuestra la incidencia solar tanto en México y China respectivamente. Esto se puede interpretar que el posicionamiento geográfico de México tiene ventajas sobre China para un mejor aprovechamiento de la energía solar.

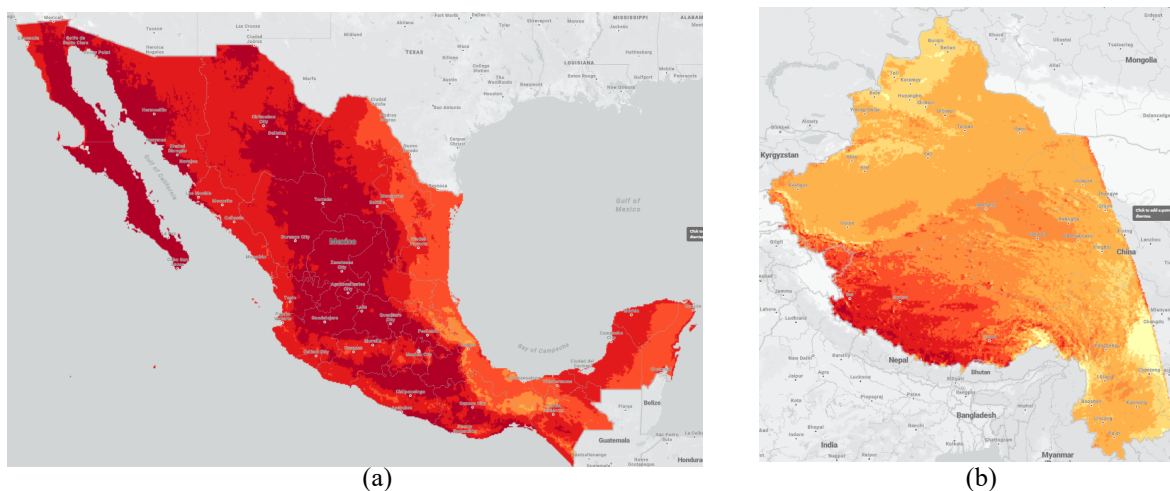


Figura 1.1: Radiación solar en (a) México y (b) China.

Los sistemas fotovoltaicos (FV) se han popularizado en la última década con la visión de contribuir a la reducción de gases de efecto invernadero. Los convertidores de CD-CA son una etapa importante en la operación de estos sistemas por lo que se busca que sean poco costosos, eficientes, confiables y con características eléctricas que cumplan con las normativas, actualmente en México no hay alguna normativa que permita la conexión a la red eléctrica sin protección galvánica de acuerdo con las especificaciones de Comisión Federal de Electricidad (CFE) por medio de la norma CFE G0100-04 [4].

La energía solar fotovoltaica es una de las fuentes de energía más limpias, fáciles y ampliamente disponibles en todo el mundo [5]. Países como EUA, Alemania, China, Japón, Australia, Francia, Italia y España, han comenzado a cosechar los beneficios a través de una mayor adopción e integración de este sistema en la red eléctrica (Figura 1.2) [6].

## Instalación Fotovoltaica Total

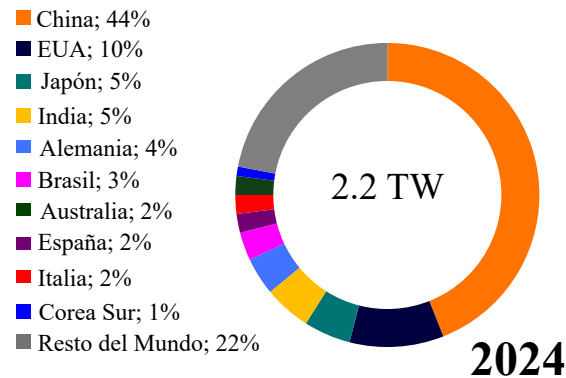


Figura 1.2: Capacidad acumulada de sistemas fotovoltaicos.

Cuando se trabaja con sistemas FV, la eficiencia es la parte donde se concentran las mejoras e investigaciones ya que, los paneles FV tienen eficiencias relativamente bajas. Esto depende principalmente del material y temperatura de los paneles fotovoltaicos [7], cuando la temperatura aumenta en la superficie de los paneles, la potencia producida disminuye. Actualmente se abrió una nueva línea de investigación de sistemas de enfriamiento en la superficie de los paneles fotovoltaicos, ya que en condiciones ideales de 25°C, los paneles llegan a su mayor punto de eficiencia de entre 6%-25% [8].

En países con un alto aprovechamiento de la energía solar, existen regulaciones y normas que permiten la conexión de inversores fotovoltaicos a la red eléctrica sin necesidad de una protección galvánica (transformador), misma que reduce las eficiencias del sistema de conversión de la energía hasta en un 60% [6]. Los sistemas fotovoltaicos conectados a la red sin transformador presentan eficiencias cercanas al 100%, sin embargo, se produce una corriente de fuga de modo común por las fluctuaciones de voltaje en el capacitor parásito que se genera en el marco del panel solar, dicha corriente es de riesgo para un operador ya que al contacto con el marco del panel solar se puede producir una descarga eléctrica. La solución de la corriente de fuga de modo común es realizar una conexión entre en negativo de la fuente fotovoltaica y el neutro de la red eléctrica, con dicha conexión se garantiza la mitigación por completo de la corriente.

La propuesta de este trabajo de tesis es atender principalmente el problema de la baja eficiencia en la conversión de la energía en sistemas fotovoltaicos y mitigar problemas de seguridad cuando no se utiliza un aislamiento galvánico, mediante una nueva topología multinivel y con una conexión de tierra común y capacitores conmutados. La topología propuesta se basa en otras dos topologías encontradas en la literatura pero presentan problemas de altas corrientes a través de los interruptores y un desbalance en el voltaje de los capacitores conmutados; con el diseño de la nueva topología se reducen las corrientes en los interruptores y se disminuye el desbalance en el voltaje de los capacitores, generando una mejora en sus características eléctricas.

**CAPÍTULO 2.**  
**ESTADO DEL ARTE Y DE LA TÉCNICA**

---

## 2.1. Revisión del Estado del Arte

En los sistemas fotovoltaicos conectados a la red existen dos tipos: con o sin transformador; y aquellos con transformador se dividen en dos: de baja y alta frecuencia [9]. El uso de un transformador de baja frecuencia aumenta costo y robustez, este problema se soluciona usando un transformador de alta frecuencia, pero con ambos transformadores la eficiencia baja drásticamente, por eso se busca el uso de inversores sin transformador, el costo es proporcional a la eficiencia por tal motivo se buscan en los sistemas fotovoltaicos altas eficiencias [6].

En un inversor sin transformador, su eficiencia oscila entre el 96% y 99% [10], pero existen problemas como la corriente de fuga a tierra que de acuerdo a las normas DIN VDE V 0-126-1-1 e IEC 62109-2 establecen que la corriente debe ser inferior a 300 mA [5], para el caso de china son aún más restrictivas ya que solo se permiten porcentajes del 1% y 0.5% de la corriente nominal [5]. Para eliminar la corriente de fuga a tierra o corriente de modo común (MC), se proponen topologías (H5, híbrida, H6 y HERIC) [11]. Otras formas para eliminar la corriente de fuga de MC, involucran el uso de técnicas de modulación o con la técnica de conexión de tierra común (CGC) [12]. Esta última técnica reduce a cero la corriente, por medio de una conexión entre el negativo de la fuente fotovoltaica y el neutro de la red eléctrica. En [13] proponen un método para generar inversores basadas en CGC y convertidores bidireccionales.

Otra forma de aprovechar las eficiencias en los inversores es mejorando sus características eléctricas a la salida del inversor, para ello se introducen inversores multinivel (MLI) que cumplen con el objetivo de reducir la distorsión armónica total (THD) en la señal de voltaje a la salida del inversor. Por lo regular se utilizan topologías de puente completo (FB) en cascada para obtener tres o más niveles de voltaje. En [14], [15], [16] se presentan inversores de tres niveles usando inversores FB en cascada, algunos inversores de cinco niveles se presentan en [17], [18], [19], y también hay inversores de más niveles utilizando FB en cascada. Pero al hacer uso de estas topologías aumenta el número de interruptores lo cual genera pérdidas mayores por conducción y conmutación en el inversor [20].

Algunas de las topologías que en la actualidad se utilizan son los inversores multinivel con capacitores conmutados (SC-MLI), pero este tipo de inversores presentan problemas como el desbalance en el voltaje de los capacitores, además, si se desea utilizar altos voltajes, se necesitan grandes capacitancias y con ello se necesitan corrientes grandes para la carga de los capacitores [21]. Las topologías presentadas en [22] y [23] evitan un desbalance en el voltaje de los capacitores utilizando la fuente de voltaje de entrada para generar algunos niveles de voltaje, por ejemplo, si se quiere obtener  $3/2V_{in}$ , se conecta la fuente de voltaje en serie a un capacitor cargado a la mitad del voltaje y así evitar que el capacitor suministre toda la corriente a la carga del inversor. Por otro lado, en [24] presenta una topología en donde el voltaje de los capacitores se equilibran por la naturaleza de la topología. Los problemas de la alta demanda de corriente a través de los interruptores por la carga y descarga de los capacitores se pueden solucionar con un inductor pequeño conectado en la línea de carga de los capacitores [25] y [26].

## 2.2. Revisión del Estado de la Técnica

En [27] se presentan treinta topologías SC-MLI para cinco, siete, nueve y N niveles de voltaje, ocho de esas topologías son de cinco niveles. La topología propuesta en [28] consta de nueve semiconductores, un capacitor y una fuente de CD, esta topología no presenta desbalance en el voltaje de los capacitores, en la Figura 2.1(a), se presenta la topología junto a los estados de conmutación para generar los cinco niveles de voltaje (Figura 2.1(b)).

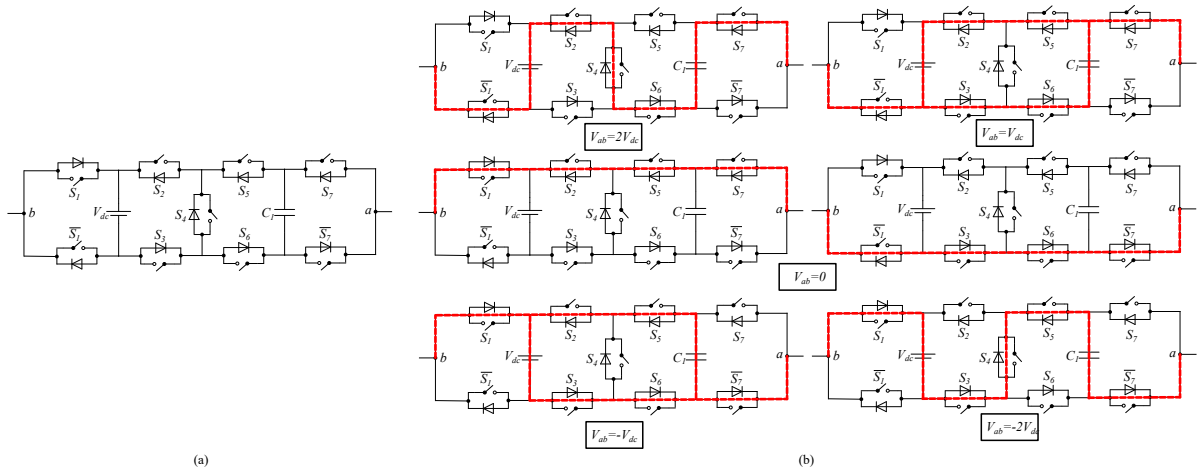


Figura 2.1: (a) Topología FB en cascada para cinco niveles. (b) Estados de conmutación para la generación de los cinco niveles de voltaje.

En [27] también se presenta una topología basada en SC-MLI con solo seis semiconductores controlables, dos semiconductores no controlables, dos capacitores y solo una fuente de alimentación, esta topología tiene un autoequilibrio de voltaje en los capacitores, ya que su carga y descarga es simultanea, en la Figura 2.2(a) se muestra la topología propuesta en [29], el voltaje del inversor se presenta en la Figura 2.2(b).

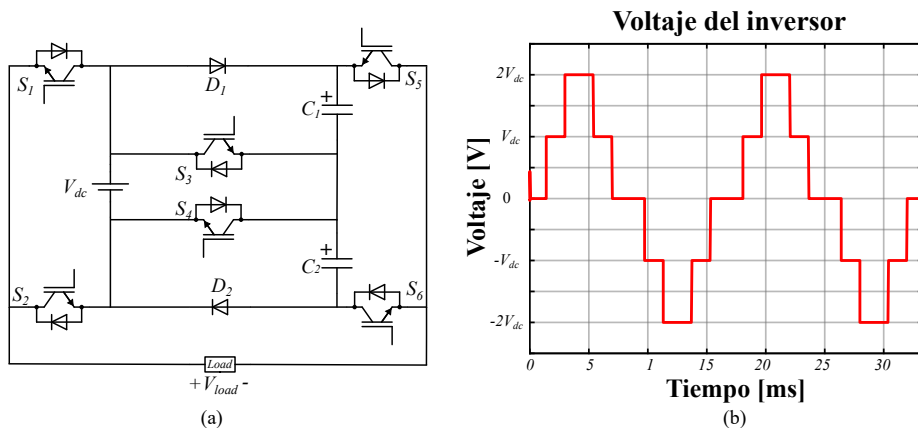


Figura 2.2: (a) Topología SC-MLI con autoequilibrio en el voltaje de los capacitores. (b) Señal de voltaje a la salida del inversor.

La topología presentada en [30] genera los niveles de voltajes negativos por medio de cuatro diodos y un MOSFET los cuales tienen la función de conectar el positivo de la fuente al negativo de la carga (Figura 2.3). La configuración de diodos y MOSFET se implementa con el fin de evitar el uso de interruptores bidireccionales. Además el voltaje en los capacitores es utilizado para duplicar el voltaje a la salida y así poder generar niveles de potencia más altos.

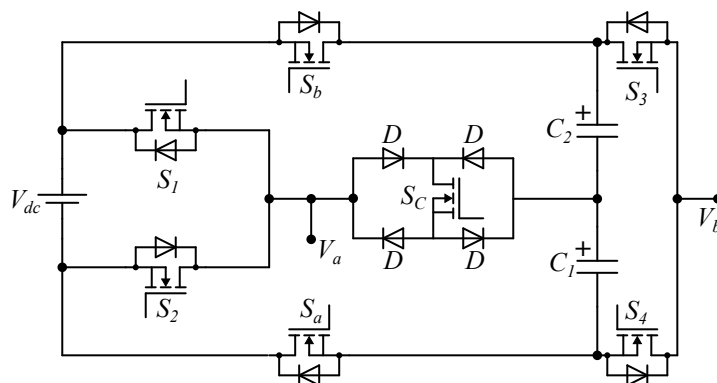


Figura 2.3: Topología con arreglo de diodos para una corriente bidireccional.

En [31] se propone una topología FB en cascada y capacitores conmutados, con el fin de generar niveles de voltaje múltiplos del voltaje de la fuente a la salida del inversor (Figura 2.4). Esta topología tiene la desventaja de utilizar doce interruptores y cuatro SCs, sin embargo, el voltaje a la salida del inversor presenta buenas características eléctricas como una excelente simetría.

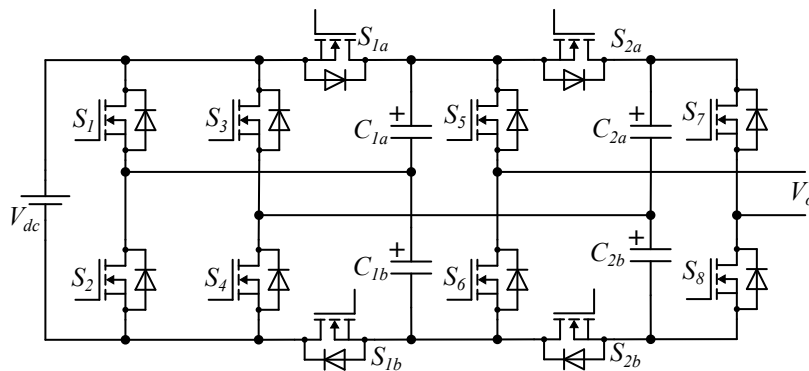


Figura 2.4: Topología FB en cascada para siete niveles.

En la Figura 2.5, se muestra la categorización de las topologías SC-MLI analizadas en [21]: Unidad de Capacitores Conmutados en Serie-Paralelo (SPSC por sus siglas en inglés), Unidad SC duplicador de voltaje, Unidad SC de medio modo, Unidad SC triplicador de voltaje y la Unidad SC bipolar.

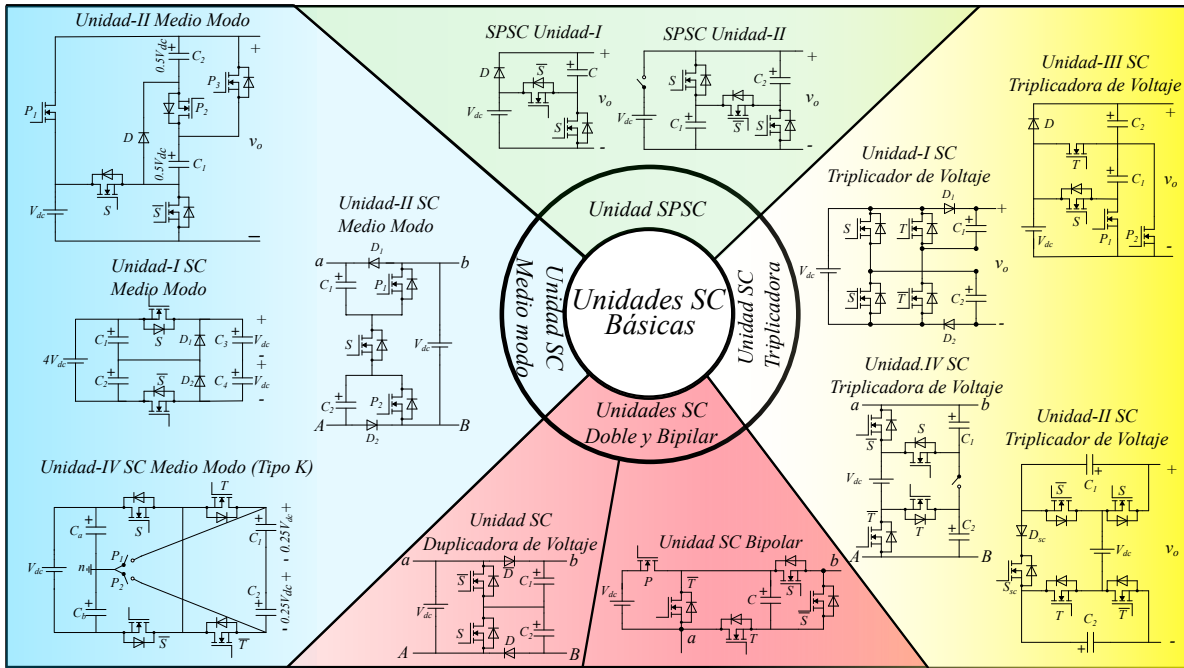


Figura 2.5: Categorización de las unidades de capacitores conmutados para inversores multinivel.

Para la Unidad-I de las topologías SPSC se tienen como elementos un capacitor, un diodo, y dos interruptores (MOSFET), además de la fuente de voltaje, también se puede observar en la Figura 2.6(a) que los interruptores son complementarios, es decir cuando uno permanece abierto el otro está cerrado y viceversa. En la Figura 2.6(b) se muestra la carga del capacitor dado que la salida del inversor se conecta en paralelo a la fuente de entrada se logra un voltaje igual tanto en la entrada como en la salida. En la Figura 2.6(c) se muestra la descarga del capacitor para duplicar el voltaje en la salida del inversor dado que la fuente  $V_{dc}$  y el capacitor (que inicialmente se carga al voltaje de la fuente) se conectan en serie.

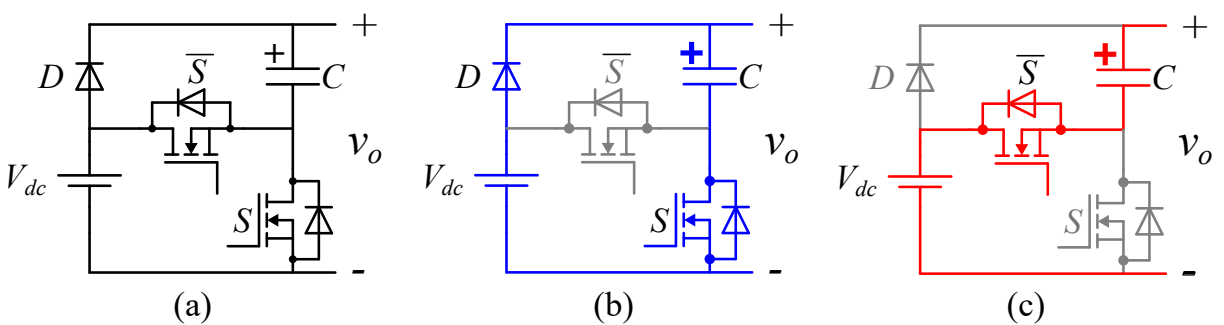


Figura 2.6: (a) Unidad 1 de SC. (b) carga en paralelo del capacitor C. (c) descarga del capacitor C conectado en serie a la fuente de alimentación.

La Unidad de SC bipolar genera tres niveles de voltaje  $0V_{dc}$ ,  $V_{dc}$ , y  $-V_{dc}$  con cinco interruptores y un capacitor. En la Figura 2.7(a) se muestra el aspecto del inversor, en la Figura 2.7(b) se muestra la carga en paralelo del capacitor  $C$  y la carga se desconecta para generar un voltaje de cero a la salida del inversor ( $v_{ab} = 0V_{dc}$ ), para el nivel de voltaje positivo  $v_{ab} = V_{dc}$  se desconecta el dc-link y se descarga el capacitor como se muestra en la Figura 2.7c y finalmente, en la Figura 2.7d la salida del inversor se conecta al revés para generar el nivel de voltaje negativo ( $v_{ab} = -V_{dc}$ ).

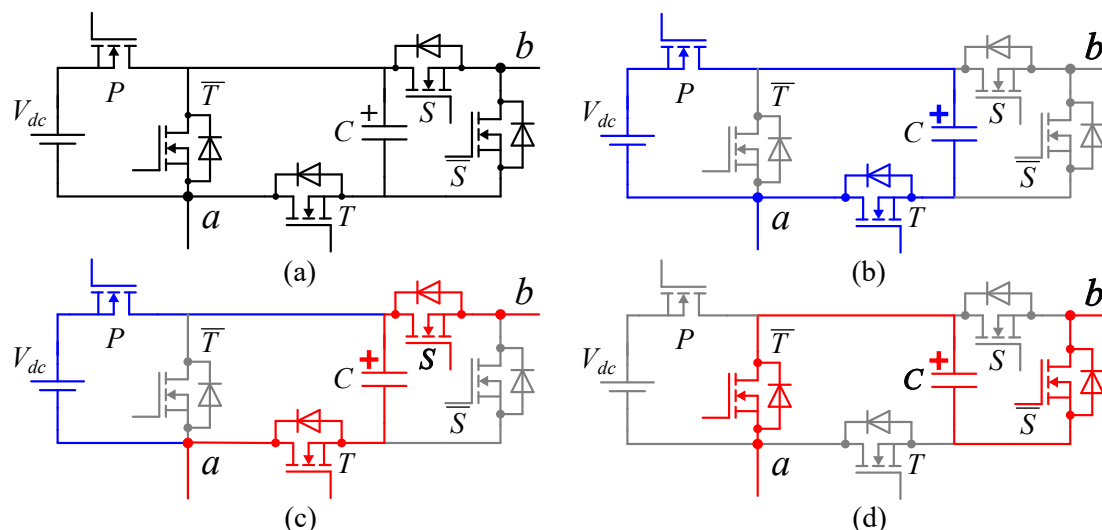


Figura 2.7: Modos de funcionamiento de la unidad SC bipolar. (a) Circuito principal. (b) Carga del capacitor para generar  $0V_{dc}$ . (c) Conexión en paralelo del capacitor y su descarga para obtener el voltaje del dc-link negativo. (d) Descarga del capacitor para tener el voltaje del dc-link.

El voltaje entre las terminales a y b del inversor se muestra en la Figura 2.8, en ella se pueden observar los tres niveles de voltaje con una frecuencia de conmutación baja (60 Hz) para visualizar mejor los niveles de voltaje.

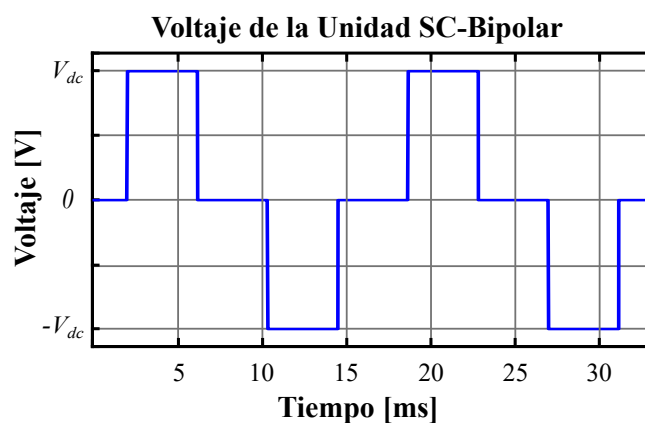


Figura 2.8: Voltaje a la salida del inversor SC bipolar.

La topología SPSC unidad-I que se muestra en la Figura 2.5 se puede conectar en cascada para generar cinco niveles de voltaje, en la Figura 2.9(a) se presenta una modificación de la topología analizada en [32] y en la Figura 2.9(b) se muestran el voltaje a la salida del inversor para un voltaje de entrada  $V_{dc} = 200V$  y una modulación SPWM con las señales portadoras en fase, es importante mencionar que esta topología no presenta desbalance en el voltaje de los capacitores, esto se logra con tres semiconductores controlables para la generación de voltajes positivos y cuatro semiconductores controlables más para los voltajes negativos conectados en FB.

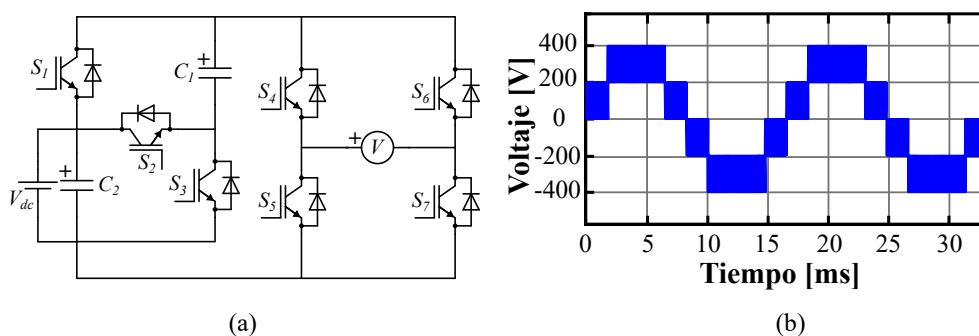


Figura 2.9: (a) Topología SPSC unidad-I conectada en cascada a FB para generar cinco niveles de voltaje. (b) Voltaje a la salida del inversor.

## **CAPÍTULO 3. MARCO TEÓRICO**

---

### 3.1. Convertidores de corriente directa a corriente alterna CD-CA

Los convertidores CD-CA o simplemente inversores, son elementos claves a la hora de transformar la energía eléctrica proveniente por lo regular de sistemas renovables. Los inversores están compuestos por tres partes principales: alimentación o dc-link o bus de cd, el propio inversor y una carga, la cual puede ser resistiva  $R$ , inductiva  $L$ , capacitiva  $C$  o cualquier combinación entre ellas. En la Figura 3.1 se muestra la estructura de un inversor.

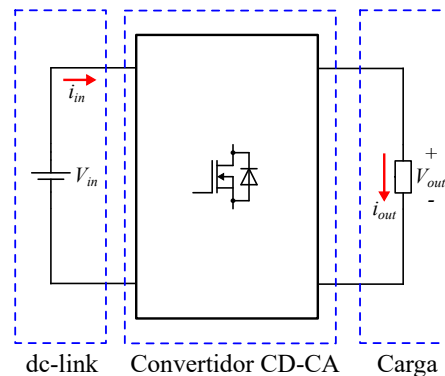


Figura 3.1: Partes principales de un convertidor CD-CA.

El convertidor está formado principalmente por semiconductores controlables (MOS-FETs o IGBTs), capacitores y semiconductores no controlables (diodos). Existen muchas formas de conectar dichos componentes, pero todos lo hacen con un objetivo, que es pasar de una señal directa a una señal alterna. Se dice que una señal directa es aquella que permanece constante conforme el tiempo avanza y se le llama a una señal alterna cuando el área bajo la curva de la función que describe la señal es igual a cero. Al acomodo de los componentes que en conjunto transforman de CD-CA se les llama *topologías*.

Hay una gran cantidad de topologías en la actualidad, pero la topología más simple es la FB (Full Bridge) o HB (H Bridge) por sus siglas en inglés, que se muestra en la Figura 3.2, la cual sirve para explicar el principio de funcionamiento de un inversor.

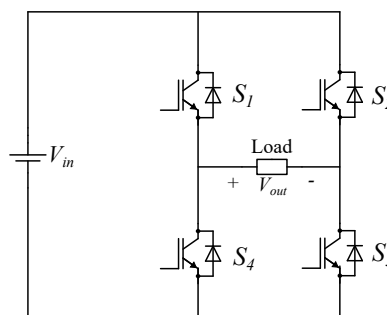


Figura 3.2: Topología puente completo con IGBTs.

Para facilitar la explicación, en la figura anterior, los semiconductores se cambiaron por simples interruptores que es la función ideal de los semiconductores. Cuando todos los interruptores están abiertos el voltaje a la salida del inversor es cero ya que no fluye corriente a través de la carga. Para lograr que el voltaje en la carga sea igual al voltaje del dc-link (Figura 3.3(b)) el positivo del dc-link se conecta al lado izquierdo de la carga, esto pasa cuando los interruptores  $S_1$  y  $S_3$  están cerrados y los interruptores  $S_2$  y  $S_4$  permanecen abiertos. En la Figura 3.3(c) se muestra cuando  $V_{out} = -V_{in}$  esto pasa cuando  $S_1$  y  $S_3$  permanecen abiertos y los interruptores  $S_2$  y  $S_4$  están cerrados.

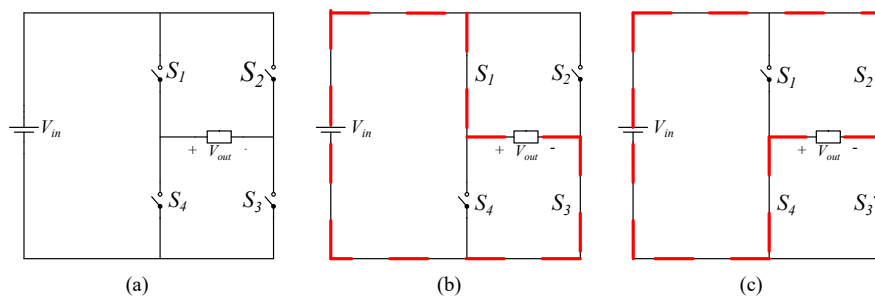


Figura 3.3: (a) Topología de puente completo. (b) Flujo de corriente para generar el voltaje de la entrada a la salida del inversor. (c) Flujo de corriente para obtener el voltaje negativo de la entrada en la salida del inversor.

Al momento se hacer la conmutación entre el estado 1 ( $S_1$  y  $S_3$  están en ON y  $S_2$  y  $S_4$  están en OFF) y el estado 2 ( $S_2$  y  $S_4$  están en ON y  $S_1$  y  $S_3$  están en OFF), genera un voltaje alterno con una frecuencia de conmutación de 15 kHz en los semiconductores, el cual se puede ver en la Figura 3.4.

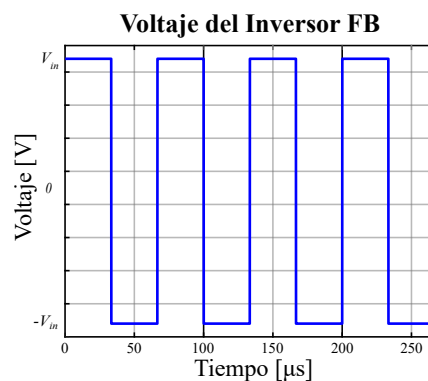


Figura 3.4: Voltaje alterno a la salida del inversor FB.

## 3.2. Inversores Multinivel (MLI)

Los inversores multinivel se utilizan en casos en donde se necesita mejorar la distorsión armónica total THD de la señal de voltaje, para el caso del inversor puente completo, los niveles de voltaje que se obtienen son dos ( $\pm V_{in}$ ), los MLI tienen tres o más niveles de voltaje, en la Figura 3.5 se muestra una señal de voltaje multinivel de siete niveles.

Cada nivel de voltaje presentado en un inversor multinivel representa una fracción o un múltiplo del dc-link, por ejemplo, el nivel 4 de la Figura 3.5 representa el 0V y el nivel 3 puede representar  $V_{in}$ ,  $V_{in}/2$  o  $2V_{in}$ , esto depende directamente de configuración de la topología. Estos voltajes pueden obtenerse colocando topologías de puente completo en cascada solo por dar un ejemplo porque existen más topologías de inversores multinivel.

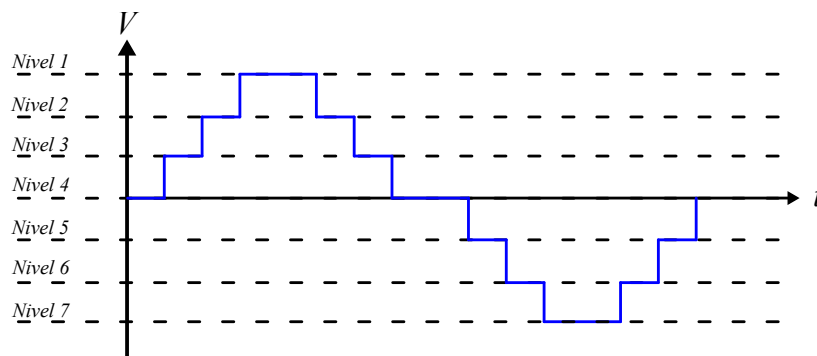


Figura 3.5: Señal de siete niveles de voltaje, óptimo para disminuir la THD.

### 3.3. Inversores Multinivel con Capacitores Conmutados (SC-MLI)

De la necesidad de hacer más eficientes los inversores multinivel, surgen los SC-MLI introducidos desde la década de los 80 [33], los cuales consisten en cargar y descargar capacitores en serie y/o paralelo. Cuando se tienen capacitores conectados en serie y se cargan en paralelo a una fuente de voltaje, los capacitores se cargan a la mitad de la fuente, como se muestra en la Figura 3.6(a) y cuando los capacitores se conectan en paralelo y se cargan en paralelo a la fuente, el voltaje en los capacitores es el de la fuente como se muestra en la Figura 3.6(b).

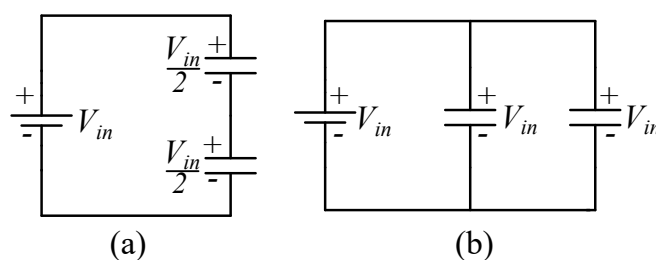


Figura 3.6: (a) Carga de capacitores en serie. (b) Carga de capacitores en paralelo.

### 3.4. Técnicas de modulación

Dado que los interruptores idealmente requieren de una señal digital para permanecer abiertos o cerrados, es necesario controlarlos, para ello se usan técnicas de modulación como la modulación por ancho de pulso PWM y la modulación SPWM. La modulación PWM consta en la comparación de una señal triangular y una señal invariante en el tiempo (señal directa), cuando la señal triangular toma valores mayores a la señal directa, a la salida del comparador se genera un “uno” lógico; y cuando la señal triangular toma valores menores a la señal directa, la salida del comparador genera un “cero” lógico. En la Figura 3.7(a) se muestra la comparación entre ambas señales y las señales de la salida del comparador se muestra en la Figura 3.7 (b).

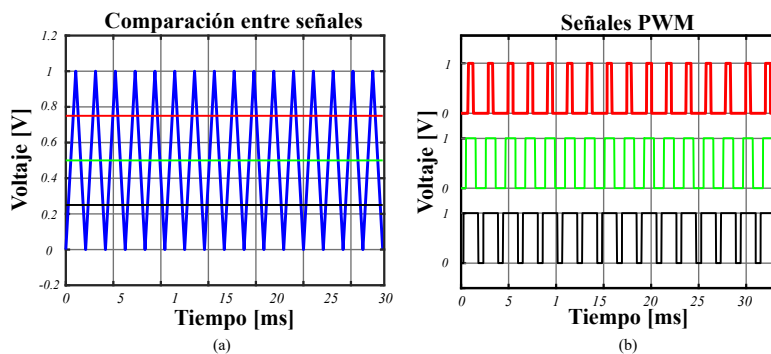


Figura 3.7: (a). Comparación entre tres señales directas y una señal triangular. (b) Salida del comparador para las tres señales.

La modulación SPWM consta de la comparación entre una señal senoidal (señal moduladora) y una o varias señales triangulares (señales portadoras), las señales portadoras pueden estar en fase o desfasadas un cierto ángulo  $\theta$  y con un offset en cada una de ellas. En la Figura 3.8(a) se muestran la comparación SPWM y la salida del comparador entre la señal moduladora y cuatro señales portadoras se muestra en la Figura 3.8 (b).

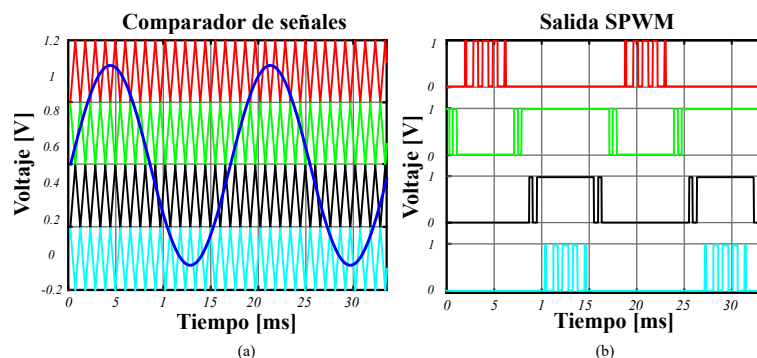


Figura 3.8: Modulación SPWM. (a) Comparación entre señales portadoras y moduladora. (b) Salida del comparador para controlar los interruptores.

### 3.5. Inversores con conexión de tierra común

Estos inversores son utilizados principalmente para inversores sin transformador y en aplicaciones fotovoltaicas por sus altas eficiencias, y con un peso y costo bajos. El grupo de topologías de inversores de tipo conexión a tierra común (CGCTI por sus siglas en inglés) consiste en la conexión del negativo de la fuente fotovoltaica con el neutro de la red. Con esto se elimina la corriente de fuga de modo común ( $i_{CM}$ ) que se genera por la capacitancia no despreciable parásita (50-150 nF) que se crea entre el panel fotovoltaico y el marco del mismo [34].

Esta corriente se genera por fluctuaciones en el voltaje de modo común (CMV), lo cual genera distorsión en la corriente de red, pérdidas adicionales y sobre todo problemas de seguridad [35], es por eso que en los últimos años el estudio para la eliminación de esa corriente ha crecido, resultando esta técnica de conexión de tierra común y modulaciones una solución para la mitigación y/o eliminación de la corriente de modo común.

Sin embargo estas topologías presentan problemas al generar niveles de voltaje negativos ya que el voltaje de la fuente no puede conectarse de manera inversa a la carga por la conexión entre el neutro y el negativo de la fuente, para solucionar este problema se introducen capacitores conmutados para que funcionen como fuentes aisladas y generar niveles de voltaje intermedios [36].

#### 3.5.1. Mitigación de corriente de modo común con conexión a tierra común

Para demostrar que la corriente de modo común se elimina en inversores con conexión a tierra común se utiliza la Figura 3.9, donde se muestra un inversor conectado a la red sin transformador, donde  $L_1$  y  $L_2$  son inductores de filtro para la conexión a la red,  $C_{PV}$  es la capacitancia parásita del panel solar.

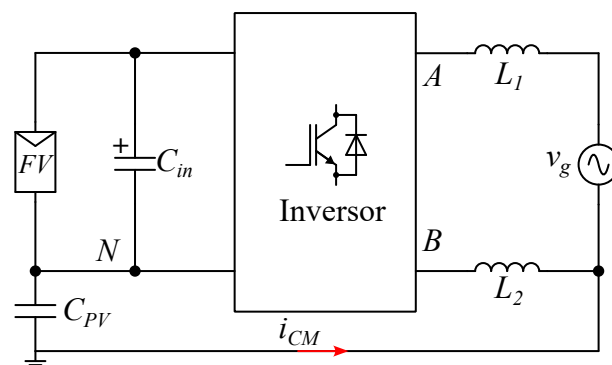


Figura 3.9: Inversor genérico con conexión a tierra común y conexión a la red.

Considerando el voltaje del punta  $A$  al punto neutro  $N$  y el voltaje del punto  $B$  al neutro, se puede calcular el voltaje de modo común por medio de la ecuación (3.1), que por definición es el promedio de los voltajes a la salida del inversor medidos desde tierra ( $v_{AN}$  y  $v_{BN}$ ).

$$v_{CM} = \frac{v_{AN} + v_{BN}}{2} \quad (3.1)$$

El voltaje  $v_{AB}$  se define como el voltaje a la salida del inversor, que también es el voltaje de modo diferencial  $v_{DM}$ , descrito por (3.2).

$$v_{DM} = v_{AN} - v_{BN} = v_{AB} \quad (3.2)$$

Resolviendo las ecuaciones (3.1) y (3.2), se pueden encontrar expresiones de los voltaje medidos desde tierra.

$$v_{AN} = v_{CM} + \frac{v_{DM}}{2} \quad (3.3)$$

$$v_{BN} = v_{CM} - \frac{v_{DM}}{2} \quad (3.4)$$

Sustituyendo los voltajes  $v_{AN}$  y  $v_{BN}$  en la Figura 3.9 en función de voltajes de modo común y modo diferencial se obtiene el circuito mostrado en la Figura 3.10.

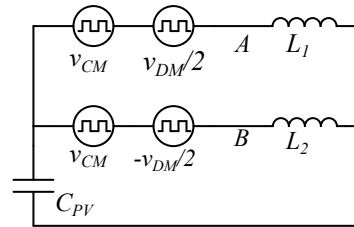


Figura 3.10: Circuito equivalente para corriente de modo común.

Debido a que el voltaje  $C_{PV}$  está definido por el voltaje de las dos ramas, se puede encontrar el modelo equivalente de Thevenin, donde la inductancia equivalente es la inductancia en paralelo entre ambos inductores y la fuente equivalente está definida por las fuentes y las inductancias en serie, obteniendo el voltaje de Thevenin  $v_{TCM}$ .

$$v_{TCM} = v_{AN} \frac{L_2}{L_1 + L_2} + v_{BN} \frac{L_1}{L_1 + L_2} \quad (3.5)$$

Sustituyendo las ecuaciones (3.3) y (3.4) en (3.5).

$$v_{TCM} = v_{CM} + \frac{v_{DM}(L_2 - L_1)}{2(L_1 + L_2)} \quad (3.6)$$

Considerando el peor de los casos, el inductor en la rama B se considera cero, es decir, que  $v_{TCM} = v_{BN}$  y como el punto B se conecta a N, entonces el voltaje  $v_{TCM} = 0$ . Esto es equivalente a que el capacitor  $C_{PV}$  esté directamente en cortocircuito. Por lo tanto, la corriente CM de este tipo de inversor, el llamado inversor CGT, se puede eliminar por completo en teoría.

### 3.5.2. Topologías de tipo tierra común con capacitores conmutados (CGT-SC)

La topología presentada en [37] se muestra en la Figura 3.11, la cual utiliza la técnica de conexión a tierra común para generar tres niveles de voltaje por medio de cinco interruptores controlados y un capacitor conmutado.

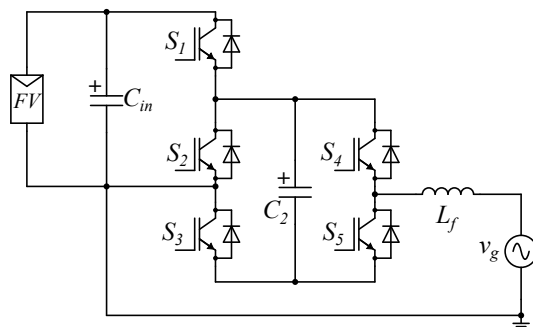


Figura 3.11: Topología basada en CGT-SC de tres niveles.

En la Figura 3.12 se muestra una topología de dos niveles con un filtro LCL presentada en [38].

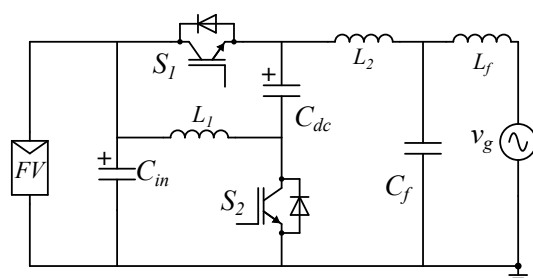


Figura 3.12: Topología basada en CGT-SC de dos niveles.

La topología que se muestra en la Figura 3.13 consta de cinco semiconductores controlables, cinco semiconductores no controlables y dos capacitores conmutados que en conjunto generan una salida de voltaje de cinco niveles  $0V_{FV}$ ,  $\pm 0.5V_{FV}$  y  $\pm V_{FV}$ .

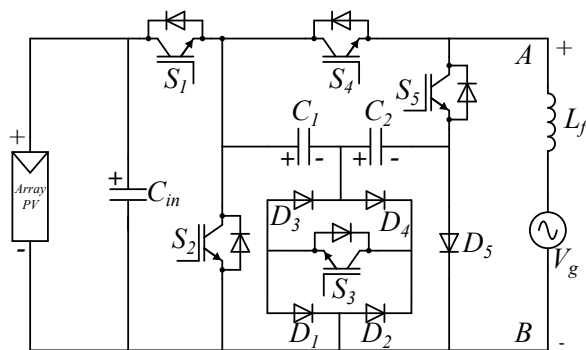


Figura 3.13: Topología basada en CGTI y SC-MLI.

# **CAPÍTULO 4.**

## **DISEÑO DE LA TOPOLOGÍA**

---

## 4.1. Topología CVD-5L-SC

Este trabajo de tesis propone una topología multinivel de cinco niveles con capacitores conmutados y con conexión de tierra común. La topología que se presenta en [25] (CVD-5L-SC) se muestra en la Figura 4.1, esta topología genera cinco niveles de voltaje a su salida, utiliza un divisor de voltaje con capacitores conmutados y conexión de tierra común. Consta de cuatro interruptores  $S_1$ ,  $S_2$ ,  $S_4$  y  $S_5$ , un interruptor bidireccional  $S_3$ , un diodo y una fuente de alimentación. Debido a que los SCs están conectados en serie, permite que los interruptores modifiquen ese arreglo y conecten ya sea ambos o solo uno de los capacitores en paralelo a la carga.

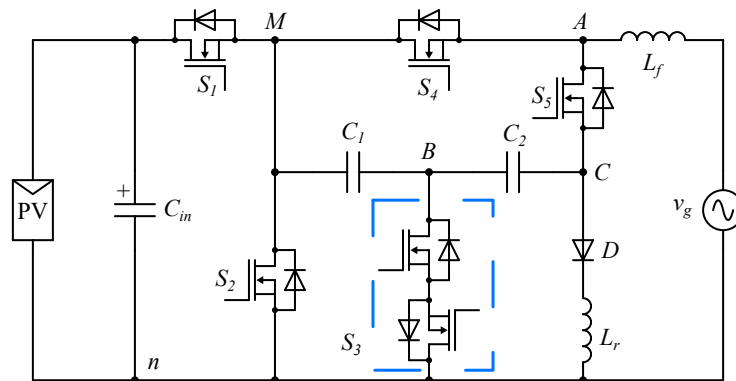


Figura 4.1: Topología CVD-5L-SC basada en un divisor de voltaje para la carga de SCs.

La topología presenta un desbalance en el voltaje de los capacitores, utilizando el software PSIM se obtiene el voltaje a la salida del inversor como se muestra en la Figura 4.2 (para un voltaje de entrada  $V_{PV} = 400$  V). La razón del desbalance es porque no existen dos estados de conmutación que generen voltajes negativos sin que exista un proceso de carga en los capacitores.

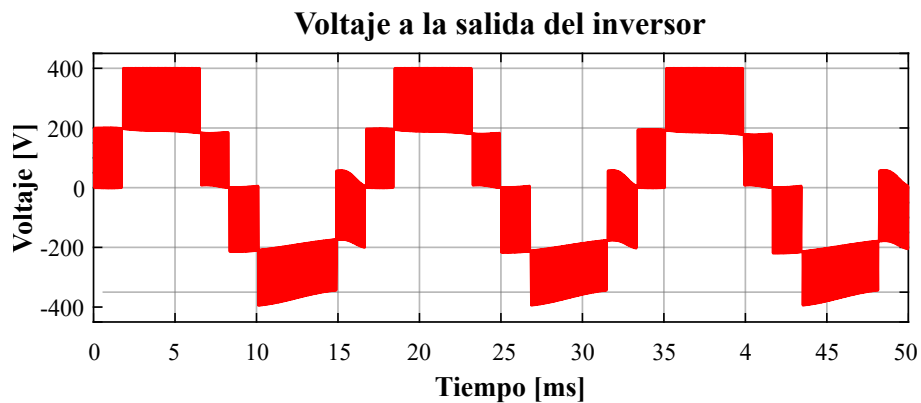


Figura 4.2: Voltaje a la salida del inversor CVD-5L-SC.

## 4.2. Topología CGT-SC

La topología presentada en [39] se muestra en la Figura 4.3, esta topología pertenece al grupo de topologías con conexión a tierra común y capacitores conmutados, la cual es una variación de la anterior topología cambiando el interruptor bidireccional por un interruptor simple y un arreglo de diodos. A la salida del inversor se presentan cinco niveles de voltaje.

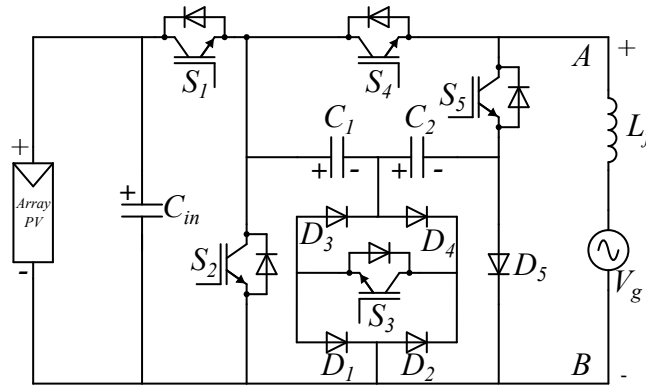


Figura 4.3: Topología CGT-SC.

La conmutación de los interruptores se muestra en la Tabla 4.1, donde el estado representa cada uno de los niveles generados por el inversor. El inversor contiene sectores que son espacios donde existen variación de niveles de voltaje, por ejemplo, el sector I (S-I) es cuando los interruptores conmutan para generar los niveles de voltaje de  $0V_{FV}$  y  $+0.5V_{FV}$ , para el S-II los niveles de voltaje son  $+0.5V_{FV}$  y  $+V_{FV}$ , cuando los interruptores conmutan para obtener los niveles de voltaje de  $0V_{FV}$  y  $-0.5V_{FV}$  en el S-III y finalmente, en el S-IV los interruptores conmutan para generar los niveles  $-0.5V_{FV}$  y  $-V_{FV}$ .

Tabla 4.1: Conmutación de los interruptores para CGT-SC.

Estado	$S_1$	$S_2$	$S_3$	$S_4$	$S_5$	$V_{AB}$
1	1	0	0	1	0	$V_{FV}$
2	0	0	1	1	0	$0.5V_{FV}$
3	1	0	0	0	1	$0V_{FV}$
4	0	1	0	0	1	$-0.5V_{FV}$
5	0	0	1	0	1	$-V_{FV}$

Idealmente el voltaje a la salida del inversor debe tener el aspecto del voltaje mostrado en el Figura 4.4, en ella se muestran bien los sectores y niveles de voltaje cuando se tiene un voltaje de entrada  $V_{FV} = 400$  V.

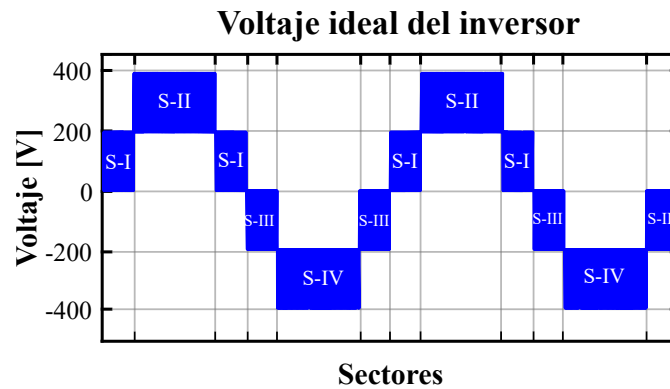


Figura 4.4: Voltaje ideal a la salida del inversor propuesto.

Cuando se simula la topología CGT-SC en el software PSIM; por la naturaleza del inversor, presenta un desbalance en la carga y descarga de los capacitores  $C_1$  y  $C_2$  lo que genera una asimetría en el voltaje de salida del inversor. La Figura 4.5(a) muestra el voltaje entre las terminales A y B; y la Figura 4.5(b) se muestra la corriente cuando se le aplica una carga RL. Dado el desbalance de los capacitores, genera una deformación en la corriente que a su vez se transforma en una componente de CD que en las normativas no son aceptadas en México [4].

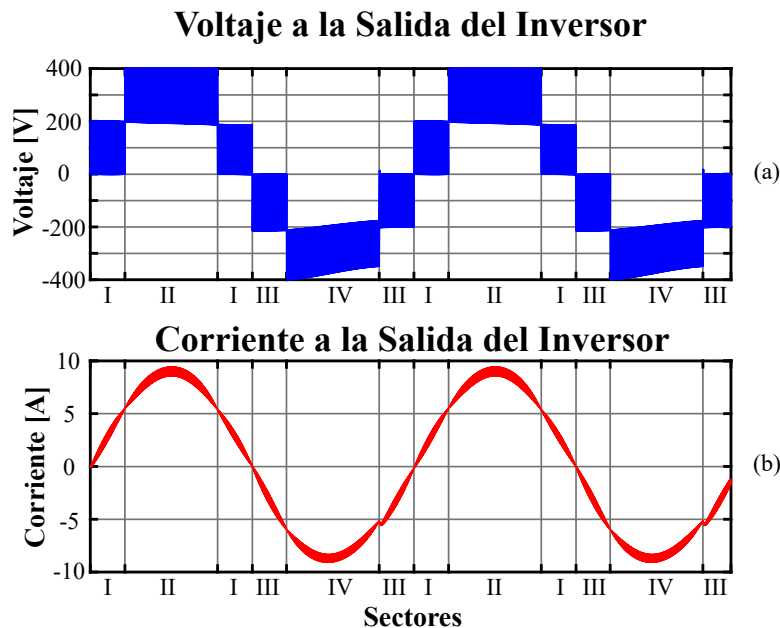


Figura 4.5: Formas de onda a la salida del inversor. (a) Voltaje a la salida del inversor. (b) Corriente bajo una carga resistiva-inductiva.

El desbalance en los SCs se puede apreciar de manera clara cuando se analizan sus voltajes, como se muestra en la Figura 4.6. Si se observa el voltaje de salida del inversor en el Sector I (S-I) los interruptores conmutan para generar los niveles de voltaje de  $0V_{FV}$  y  $0.5V_{FV}$ , es decir ambos capacitores se cargan y solo el capacitor  $C_1$  se descarga, respectivamente; por ello, en S-I hay una tendencia en  $C_1$  a descargarse y en  $C_2$  no. Para el S-II, los capacitores se cargan en paralelo a la carga, es decir, los capacitores no se descargan en ese sector. Para el S-III sucede algo similar que en el S-I solo que el  $C_2$  se descarga mientras que el  $C_1$  se carga. Y cuando se llega al S-IV los capacitores

ya no logran llegar a su carga nominal de  $0.5V_{FV}$  y ya no pueden mantener un voltaje equilibrado entre sí, por ello, generan el desbalance en el voltaje de salida del inversor durante el sector.

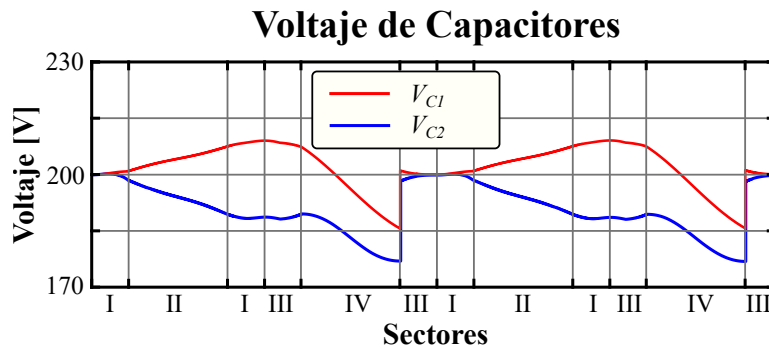


Figura 4.6: Voltaje en los capacitores del inversor.

La norma CFE G000-04 en el apartado 6.8.3 especifica que toda corriente que se desea inyectar a la red debe estar libre de componente de CD, por ello es necesario disminuir o mitigar el desbalance en el voltaje de los capacitores. Si se logra eliminar la componente de CD en la corriente se obtendrá un inversor sin transformador (inversor sumamente eficiente), con pocos semiconductores y con una baja THD en la corriente.

### 4.3. Topología propuesta

Para solucionar los problemas del desbalance en los capacitores, se tiene que mejorar la topología propuesta en [39] con el objetivos que los ciclos de carga y descarga en los capacitores  $C_1$  y  $C_2$  sean los mismos para lograr un mejor equilibrio entre ellos, para ello es necesario introducir un capacitor que se encarga exclusivamente de generar el nivel de voltaje  $-V_{PV}$ . En la Figura 4.7 se muestra la topología propuesta para este trabajo de tesis, en donde se introduce un capacitor conmutado  $C_3$  conectado en paralelo a los capacitores  $C_1$  y  $C_2$  y un interruptor adicional  $S_6$  el cual sirve para conectar el negativo del capacitor  $C_3$  al positivo de la carga.

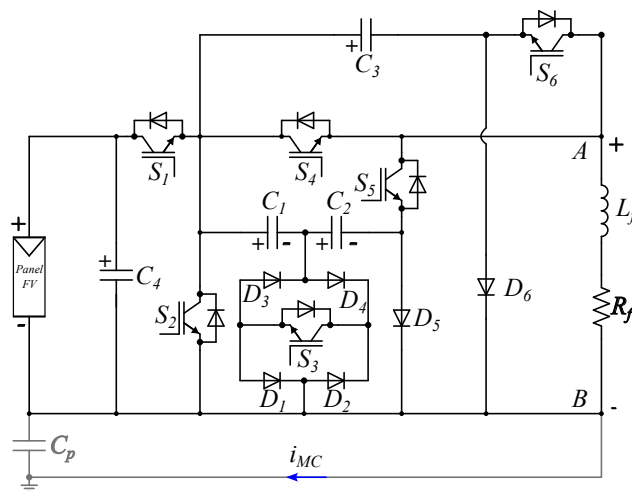


Figura 4.7: Topología propuesta CGT-SCMLI-3C-6S.

Los circuitos auxiliares para la generación de cada uno de los niveles de voltaje se muestran en la Figura 4.8. En esta figura se pueden observar las líneas de carga (líneas rojas), líneas de descarga de los capacitores (flechas azules) y la ruta que sigue la corriente de la carga cuando se genera el nivel  $0V_{PV}$  (flechas verdes). En las Figuras 4.8 (a) y (c) se muestran la carga de los tres capacitores, en (b), (d) y (e) se muestra la descarga de los capacitores  $C_1$ ,  $C_2$  y  $C_3$ , respectivamente.

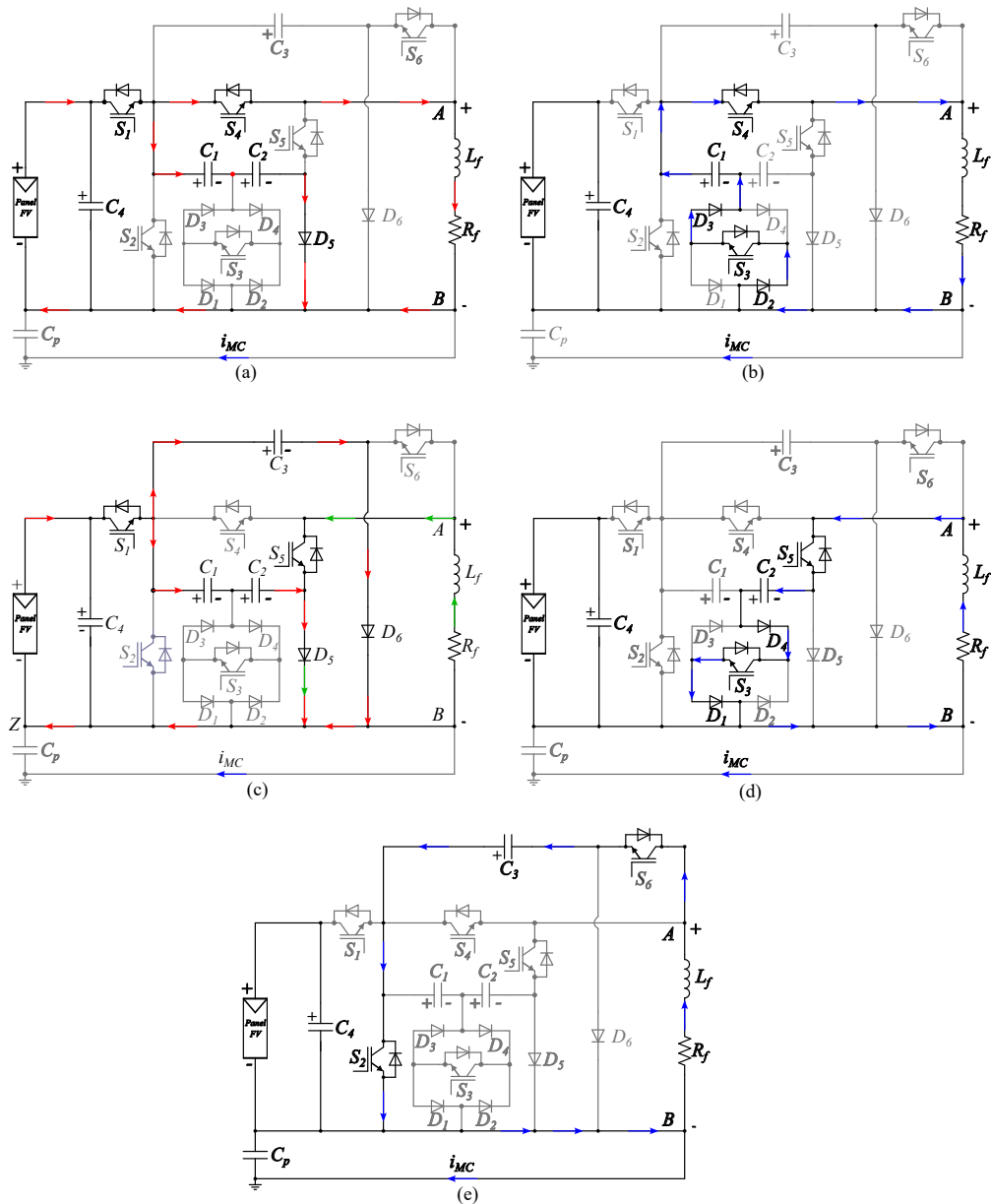


Figura 4.8: Circuitos auxiliares de los estados de conmutación para generar los diferentes niveles de voltaje. (a) Proceso de carga de los capacitores para generar un voltaje a la salida  $v_{AB} = V_{FV}$ . (b) Descarga del capacitor  $C_1$ ;  $v_{AB} = 0.5V_{FV}$ . (c) Proceso de carga de los capacitores;  $v_{AB} = 0V_{FV}$ . (d) Descarga del capacitor  $C_2$ ;  $v_{AB} = -0.5V_{FV}$ . (e) Descarga del capacitor  $C_3$ ;  $v_{AB} = -V_{FV}$ .

La Tabla 4.2 muestra la conmutación de los interruptores para generar cada uno de los cinco niveles de voltaje, además muestra el estado de carga de los tres capacitores, donde las flechas hacia arriba representan la carga de los capacitores, las flechas hacia abajo representan la descarga y el guion medio representa nulidad de carga/descarga.

Tabla 4.2: Conmutación de los interruptores para los niveles de voltaje.

Nivel	$S_1$	$S_2$	$S_3$	$S_4$	$S_5$	$S_6$	$C_1$	$C_2$	$C_3$	$v_{AB}$
1	1	0	0	1	0	0	↑	↑	↑	$V_{FV}$
2	0	0	1	1	0	0	↓	–	–	$0.5V_{FV}$
3	1	0	0	1	1	0	↑	↑	↑	$0V_{FV}$
4	0	0	1	0	1	0	–	↓	–	$-0.5V_{FV}$
5	0	1	0	0	0	1	–	–	↓	$-V_{FV}$

El capacitor  $C_1$  en cada estado que es utilizado tiene un proceso de carga y descarga por lo tanto, la carga es compensada. A diferencia, los capacitores  $C_2$  y  $C_3$  en el sector IV de conmutación presentan descarga para generar los niveles  $-V_{FV}/2$  y  $-V_{FV}$ , respectivamente. Cuando el inversor es simulado en PSIM, la señal de voltaje a la salida del inversor sigue teniendo una asimetría derivada al desbalance en el voltaje de los capacitores ( $\Delta V_C$ ). Dicho desbalance está en función de la capacitancia de los capacitores, si los capacitores tienen un valor mayor, el desbalance será menor, en la Figura 4.9 se muestra la señal de voltaje a la salida del inversor para una capacitancia de los tres capacitores conmutados de 1 mF.

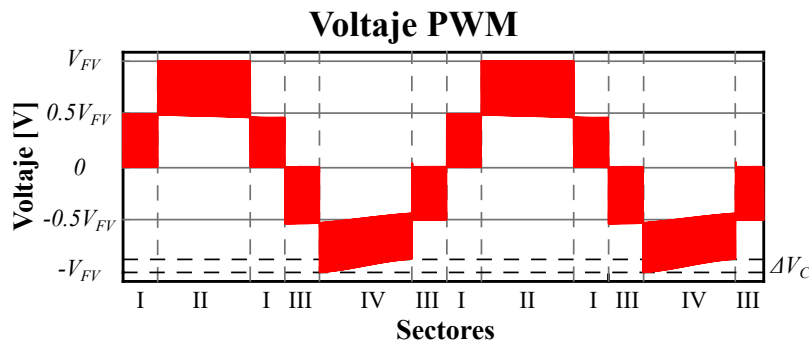


Figura 4.9: Voltaje a la salida del inversor.

## 4.4. Capacitores conmutados

Para conocer el tiempo en que los capacitores son descargados, se necesita conocer el ángulo en el que ocurre un cambio de sector ( $\delta$ ), la Figura 4.10 muestra la señal de voltaje PWM a la salida del inversor y la señal de voltaje de red ya que ambos voltajes deben estar en fase.

Suponiendo el voltaje de la red.

$$v_g = \sqrt{2}V_{rms}\sin(\omega t) \quad (4.1)$$

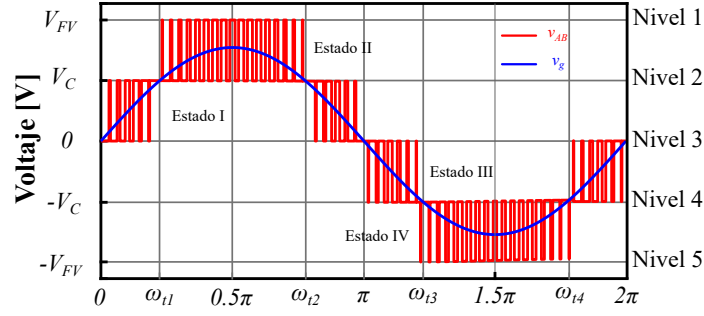


Figura 4.10: Señales de voltaje para determinar el cambio de sectores.

Para conocer en qué ángulo se genera el cambio de niveles de voltaje, se despeja el ángulo  $\omega t = \delta$ . Igualando la señal de voltaje de red a la mitad del voltaje del generador fotovoltaico o al voltaje del capacitor, es decir.

$$v_g = \frac{V_{FV}}{2} = V_C.$$

$$\sqrt{2}V_{rms}\sin(\delta) = \frac{V_{FV}}{2}.$$

$$\delta = \sin^{-1}\left(\frac{V_{FV}}{2\sqrt{2}V_{rms}}\right) = \sin^{-1}\left(\frac{220}{2\sqrt{2}(120)}\right) = \sin^{-1}\left(\frac{11}{12\sqrt{2}}\right) \approx 40^\circ.$$

$$\delta = \frac{2}{9}\pi \text{ radianes.} \quad (4.2)$$

Expresando los intervalos de descarga para los capacitores en términos de ángulos. El intervalo que representa al S-IV es el siguiente.

$$[\pi + \delta, 2\pi - \delta].$$

Tomando en cuenta la ecuación de la corriente en un capacitor.

$$C \frac{dv_C}{dt} = i(t).$$

$$C dv_c = i(t)dt.$$

$$C \int_{v_0}^{v_f} dv_C = \int_{t_1}^{t_2} i(t)dt.$$

$$C (v_C)|_{v_0}^{v_f} = \int_{t_1}^{t_2} i(t)dt.$$

La corriente de red se puede expresar en términos de la potencia de salida y el voltaje de red, ya que se requiere una potencia específica.

$$C (v_f - v_0) = \int_{t_1}^{t_2} \sqrt{2} \frac{P_o}{V_{rms}} \sin(\omega t) dt.$$

Haciendo un cambio de variable para que la corriente y el diferencial de la integral tengan la misma variable y suponiendo que la diferencia de voltaje en el capacitor es  $\Delta V_C$ .

$$C(\Delta V_C) = \frac{\sqrt{2}P_o}{2\omega V_{rms}} \int_{\pi+\delta}^{2\pi-\delta} \sin(\omega t) d\omega t.$$

Dado que el tiempo en que los capacitores se descargan no es en todo el estado IV, la ecuación que calcula la capacitancia mínima se puede dividir a la mitad, obteniendo la siguiente ecuación.

$$C \geq \frac{\sqrt{2}P_o}{2\omega V_{rms}\Delta V_C} \int_{\pi+\delta}^{2\pi-\delta} \sin(\omega t) d\omega t. \quad (4.3)$$

Sustituyendo los siguientes valores en (4.3)  $P_o = 1kW$ ,  $\omega = 2\pi f_g$ ,  $V_{rms} = 120V$  y  $\delta = \frac{2}{9}\pi$ . En la Figura 4.11 se puede observar el comportamiento de la capacitancia en función de la potencia para diferentes diferencias de voltajes en el capacitor  $\Delta V_C$  (que también se le conoce como el voltaje de riso del capacitor).

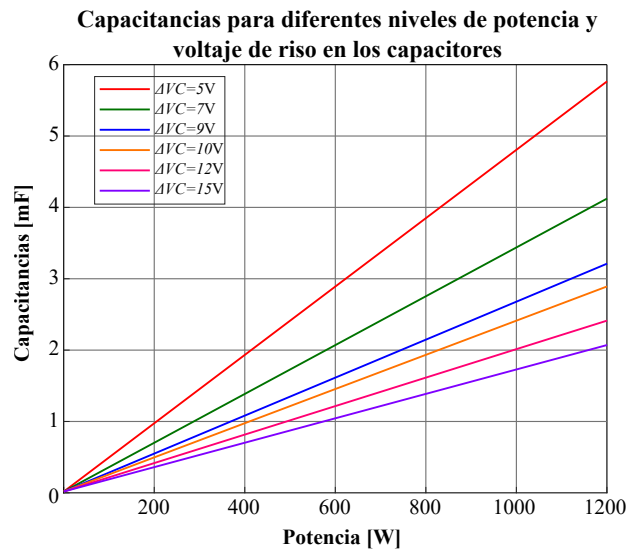


Figura 4.11: Capacitancias para diferentes potencias y voltajes de riso en los capacitores.

Para una potencia de  $P_o = 1kW$  y un voltaje de riso  $\Delta V_C = 12V$ , el valor para cada uno de los tres capacitores conmutados, debido a que se busca que las capacitancias obtenidas sean cercanas a una capacitancia comercial, el voltaje de riso se define de 12 V.

$$C_1 = C_2 = C_3 \geq 2 \text{ mF}$$

Después de haber calculado el valor de los capacitores, por medio de simulación se comprueban los voltajes de riso para cada capacitor, esto se puede ver en la Figura 4.12.

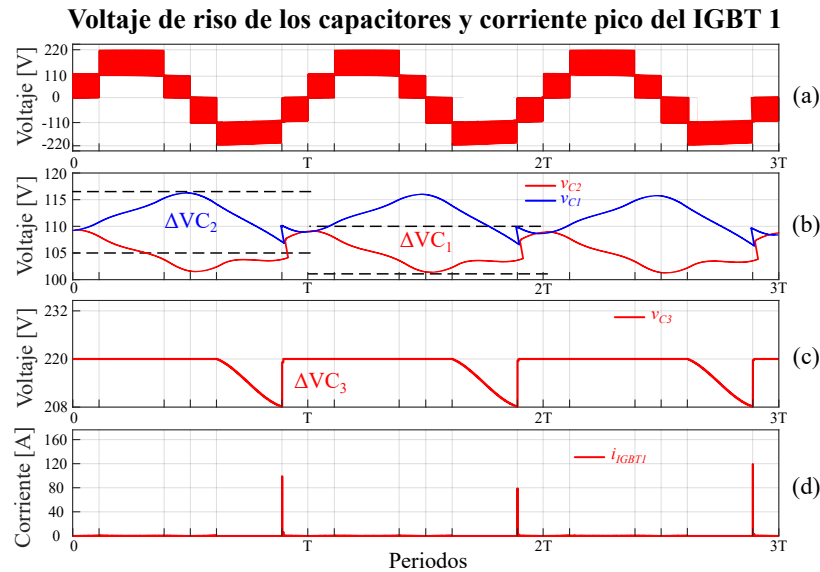


Figura 4.12: Señales de interés en el inversor propuesto. (a) Voltaje PWM a la salida del inversor con una menor asimetría. (b) Voltajes de riso para los capacitores conmutados  $C_1$  y  $C_2$ . (c) Voltaje de riso en el capacitor conmutado  $C_3$ . (d) Corriente a través del interruptor  $S_1$ .

## 4.5. Inductores de carga

Debido a las altas capacitancias y al voltaje de entrada, la corriente que fluye a través de algunos interruptores puede ser destructiva para los dispositivos, para ello se introducen inductancias pequeñas en el orden de las decenas de microfaradios que limiten dicha corriente ( $L_{r1}$  y  $L_{r2}$ ), tal como se muestra en la Figura 4.13.

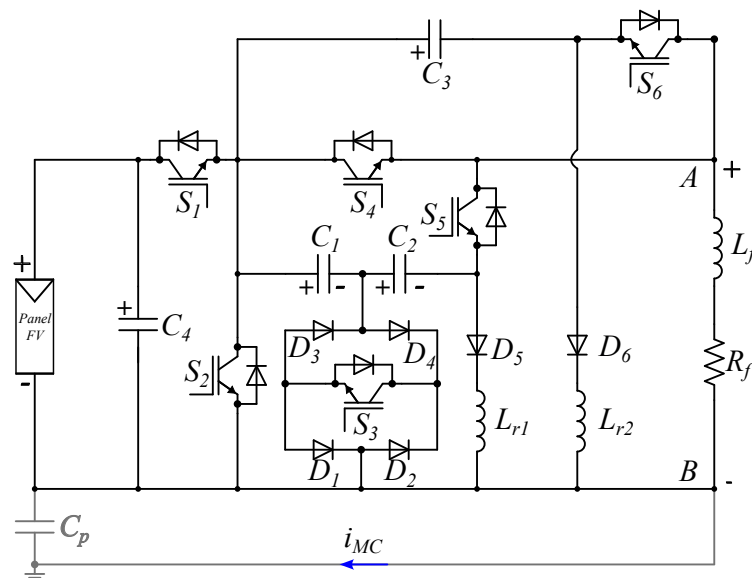


Figura 4.13: Topología final CGT-SCMIL-3S-6S con inductores de carga.

El interruptor más afectado por la corriente es  $S_1$  ya que es el paso obligatorio de la corriente cuando se realiza la carga de los tres capacitores dicha corriente solo es limitada por las resistencias parásitas de los elementos.

La Figura 4.14 representa un circuito simplificado que se forma en los niveles  $V_{FV}$  y  $0V_{FV}$ . Cuando el interruptor  $S_1$  se cierra, la corriente que demandan los capacitores fluye a través de  $S_1$ , valores de simulación muestra el pico máximo de corriente de 60 kA (Figura 4.12), dicho pico se repite al inicio de cada ciclo de red.

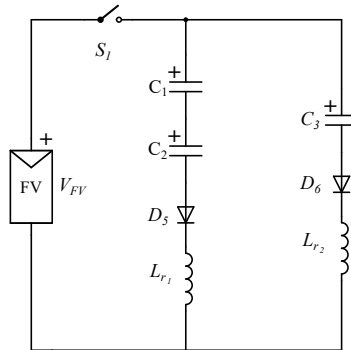


Figura 4.14: Circuito equivalente en la carga de los capacitores.

Tanto el interruptor, los capacitores y el diodo tienen una resistencia interna en serie, lo cual el circuito de la Figura 4.14 se puede sustituir por un circuito totalmente RCL que se muestra en la Figura 4.15.

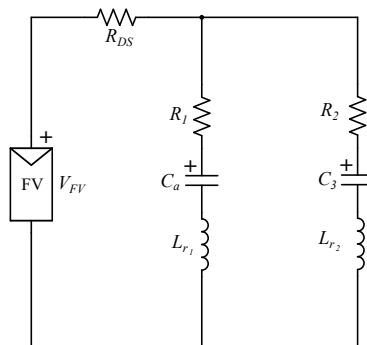


Figura 4.15: Circuito equivalente RCL.

Donde  $R_{DS}$  es la resistencia interna del interruptor  $S_1$ ,  $R_1$  es la resistencia equivalente entre la resistencia del diodo y las resistencias en serie equivalentes (ESR) de los capacitores  $C_1$  y  $C_2$  y  $C_a$  es la capacitancia equivalente entre los capacitores conmutados. Lo mismo para  $R_2$  que es la resistencia equivalente de la resistencia ESR y la resistencia interna del diodo  $D_6$ . Dado que el circuito genera ecuaciones dinámicas de cuarto orden, encontrarlas puede ser un gran reto, pero si se supone que la resistencia  $R_{DS}$  es cero (el valor de esta resistencia para interruptores reales está en el orden de las decenas de  $m\Omega$ ), el circuito se puede sustituir por el de la Figura 4.16.

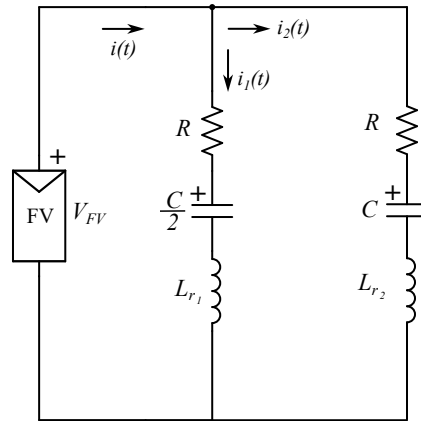


Figura 4.16: Circuito simplificado sin la resistencia del interruptor.

Este circuito se puede simplificar debido a que el voltaje en ambos arreglos RCL es el mismo, se puede analizar en dos ramas independientes y decir que la corriente que fluye a través del interruptor es la suma de las corrientes que pasan por cada arreglo RLC. Para sintetizar los cálculos analíticos se utiliza el circuito de la Figura 4.17, parametrizando los valores de la resistencia, del capacitor y del inductor para al final tener una corriente para cualquier valor de RCL.

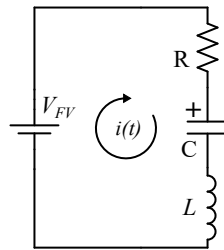


Figura 4.17: Circuito para análisis de corriente.

Utilizando la ley de voltajes de Kirchhoff se obtiene una expresión para la corriente que fluye en la malla del circuito 4.17.

$$i(t) = Ri(t) + \frac{1}{C}q(t) + L\frac{di(t)}{dt}.$$

Como hay dos variables que dependen del tiempo, se puede introducir la definición de la corriente, que nos dice que la corriente es igual a la derivada de la carga respecto al tiempo, o bien aplicar la ecuación 4.4.

$$i(t) = \frac{dq(t)}{dt}. \quad (4.4)$$

Quedando la ecuación diferencial que describe el comportamiento de la carga como.

$$L\frac{d^2q(t)}{dt} + R\frac{dq(t)}{dt} + \frac{1}{C}q(t) = V_{FV}. \quad (4.5)$$

La ecuación diferencial se puede resolver por medio del método de Laplace.

$$L\mathcal{L}\left\{\frac{d^2q(t)}{dt^2}\right\} + R\mathcal{L}\left\{\frac{dq(t)}{dt}\right\} + \frac{1}{C}\mathcal{L}\{q(t)\} = V_{FV}\mathcal{L}\{1\}.$$

$$L(s^2Q(s) - sq(0) - q'(s)) + R(sQ(s) - q(0)) + \frac{1}{C}(Q(s)) = \frac{V_{FV}}{s}.$$

Las condiciones iniciales para el capacitor es  $q(0) = Cv_0 = q_0$  y  $q'(0) = i_0$ .

$$Q(s)\left(Ls^2 + Rs + \frac{1}{C}\right) = \frac{V_{FV}}{s} + Lq_0s + Rq_0 + Li_0.$$

Quedando la siguiente ecuación de la carga en el dominio de Laplace.

$$Q(s) = \frac{q_0s^2 + \left(\frac{Li_0 + Rq_0}{L}\right)s + \frac{V_{FV}}{L}}{s\left(s^2 + \frac{R}{L}s + \frac{1}{LC}\right)}. \quad (4.6)$$

Para poder analizar la corriente del circuito, se tiene que pasar en el dominio del tiempo, es decir, aplicar la transformada inversa de Laplace  $\mathcal{L}^{-1}$ .

$$q(t) = CV_{FV} + ae^{-\alpha t}\cos(\omega_r t) + \frac{2Li_0 + Ra}{2\omega_r L}e^{-\alpha t}\sin(\omega_r t). \quad (4.7)$$

donde,  $a = q_0 - CV_{FV}$ ,  $\alpha = \frac{R}{2L}$ ,  $\omega_r = \sqrt{\frac{1}{LC} - \alpha^2}$ . Y aplicando la ecuación 4.4, se obtiene la ecuación 4.8.

$$i(t) = ae^{-\alpha t}\sin(\omega_r t)\left(\frac{\alpha^2 + \omega_r^2}{\omega_r}\right). \quad (4.8)$$

La ecuación (4.8) representa la corriente que pasa por el primer arreglo RCL, quedando en función del inductor debido a que los demás valores son constantes conocidas ( $R = 300 \text{ m}\Omega$ ,  $V_{FV} = 220 \text{ V}$  y  $C = 1 \text{ mF}$ ), graficando dicha corriente para un vector de valores de  $L = [10\mu\text{H} - 100\mu\text{H}]$  se puede ver el comportamiento de la corriente para distintas inductancias y en función del tiempo, la Figura 4.18 muestra la gráfica de la ecuación (4.8).

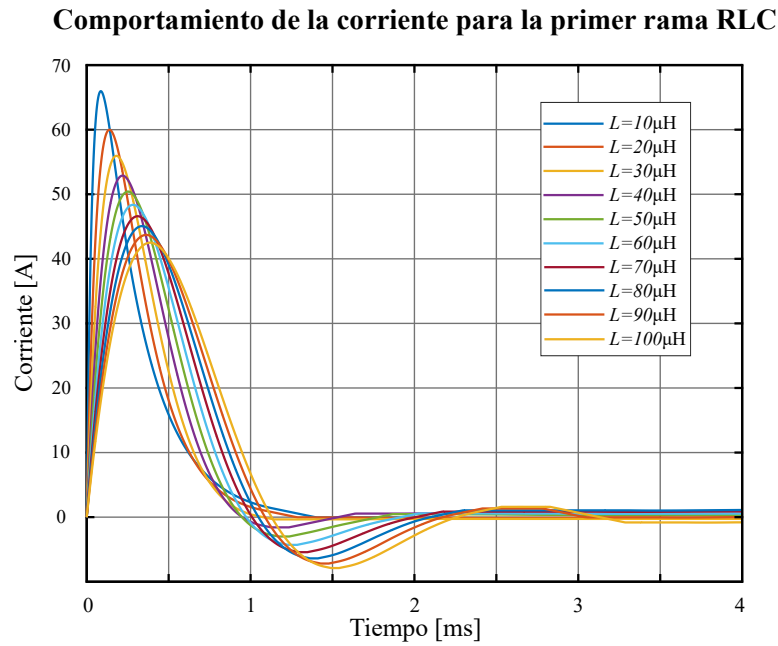


Figura 4.18: Gráfica obtenida de la ecuación (4.8) con el software Matlab.

Se tiene que hacer lo mismo para la otra parte del circuito de la Figura 4.16, que tiene que ser la misma ecuación (4.8) que describe el comportamiento de la corriente, pero con los valores diferentes  $R = 150\text{m}\Omega$ ,  $V_{FV}=220\text{ V}$ ,  $C = 2\text{ mF}$ , (Figura 4.19).

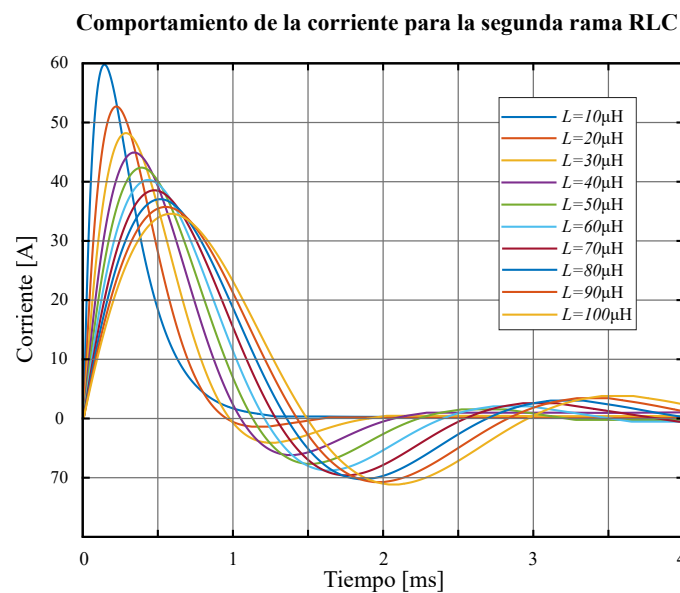


Figura 4.19: Corriente a través de la segunda rama RCL de la Figura 4.16.

El comportamiento de la corriente total que fluye a través del interruptor  $S_1$  se muestra en la Figura 4.20.

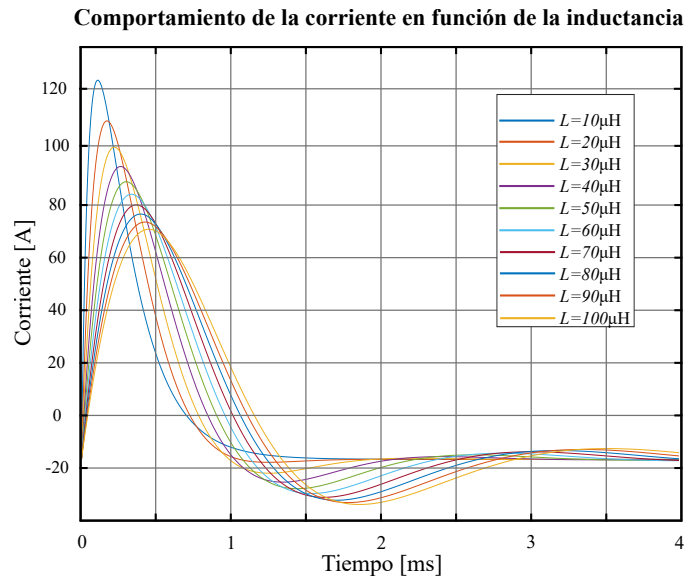


Figura 4.20: Comportamiento de la corriente que pasa por  $S_1$ .

La ecuación que describe el comportamiento de la corriente que fluye a través de  $S_1$  se muestra en la ecuación (4.9).

$$i(t) = a_1 e^{-\alpha_1 t} \sin(\omega_{r_1} t) \left( \frac{\alpha_1^2 + \omega_{r_1}^2}{\omega_{r_1}} \right) + a_2 e^{-\alpha_2 t} \sin(\omega_{r_2} t) \left( \frac{\alpha_2^2 + \omega_{r_2}^2}{\omega_{r_2}} \right). \quad (4.9)$$

De acuerdo, a que la suma de corrientes es igual a la corriente que pasa por  $S_1$ , para obtener la máxima corriente se aplica la derivada y se iguala a cero la corriente en función de las inductancias, para ello decimos que  $i(t) = i_1(t) + i_2(t)$ . Derivando la primer corriente se tiene.

$$\frac{di_1(t)}{dt} = \frac{d}{dt} \left( a_1 e^{-\alpha_1 t} \sin(\omega_{r_1} t) \left( \frac{\alpha_1^2 + \omega_{r_1}^2}{\omega_{r_1}} \right) \right) = 0.$$

$$t_{1_{max}} = \frac{1}{\omega_{r_1}} \tan^{-1} \left( \frac{\omega_{r_1}}{\alpha_1} \right).$$

Debido a que la resistencias en serie de los componentes electrónicos son cero ya que se encuentran en el orden de los miliohms, entonces el tiempo en que la corriente es máxima es  $t_{1_{max}} = \frac{\pi}{2\omega_{r_1}}$ .

La expresión de la corriente cuando es máxima para el primer arreglo RLC.

$$i_{1_{max}} = -a_1 \omega_{r_1} \sin\left(\frac{\pi}{2}\right).$$

$$i_{1_{max}} = -(q_0 - CV_{FV}) \sqrt{\frac{1}{LC}} = -(CV_o - CV_{FV}) \sqrt{\frac{1}{LC}} = C \Delta V_C \sqrt{\frac{1}{LC}}.$$

$$i_{1_{max}}^2 = C^2 \Delta V_C^2 \left( \frac{1}{LC} \right).$$

$$L_{r1} = \frac{C\Delta V_C^2}{i_{1max}^2}.$$

Y para el segundo arreglo RLC.

$$L_{r2} = \frac{C\Delta V_C^2}{i_{2max}^2}. \quad (4.10)$$

Otra forma de determinar el valor óptimo de los inductores de carga es simular el inversor con un software de análisis de circuitos eléctricos y analizar la corriente que fluye a través del interruptor  $S_1$  con diferentes valores de inductancias, suponiendo que ambas inductancias son iguales. Con ayuda de PSIM, la Figura 4.21 se muestra el comportamiento de la corriente para diferentes inductancias  $L = [10, 20, 30, \dots, 100]\mu\text{H}$ .

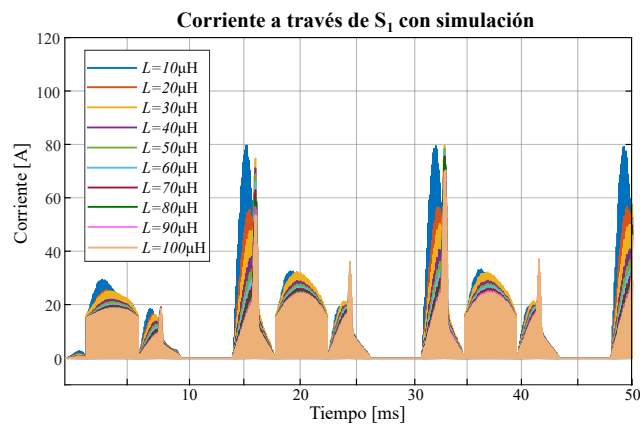


Figura 4.21: Comportamiento de la corriente para distintas inductancias.

Obteniendo los valores máximos de la corriente y mediante Matlab se puede observar en la Figura 4.22 la gráfica del comportamiento de la corriente contra la inductancia.

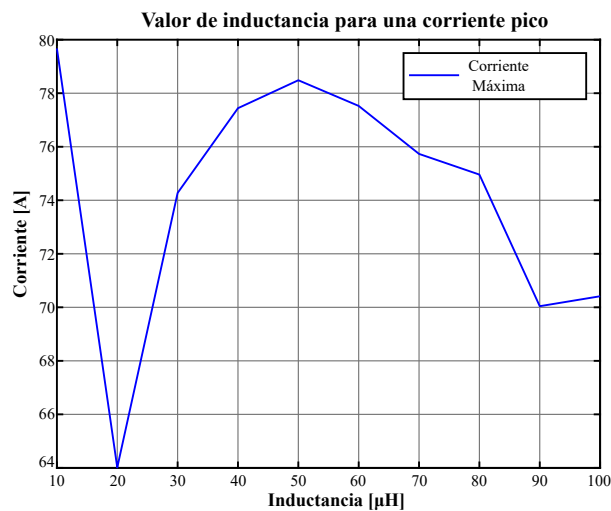


Figura 4.22: Corriente máxima en función de la impedancia.

Finalmente, se puede decir que el valor de los inductores de carga son de  $20 \mu\text{F}$ , en base a los resultados obtenidos en simulación (Figuras 4.22 y 4.21).

$$L_{r_1} = L_{r_2} = 20 \mu\text{H}$$

Los resultados de simulación con los valores de los capacitores conmutados e inductores de carga calculados anteriormente se muestran en la Figura 4.23.

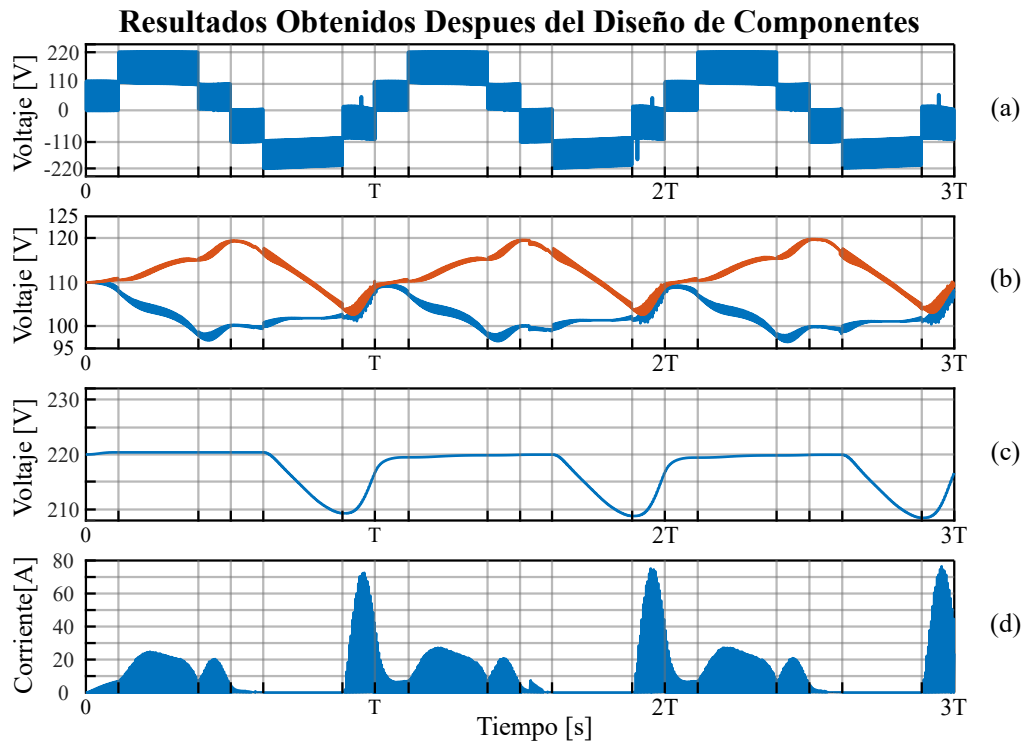


Figura 4.23: Resultados de simulación. (a) Voltaje a la salida del inversor. (b) Voltaje en los capacitores  $C_1$  y  $C_2$ . (c) Voltaje del capacitor  $C_3$ . (d) Corriente a través de  $S_1$ .

## 4.6. Resumen de diseño

El valor de los capacitores conmutados fueron obtenidos a partir de una potencia y un valor de voltaje de riso definidos, en la Tabla 4.3 se muestran los valores de voltaje de riso cuando el valor de la capacitancia y potencia son fijos, con el objetivo de analizar la asimetría del voltaje a la salida del inversor cuando se aumenta o se disminuye la potencia de salida.

Tabla 4.3: Valores de voltaje de riso a diferentes potencias.

Parámetro	Ecuación	Valores definidos	Potencia [kW]			
			0.1	0.3	0.5	1
$\Delta V_C$ [V]	$\Delta V_C \geq \frac{\sqrt{2}P_o}{C\omega V_{rms}} \int \sin(\rho)d\rho$	$f = 60\text{Hz}, C = 2\text{mF}, V_C = 55\text{V}$	1.5	3.4	5.4	12

El valor de los inductores de carga también fueron obtenidos a partir de una corriente máxima y un valor de voltaje de riso de los capacitores conmutados. En la Tabla 4.4 se muestra el valor de la corriente máxima en función de los capacitores y la inductancia.

Tabla 4.4: Corrientes máximas en función del voltaje de riso.

Parámetro	Ecuación	Valores definidos	Voltaje de riso [V]			
			1.5	3.4	5.4	12
$i_{max}$ [A]	$\sqrt{\frac{C_a \Delta V_{C_a}^2}{L_{r_1}}} + \sqrt{\frac{C_3 \Delta V_{C_3}^2}{L_{r_2}}}$	$L_{r_1} = L_{r_2} = 20\mu\text{ H}, C = 2\text{ mF}$	10.8	33	42	84

# **CAPÍTULO 5.**

## **ESTRATEGIA DE MODULACIÓN**

---

En este capítulo se presenta la modulación senoidal por ancho de pulso (SPWM por sus siglas en inglés), técnica utilizada para generar los pulsos de control de los interruptores del inversor. Además, se presenta una modificación de la modulación para ser implementada en un microcontrolador *DSP TMS320F28335*.

## 5.1. Diseño de la estrategia de modulación SPWM

La modulación SPWM a implementar en el inversor CGT-SCMLI-3C-6S, está regida por los estados de conmutación presentados en la Tabla 4.2. Como se puede apreciar la activación de estos depende del sector que permita generar la señal multinivel. Por ejemplo, el interruptor  $S_1$  presenta conmutación durante los sectores  $S - I$ ,  $S - II$  y  $S - III$ , durante el sector  $S - IV$  el interruptor se mantiene cerrado. Para los interruptores  $S_2$  y  $S_6$  solo se presentan conmutaciones en el sector  $S - IV$  y durante los demás sectores permanecen apagados. El interruptor  $S_3$  es el único interruptor que presenta conmutaciones durante todo el ciclo de red, mientras que el interruptor  $S_4$  presenta variaciones solo en el sector  $S - III$ , y finalmente, el interruptor  $S_5$  presenta conmutaciones en los sectores  $S - I$  y  $S - IV$ . De acuerdo a la señal de 5 niveles se requieren 4 señales multi-portadoras (triangulares) y una señal moduladora (senoidal). Dichas señales de modulación se comparan para generar cuatro señales digitales para los cuatro sectores que por medio de operaciones lógicas generen los pulsos de control de los interruptores.

En la Figura 5.1(a) se muestran las cuatro señales portadoras y la señal moduladora y en la Figura 5.1(b) se presentan las señales digitales que se obtienen al compararlas. Por ejemplo, para el sector  $S - I$  si la señal moduladora es mayor a la señal portadora (verde), el resultado de la comparación será un uno y si es el caso contrario será un cero.

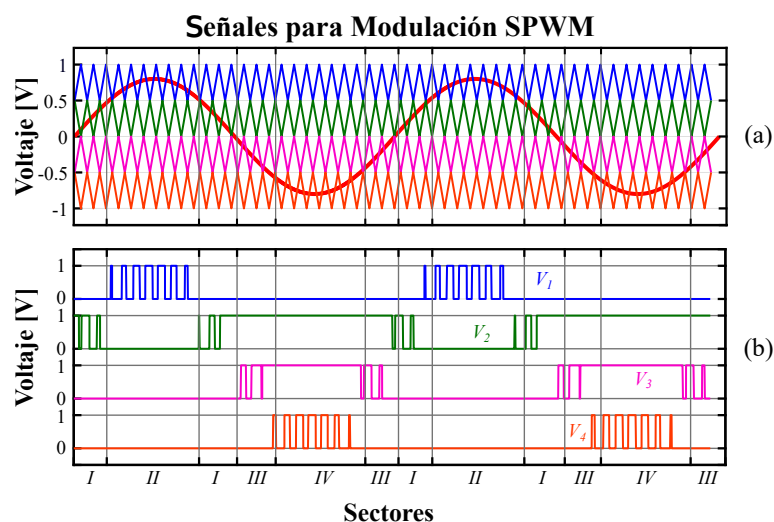
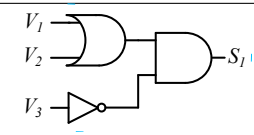

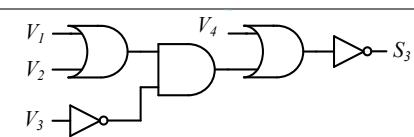

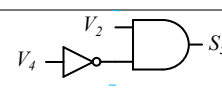



Figura 5.1: Señales necesarias para la modulación SPWM.

Los pulsos de control de los interruptores están en función de las señales de comparación de la modulación ( $V_1, V_2, V_3$  y  $V_4$ ), con ayuda de la tabla que muestra los estados de conmutación (Tabla 4.2) y la Figura 5.1(b) se deducen las ecuaciones lógicas para obtener los pulsos finales de los interruptores ( $S_1, S_2, S_3, S_4, S_5$  y  $S_6$ ). En la Tabla 5.1 se presentan las ecuaciones lógicas y su correspondiente circuito lógico que puede implementarse utilizando encapsulados.

Tabla 5.1: Ecuaciones lógicas y circuitos equivalentes para obtener pulsos de control de los interruptores.

IGBT	Ecuación lógica	Circuito equivalente
$S_1$	$[(V_2) \text{ OR } (V_1)] \text{ AND } [\text{NOT}(V_3)]$	
$S_2$	$V_4$	
$S_3$	$\text{NOT} [[(V_1 \text{ OR } V_2) \text{ AND } (\text{NOT } V_3)] \text{ OR } [(V_4)]]$	
$S_4$	$\text{NOT } (V_2)$	
$S_5$	$\text{NOT } (V_4) \text{ AND } (V_2)$	
$S_6$	$V_4$	

Los pulsos de control para cada interruptor se muestran en la Figura 5.2. La representación gráfica se realiza a una baja frecuencia para poder observar de mejor manera el cambio de estado en los interruptores.

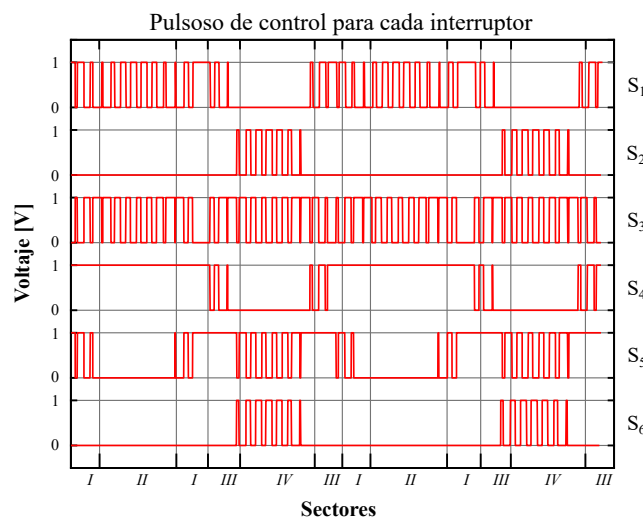


Figura 5.2: Pulsos digitales para el control de los interruptores.

## 5.2. Implementación de la Estrategia de Modulación

Para realizar la implementación de la modulación se requiere de dos etapas, la etapa de comparación de señales y la etapa de operaciones lógicas. Esta última se implementa mediante un prototipo físico con compuertas lógicas, lo cual se traduce en un número mayor de componentes electrónicos. Debido a lo anterior, en esta sección se realiza una modificación en la metodología en la implementación de la estrategia de modulación.

La implementación de la estrategia de modulación se implementa en un procesador digital de señales *TMS320F28335*. Utilizando Simulink de MATLAB se generan las multi-portadoras triangulares a una frecuencia de 10 kHz y la señal senoidal moduladora de 60 Hz. El primer cambio que se realiza es por la capacidad de procesamiento del microcontrolador, ya que solo es capaz de generar señales digitales y el tiempo de ejecución es bajo para realizar las operaciones correspondientes de cada etapa. Para evitar este problema se utilizan bloques *ePWM*. El bloque *ePWM* genera una señal portadora interna, en la Figura 5.3 se muestran las tres distintas formas que se puede generar la señal portadora.

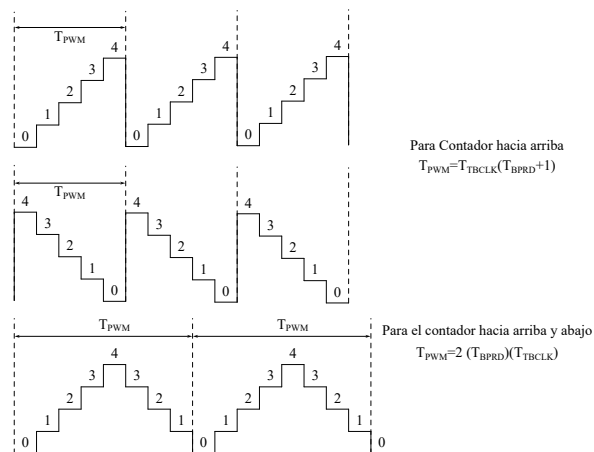


Figura 5.3: Tipos de señales portadora generadas con el bloque *ePWM*.

Mediante la ecuación (5.1) se determina el parámetro **TBPRD**, dada la frecuencia de conmutación. Para este caso se utiliza la forma *Contador hacia arriba y abajo*.

$$T_{BPRD} = \frac{f_{CLK}}{2f_s}. \quad (5.1)$$

Donde  $f_{CLK}$  es la frecuencia del reloj del DSP, que de acuerdo con la hoja de datos del fabricante es de 150 MHz. Entonces, para una frecuencia de conmutación de 10 kHz, el parámetro de la señal portadora del bloque *ePWM* es de 7500. En otras palabras, el DSP va a generar una señal triangular como la que se muestra en la Figura 5.4.

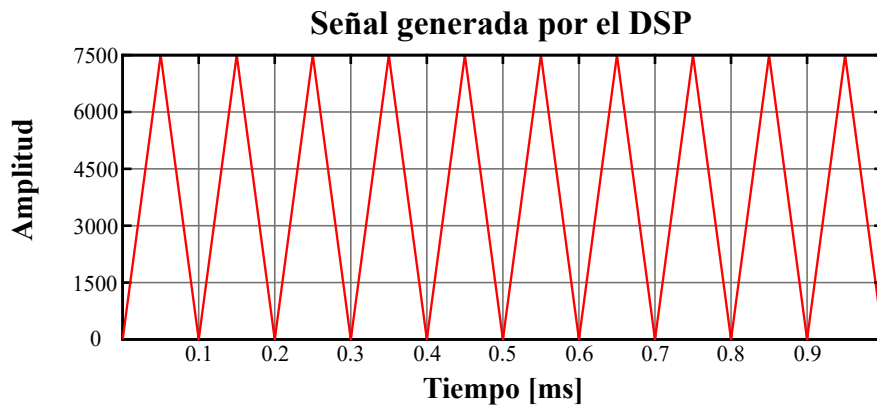


Figura 5.4: Señal portadora generada internamente por el bloque ePWM.

La señal generada internamente solo puede ser modificada en su frecuencia, y ya que el interruptor  $S_3$  conmuta durante todo el periodo de red, se busca que las señales de los interruptores  $S_1$ ,  $S_2$ ,  $S_4$ ,  $S_5$  y  $S_6$  estén en función de la señal de control de  $S_3$ . Si se observa la Figura 5.2 para el interruptor  $S_3$  en el sector  $S - I$  la comparación se da entre una señal senoidal y la señal portadora, para el sector  $S - II$  la comparación es entre la señal triangular y la señal senoidal negativa, en el sector  $S - III$  y  $S - IV$  sucede lo mismo que en el  $S - II$ , entonces se puede crear una señal de referencia construida a partir de una señal senoidal, dicha señal se muestra en la Figura 5.5(a). La Figura 5.5(b) muestra los pulsos de control para el interruptor que son los mismos que los de la Figura 5.2.

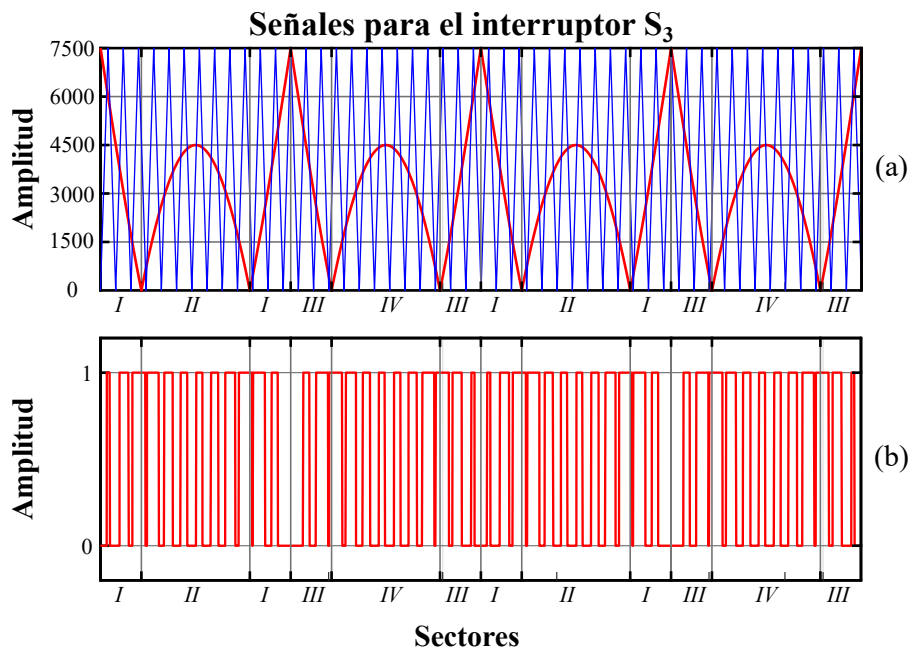


Figura 5.5: Señales para el interruptor  $S_3$ . (a) Comparación de la señal portadora y la señal de referencia. (b) Señal digital de control para el IGBT.

Siguiendo la misma metodología de crear las señales de referencia, en la Tabla 5.2 se muestran las señales de referencia para los interruptores  $S_1$ ,  $S_2$ ,  $S_4$ ,  $S_5$  y  $S_6$  en función de la señal de referencia del interruptor  $S_3$ , para obtener los pulsos de todos los interruptores directamente del DSP sin utilizar una etapa digital adicional en hardware o software.

Tabla 5.2: Señales de referencia para los interruptores en función de  $S_3$ .

IGBT	Sector I	Sector II	Sector III	Sector IV
$S_1$	$\bar{S}_3$	$\bar{S}_3$	$\bar{S}_3$	0
$S_2$	0	0	0	$\bar{S}_3$
$S_4$	1	1	$\bar{S}_3$	0
$S_5$	$\bar{S}_3$	0	1	$S_3$
$S_6$	0	0	0	$\bar{S}_3$

Dado que el bloque ePWM puede generar la señal complementaria del pulso, se pueden obtener todos los pulsos. En la Figura 5.6 se muestran los pulsos de control generados en el DSP y obtenidos mediante el osciloscopio *Tektronix MDO3014* aplicando la técnica de modulación descrita.

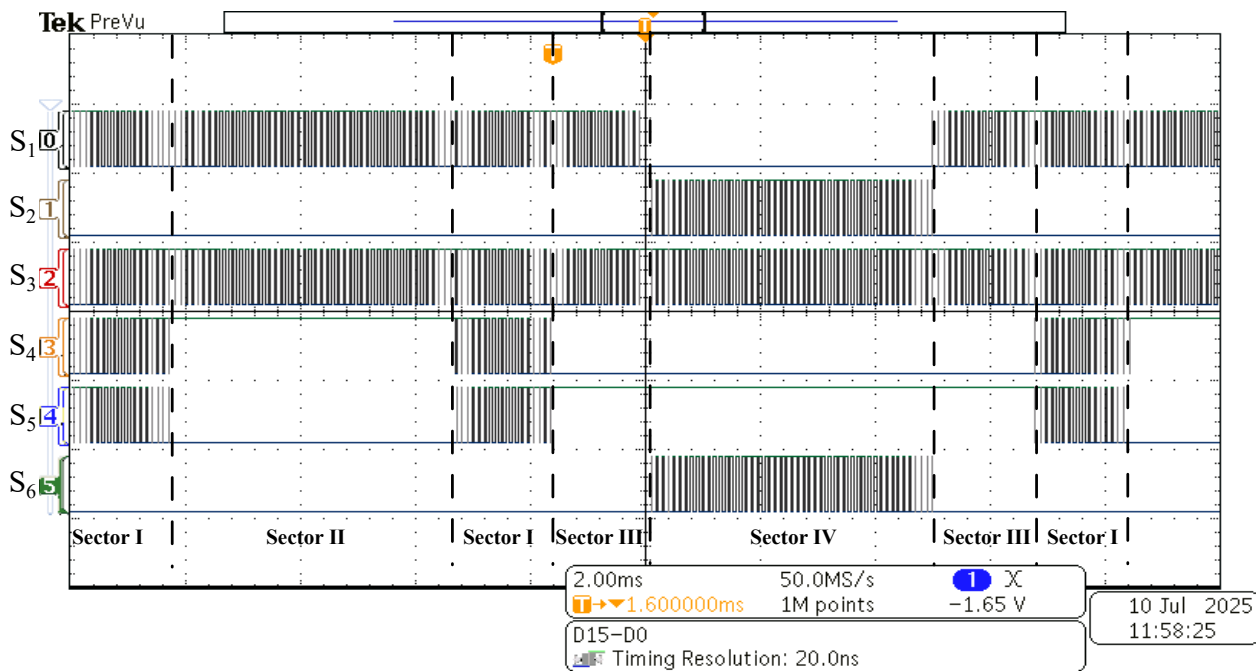


Figura 5.6: Pulsos de control para los seis interruptores.

### 5.3. Tiempos muertos (DT)

Para este inversor, la implementación de los tiempos muertos es de suma importancia ya que si no son implementados, pueden generar cortos circuitos en la fuente de alimentación o en los capacitores conmutados. Para saber cuales interruptores deben tener tiempos muertos, se analiza la Tabla 4.2.

- Entre  $S_1$  y  $S_2$  deben existir tiempos muertos debido a que si se activan los dos al mismo tiempo, la terminal positiva de la fuente y la negativa se conectarían ocasionando un cortocircuito.
- Los interruptores  $S_1$  y  $S_3$  deben tener tiempos muertos, ya que si ambos comparten su estado encendido, en el capacitor  $C_1$  se cargaría al voltaje de la fuente y no a la mitad; como debería cargarse.
- $S_2$  y  $S_3$  también necesitan tiempos muertos, ya que de no ser implementados, el capacitor  $C_1$  puede conectarse al común del inversor generando un corto circuito en el capacitor.
- Finalmente los interruptores  $S_4$  y  $S_5$  necesitan tiempos muertos ya que el arreglo de los capacitores  $C_1$  y  $C_2$  debe evitar ser conectados a un mismo punto y así evitar un corto circuito en el arreglo de capacitores.

El tiempo muerto se define por el tiempo de recuperación del diodo antirretorno (*freewheeling*) que tiene internamente el IGBT, según la hoja de datos del IGBT el tiempo de recuperación es de  $T_{rr} = 33$  ns, por lo tanto, el tiempo muerto que se implemente debe ser mayor a este tiempo.

Para la implementación de los tiempos muertos, el bloque ePWM tiene una ventana llamada *Deadband unit* en la cual por medio de los parámetros *DAT* y *FED* (que representan el retardo tanto en el tiempo de subida como en el tiempo de bajada de la señal), es decir, en otras palabras ambos parámetros determinan el tiempo muerto en ambos lados del pulsos de la señal. Los parámetros deben estar entre los valores de 0 y 1023, esto es con base a la hoja de datos de fabricante. La ecuación 5.2 define el valor de los parámetros (que deben ser iguales) que está en función de la frecuencia de reloj y el tiempo muerto deseado.

$$DAT = FED = f_{CLK} T_{DT}. \quad (5.2)$$

Donde,  $T_{DT}$  es el tiempo muerto que se desea, para un tiempo muerto de 500 ns, se tienen parámetros de 75. La Figura 5.7(a)-(d) muestra los pulsos de control con un tiempo muerto para cada uno de los cuatro sectores  $S - I - S - IV$ , respectivamente.

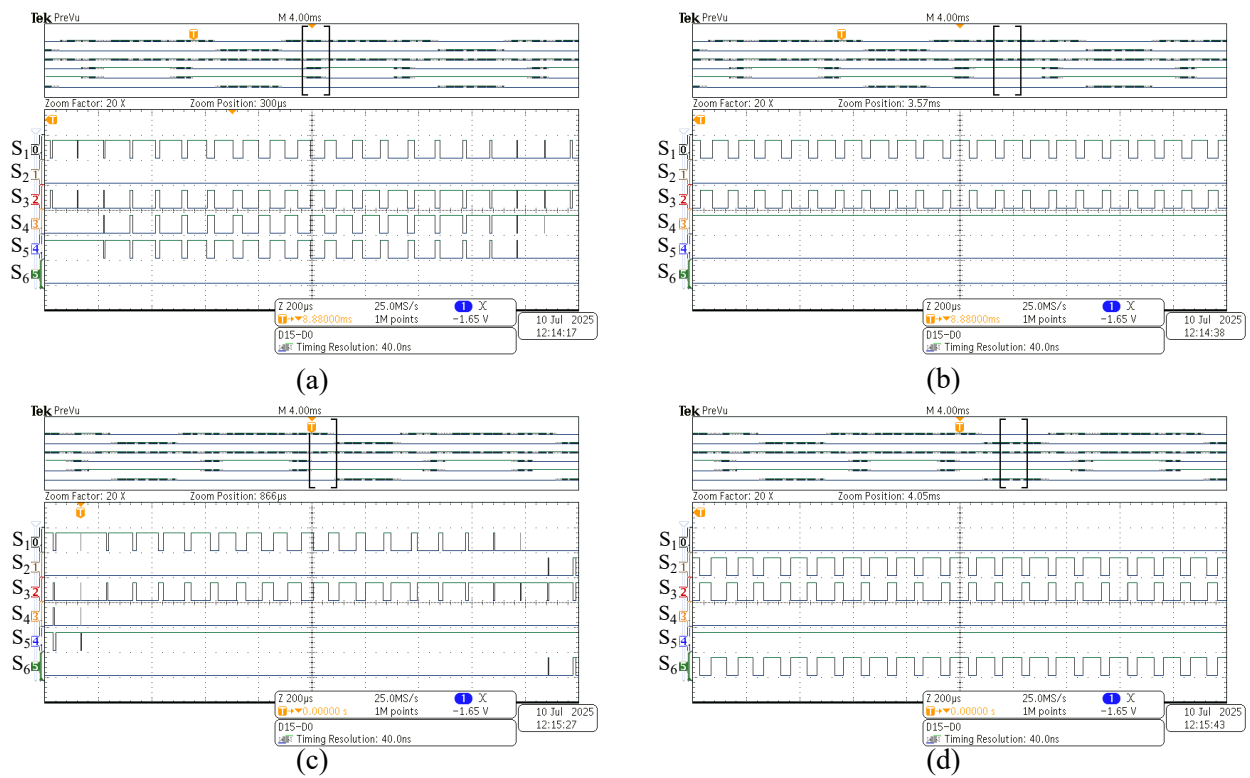


Figura 5.7: Pulsos de control con tiempos muertos. (a) para el sector I. (b) para el sector II. (c) para el sector III. (d) para el sector IV.

# **CAPÍTULO 6.**

## **IMPLEMENTACIÓN EN HIL**

---

Un proceso intermedio entre la simulación y la implementación de cualquier circuito electrónico es la emulación por medio de un proceso *HIL* (Hardware In the Loop) en el cual pueden observarse anomalías, problemas en la conmutación con los interruptores, detección de cortos circuitos en los capacitores conmutados, deformaciones en las formas de onda del inversor, etc. En este capítulo se presenta la emulación del inversor con **Typhoon HIL Systems** con el modelo **HIL-402**, y una interfaz para un microcontrolador **Launchpad XL TMS320F28379D**.

## 6.1. Generalidades de la interfaz de Typhoon

Typhoon es una empresa dedicada al desarrollo de HIL, tiene como principales aplicaciones la interconexión de microredes, aplicaciones de potencia y control en tiempo real a sistemas eléctricos. Por estas razones, se validó el funcionamiento del inversor presentado en capítulos anteriores por medio de la plataforma Typhoon HIL.

Cuando se inicia el sistema Typhoon HIL, se abre una ventana principal (Figura 6.1), en ella se pueden ver distintos accesos: en el recuadro rojo se puede acceder a agregar, quitar y combinar dispositivos Typhoon, en el recuadro azul hay tres apartados en donde se pueden ver ejemplos, documentación de ayuda y el estatus de la licencia. Las opciones principales se encuentran en el centro de la ventana, el recuadro en color verde y morado son accesos directos a editor esquemático y el HIL SCADA, respectivamente. El editor esquemático sirve para diseñar el sistema eléctrico como inversores, convertidores, microredes, etc. y en el apartado HIL SCADA es para visualizar de manera virtual o real las señales obtenidas o calculadas en el esquemático.

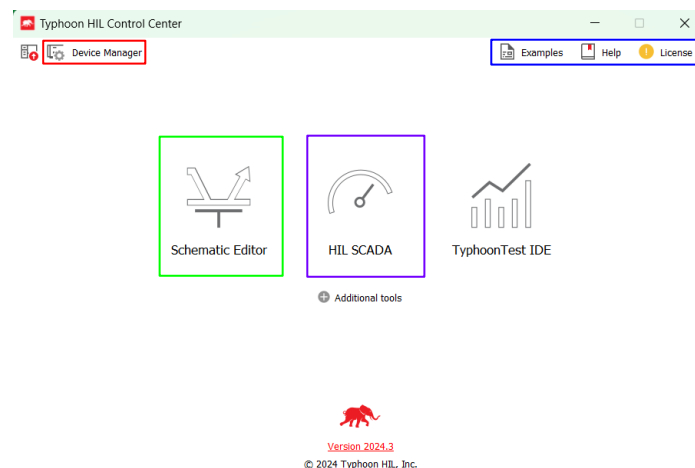


Figura 6.1: Centro de control de Typhoon HIL System.

## 6.2. Diseño esquemático en Typhoon

Typhoon no cuenta con interruptores ideales individuales ya que cada estado de conmutación, Typhoon los representa por medio de ecuaciones de espacio de estados, entonces, si se quiere emular un inversor de ocho interruptores, la demanda computacional es muy grande para poder emular el inversor, es por eso que Typhoon cuenta

con bloques creados de los inversores más comunes. Se recomienda sustituir el interruptor individual por el bloque *IGBT Leg* o también *Half-Bridge* que básicamente son dos interruptores conectados en serie, y un devanado común, tal como se muestra en la Figura 6.2. Cuando se accede a las propiedades del IGBT Leg se muestra el tipo de control de los interruptores, los cuales son los siguientes:

**Por rama:** esta configuración requiere una variable booleana para determinar si el interruptor está habilitado (1 para habilitar y 0 para deshabilitar), también requiere de la entrada de un vector de dos columnas donde cada columna representa el control para cada interruptor.

**Por interruptor:** para esta configuración se habilitan dos entradas de tipo entero en el interruptor donde cada una representa el control de cada interruptor.

**Modulación interna:** El propio programa genera una señal interna portadora y se tiene la opción de agregar un ciclo de trabajo constante o bien, se puede habilitar una entrada para la señal moduladora.

**Modulación externa:** esta opción permite utilizar un microcontrolador para generar los pulsos de control y asignarlos a uno de los puertos digitales de Typhoon.

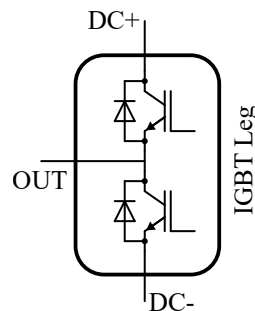


Figura 6.2: Apariencia del bloque IGBT Leg en Typhoon.

Una de las limitantes para trabajar con Typhoon es el recurso computacional, sin embargo, se cuenta con separadores de núcleos (*Core Coupling*). Para el dispositivo HIL-402 solo se puede hacer uso de un máximo de tres interruptores por núcleo y se puede hacer hasta cuatro separaciones de núcleo, esto en base a la hoja de datos del dispositivo, por lo anterior, para la emulación el inversor propuesto en esta tesis es necesario hacer separaciones de núcleos. En la Figura 6.4 se muestra las separaciones de núcleos necesarios para que Typhoon pueda realizar la emulación (sustituyendo el arreglo de diodos con un interruptor bidireccional).

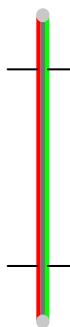


Figura 6.3: Apariencia del separador de núcleos.

Los separadores de núcleos tienen polaridad, en la parte en color rojo se deben conectar todos aquellos circuitos o componentes que sean de carga y descarga lenta, como lo son los capacitores, y en la parte en color verde se conectan todos aquellos circuitos o componentes que tengan cargas rápidas como interruptores e inductores. Si se llegan a conectar al revés, entonces los cálculos que se realizan pueden ser erróneos o tener problemas de convergencia. Los separadores de núcleos que se utilizaron fueron dos, teniendo tres separaciones, lo cual es posible desde el dispositivo HIL-402. En la Figura 6.4 se muestra la construcción esquemática del inversor CGT-SCMLI-3C-6 en el entorno esquemático de Typhoon.

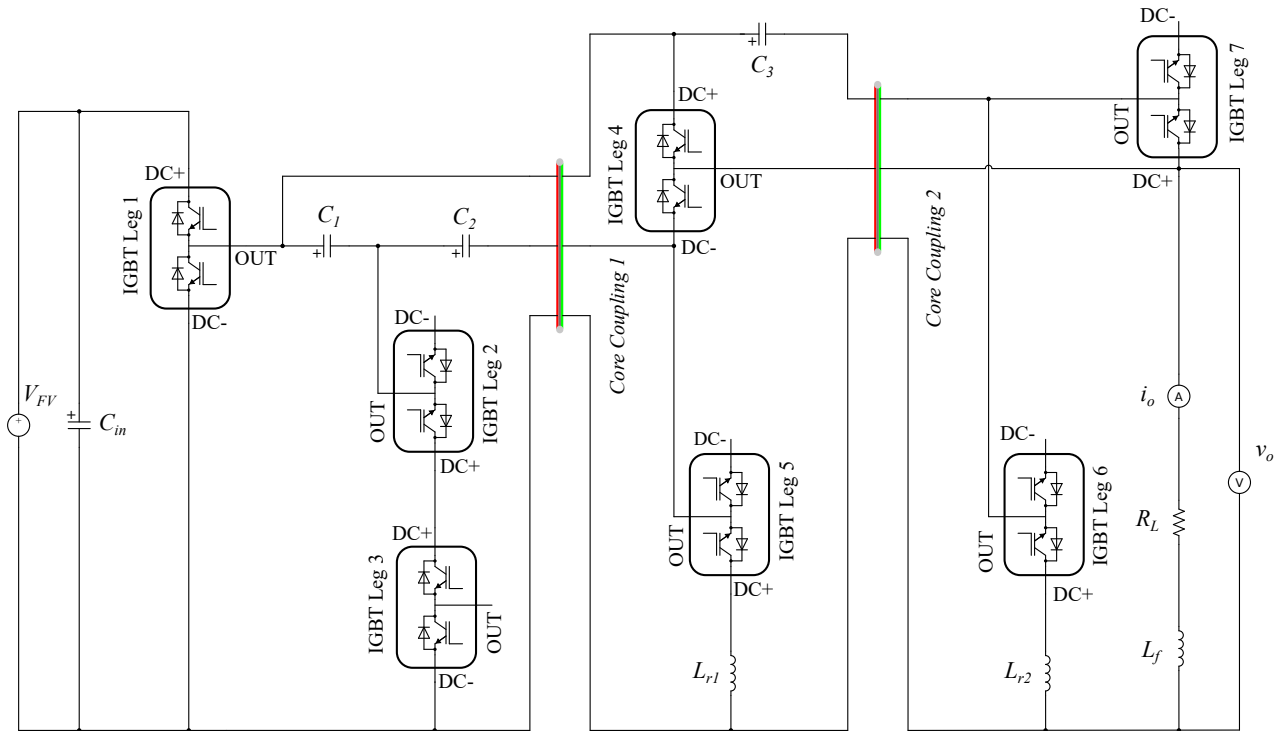


Figura 6.4: Implementación de la topología en Typhoon.

De acuerdo a los cálculos realizados para una potencia de 1 kW, los parámetros del inversor CGT-SCMLI-3C-6 utilizados para emular en Typhoon se presentan en la Tabla 6.1

Tabla 6.1: Parámetros de emulación.

Parámetro	Valor	Parámetro	Valor
$V_{FV}$	220 V	$V_{C_1} = V_{C_2}$	110 V
$C_1 = C_2 = C_3$	2 mF	$V_{C_3}$	220 V
$R_L$	12.5 $\Omega$	$m_a$	0.8
$L_f$	2 mH	$DT$	0.5 $\mu$ s
$f_s$	10 kHz	$P_o$	1 kW
$f_g$	60 Hz	$L_{r_1} = L_{r_2}$	20 $\mu$ H

### 6.3. Resultados de implementación HIL

En esta sección se presentan capturas obtenidas desde el osciloscopio, es importante mencionar que el dispositivo Typhoon HIL no es capaz de generar niveles de voltaje altos como el de 220 V a su salida, por lo tanto, se deben escalar las salidas digitales y analógicas, debido a que el voltaje máximo para una señal digital es de 5 V y para una señal analógica de 12 V. La Figura 6.5 muestra los pulsos de control de los seis interruptores durante cinco periodos de la señal moduladora (60 Hz), obtenidos mediante un osciloscopio *MSO58B* de la marca Tektronix.

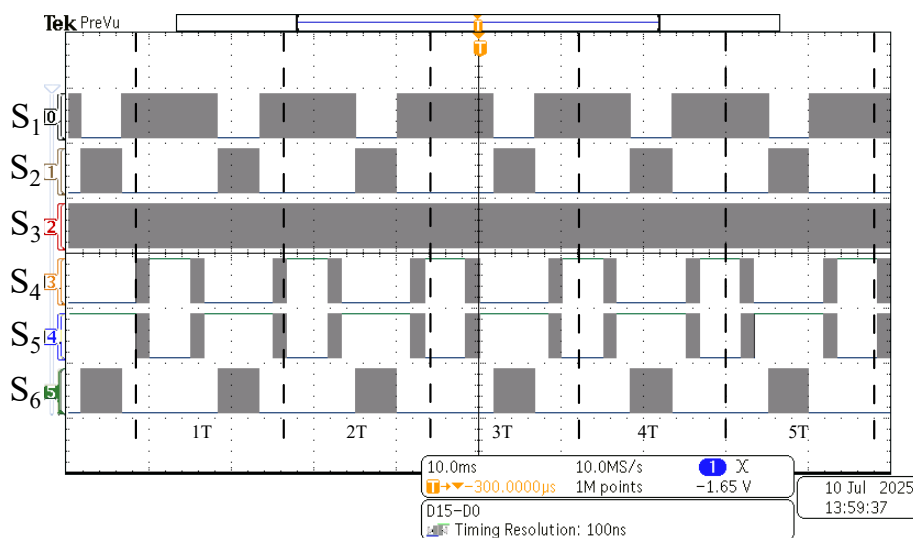


Figura 6.5: Señales digitales durante cinco periodos de la frecuencia fundamental.

La Figura 6.6 muestra el voltaje de cinco niveles a la salida del inversor, dicha señal presenta un desbalance en el semiciclo negativo derivado a la descarga de los capacitores conmutados, sin embargo ese desbalance genera una componente de CD en la corriente de salida menor al 2% (Figura 6.7), la componente de DC se genera al no tener una señal de voltaje simétrico.

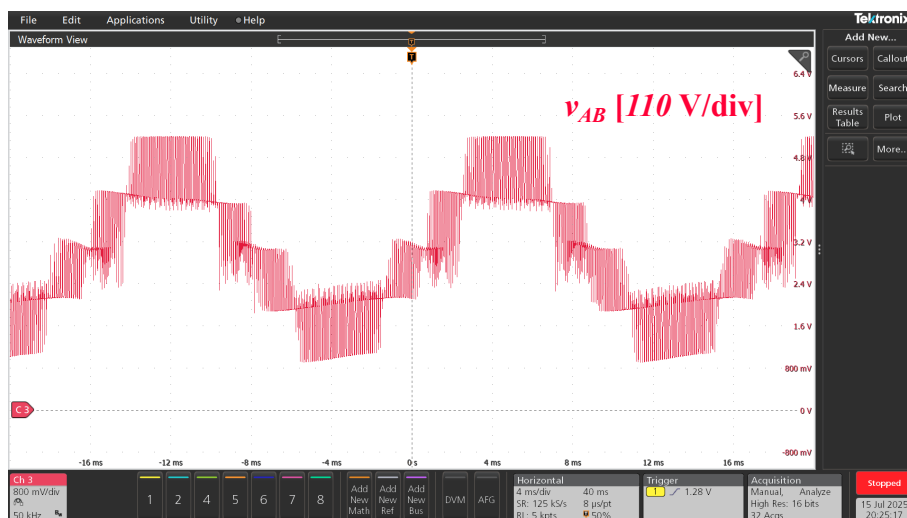


Figura 6.6: Voltaje a la salida del inversor para una potencia de 1 kW.

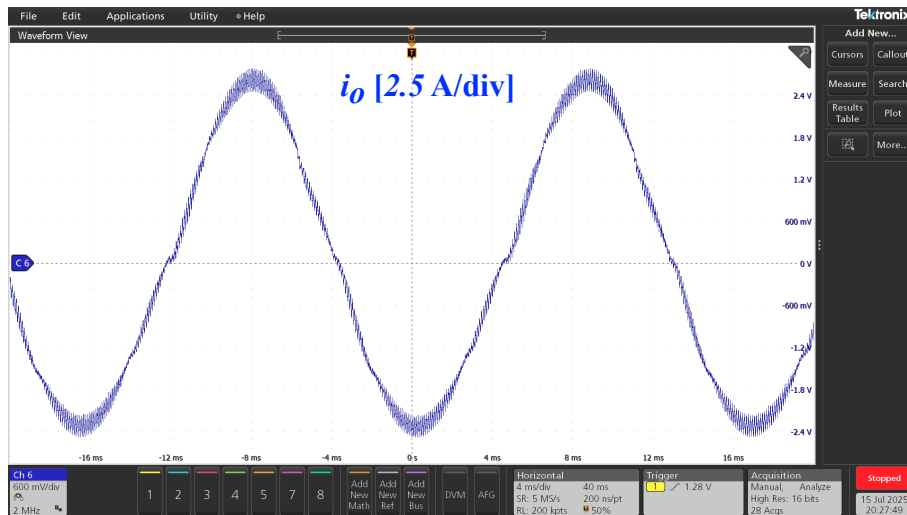


Figura 6.7: Corriente a la salida del inversor para una potencia de 1 kW.

Para corroborar que las señales de voltaje y corriente tengan la misma fase, la Figura 6.8 muestra ambas señales.

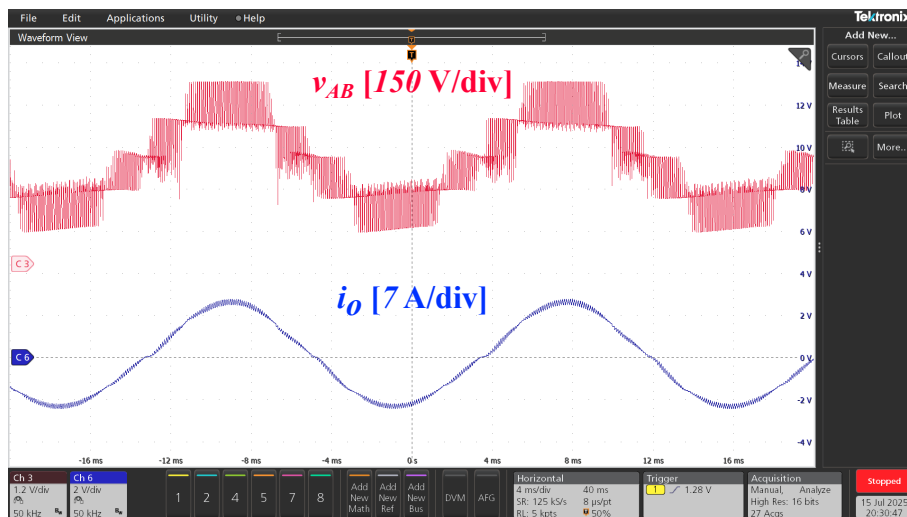


Figura 6.8: Señales de voltaje y corriente a la salida del inversor.

En la Figura 6.9 se muestran la señal PWM de voltaje a la salida de salida del inversor y los voltajes en los capacitores, esta captura permite observar en que sector del inversor se presentan los desbalances en los capacitores, además las formas de onda de los voltajes coinciden en su forma de onda con las señales de simulación (Figura 4.23).

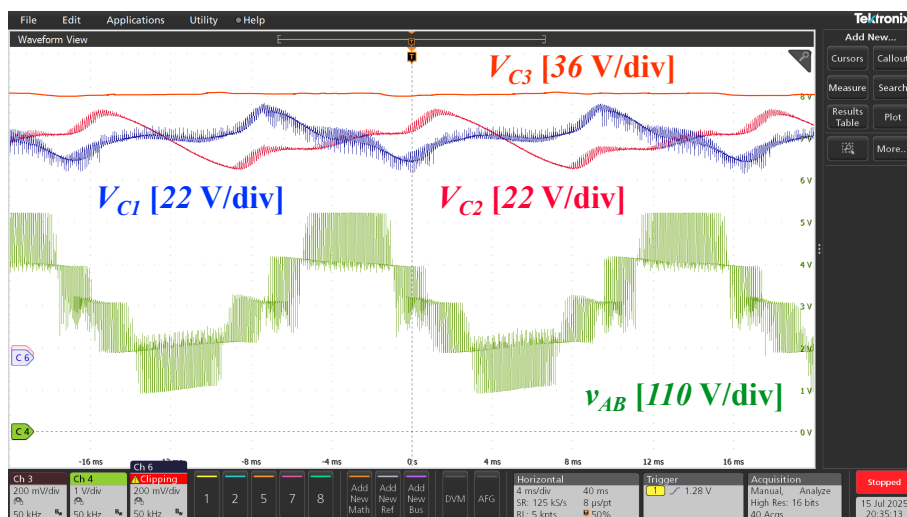


Figura 6.9: Voltaje y corriente a la salida del inversor y voltaje en los capacitores  $C_1$ ,  $C_2$  y  $C_3$ .

Para obtener los resultados anteriores, se utilizó el banco de pruebas de la Figura 6.10, por medio de un osciloscopio de la marca Tektronix modelo **MSO58B** y con sus ocho canales se pudieron visualizar las señales de interés simultáneamente.

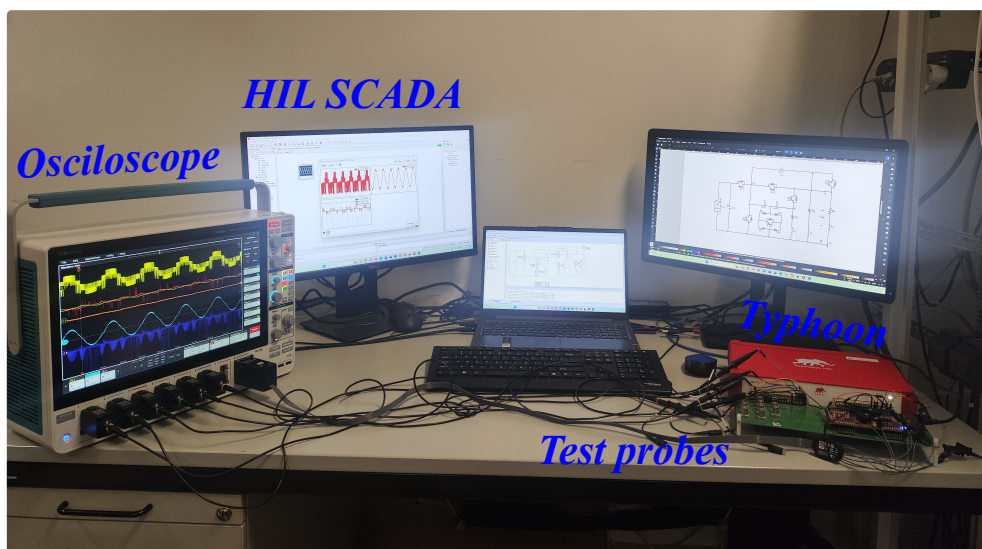


Figura 6.10: Banco de pruebas para la emulación del inversor con Typhoon.

**CAPÍTULO 7.**  
**DISEÑO EXPERIMENTAL**

---

Hasta el momento se mostró la validación del inversor mediante simulación y emulación. En este capítulo se presenta la construcción de un prototipo funcional de laboratorio para seguir con la validación del inversor. La selección de componentes, diseño del circuito de activación de los IGBTs y la construcción de una placa PCB del inversor son las secciones que se presentan en el capítulo

## 7.1. Selección de componentes de potencia

Tomando en cuenta la topología mostrada en la Figura 4.7, a continuación, se describe la implementación de un prototipo experimental, tomando en cuenta algunas consideraciones.

- **Fuente de alimentación principal  $V_{FV}$ :** Se cuenta con una fuente mayor al voltaje de entrada del inversor (220 V) y que pueda suministrar la corriente necesaria, por lo que se utilizó la fuente de poder programable **62012P-600-8** que proporciona un voltaje máximo de 600 V y una corriente de 8 A.
- **Capacitor de dc-link  $C_4$ :** Este capacitor de enlace funciona como una protección a la fuente de alimentación ante sobretiros de corriente, cuando el inversor demanda altas corrientes (en el proceso de carga de los capacitores conmutados), el capacitor suministra parte de esta corriente y evita daños en la fuente de alimentación, el valor de la capacitancia está dado por un arreglo en paralelo de tres capacitores de 1000  $\mu\text{F}$ , el voltaje que soporta debe ser mayor al voltaje de entrada del inversor. Para garantizar que no exista una ruptura en el capacitor se elige un capacitor con al menos un voltaje de 450 V. Los capacitores elegidos son de la marca **NIPPON CHEMI-CON, 36D40247L02**.
- **Capacitores conmutados SCs  $C_1, C_2, C_3$ :** Los cálculos de los capacitores conmutados arrojaron que deben ser mayores a 2 mF, entonces solo la consideración que se debe tomar es el voltaje, los capacitores de la marca **EPCOS, B43456-A9228-M** tienen una capacitancia de 2.2  $\mu\text{F}$  a 400 V, los cuales son perfectos para cumplir las características de diseño.
- **Interruptores IGBTs,  $S_1 - S_6$ :** El voltaje entre colector y emisor debe ser mayor al de la fuente de alimentación, la corriente de colector al menos para el interruptor  $S_1$  debe ser superior a los 18 A que se obtuvieron en simulación, otro aspecto importante es el tiempo de recuperación del diodo antiretorno, dicho tiempo debe ser menor al tiempo muerto implementado en la modulación. El interruptor **FGH60N60SMD** cumple con todas las características, voltaje entre colector emisor ( $V_{CES} = 600 \text{ V}$ ), corriente de colector máxima ( $I_{CM} = 180 \text{ A}$ ) y un tiempo de recuperación del diodo ( $T_{rr} = 33 \text{ ns}$ ).
- **Diodos,  $D_1 - D_6$ :** Al igual que los interruptores, los mismos tres parámetros se tienen que tomar en cuenta, el diodo de modelo **C4D15120A** cumple con las características que implica el inversor. Con una corriente máxima  $I_F = 21 \text{ A}$ , según la hoja de datos del fabricante el tiempo de recuperación es cero, en otras palabras es un diodo muy rápido.

- **Inductores de carga,  $L_{r_1}$  y  $L_{r_2}$ :** Por lo general, para los inductores se busca que se diseñen en base a las necesidades de inductancia y de corriente. Para este trabajo de tesis se utilizan inductores con número de parte **2105-H-RC**, los cuales son inductores de núcleo toroidal de ferrita, y con su embobinado de calibre 20 AWG que puede soportar la corriente de carga de los capacitores conmutados.

## 7.2. Circuito de disparo de los IGBTs

El circuito de disparo (*driver*) es el que permite que los interruptores puedan activarse y desactivarse, generando pulsos entre la compuerta y el emisor del IGBT. La modulación se obtiene de un DSP, entonces es necesario separar el circuito del DSP del circuito driver, para ello se utiliza un *Buffer* como aislamiento más específicamente el **SN74HCT541N** este componente también sirve para ampliar los pulsos digitales tanto en voltaje como en corriente, debido que las señales del DSP son de 3.3 V a una corriente baja.

Además, si el emisor del IGBT no está conectado a la tierra del inversor, entonces es necesario realizar un aislamiento para evitar cortocircuito. En la Figura 7.1 se muestra el circuito de aislamiento para dos interruptores en serie.

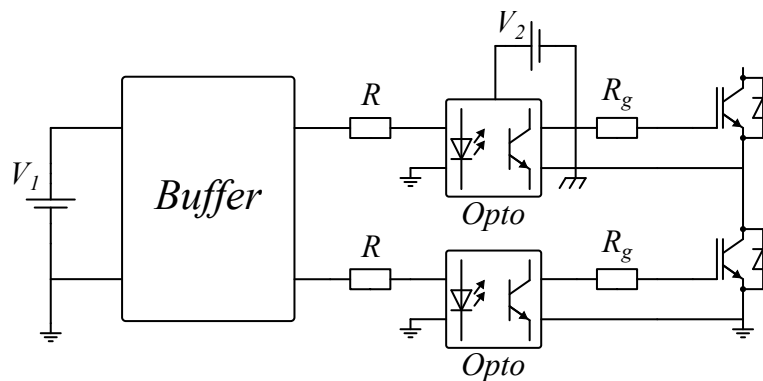


Figura 7.1: Circuito driver y aislamiento de interruptores.

Para determinar el valor de la resistencia  $R$  debe calcularse en base a la corriente y el voltaje de entrada del optoacoplador de acuerdo a la ley de ohm, dado que la corriente típica es de 10 mA y el voltaje de entrada del optoacoplador es de 5 V y considerando la caída de voltaje del diodo de entrada, entonces se obtiene una resistencia de 450  $\Omega$ , teniendo el valor más cercano de 470  $\Omega$ . La resistencia  $R_g$  se encarga de limitar la corriente de compuerta que usualmente es de un valor pequeño, para el circuito de la Figura 7.1 es de 10  $\Omega$ . El voltaje  $V_1$  es la alimentación del circuito de disparo, y el voltaje  $V_2$  es un voltaje aislado para evitar cortocircuitos. La fuente **MGJ2D151505SC** genera dos niveles de voltaje (+15 V y -5 V) ideales para esta aplicación.

Para corroborar el diseño y el correcto funcionamiento del circuito de disparo de los interruptores, la Figura 7.2 muestra una comparativa de las señales a la salida del DSP (señales digitales) y las señales entre la compuerta y el emisor de cada interruptor (medidas con puntas diferenciales).

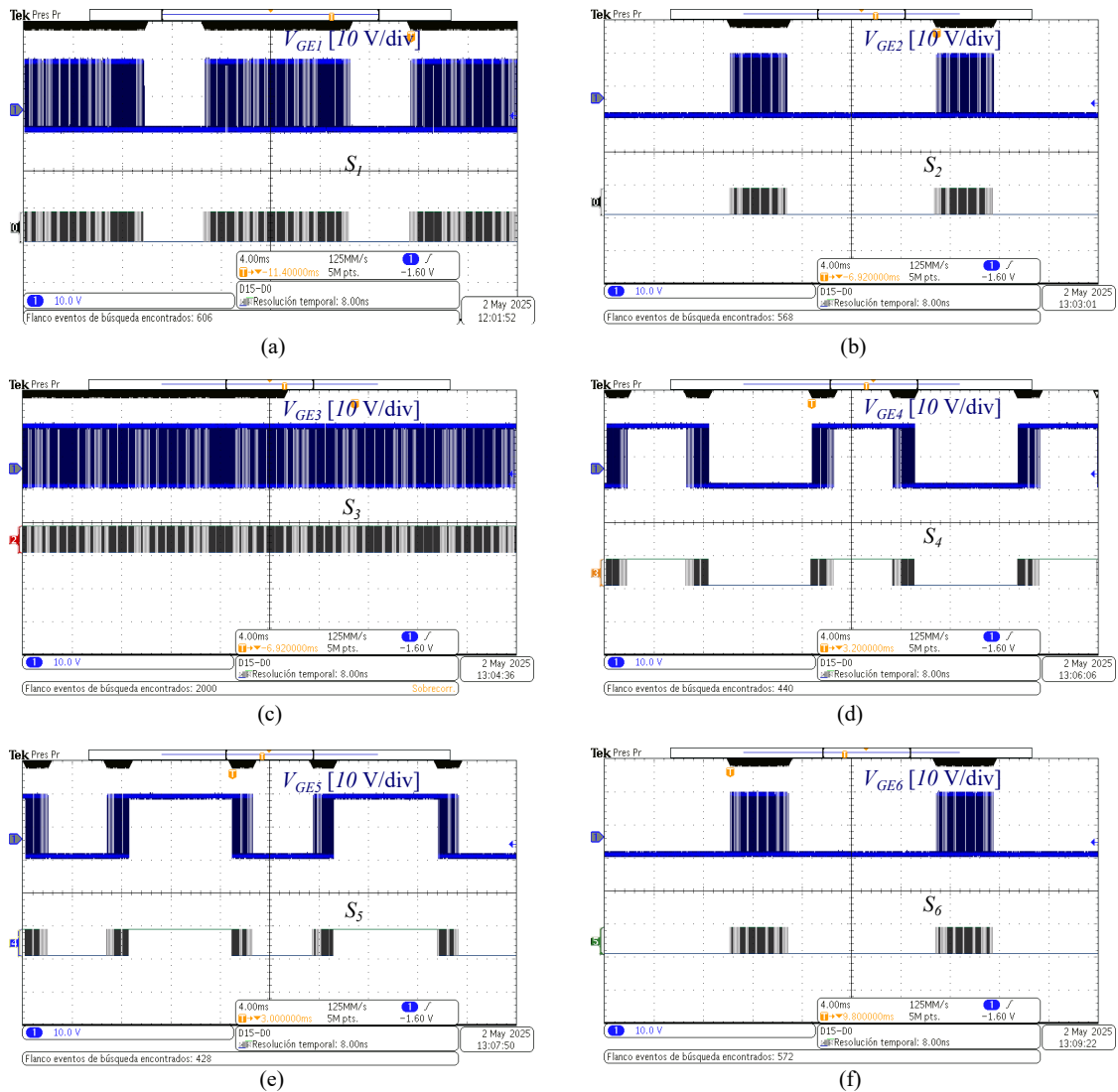


Figura 7.2: Comparativa entre señales a la salida del DSP y señales de disparo. (a) para el interruptor  $S_1$ . (b)  $S_2$ . (c)  $S_3$ . (d)  $S_4$ . (e)  $S_5$ . (f)  $S_6$ .

### 7.3. PCB en Altium Designer

Actualmente existen en el mercado software para el diseño de PCBs como: KiCad, EAGLE, Altium Designer, OrCAD, Proteus, etc. La elección de Altium Designer se basa en la practicidad y el grado profesional en el diseño de PCBs, además que se pueden crear reglas de diseño para los archivos de fabricación. Sin dejar de lado la accesibilidad de crear librerías con componentes reales.

El circuito esquemático en Altium se muestra en la Figura 7.3, dicho esquemático esta dividido en cinco bloques. Alimentación digital, circuito buffer de aislamiento, alimentación aislada, optoacopladores e inversor. Para la alimentación general del circuito digital y ante un cambio de polaridad, se colocan dos diodos rectificadores en paralelo, así cuando se alimente con una polaridad invertida el los circuitos digitales no sufren algún daño. Para evitar ruido en el voltaje de salida de las fuentes aisladas se colocan arreglos de capacitores electrolíticos y cerámicos.

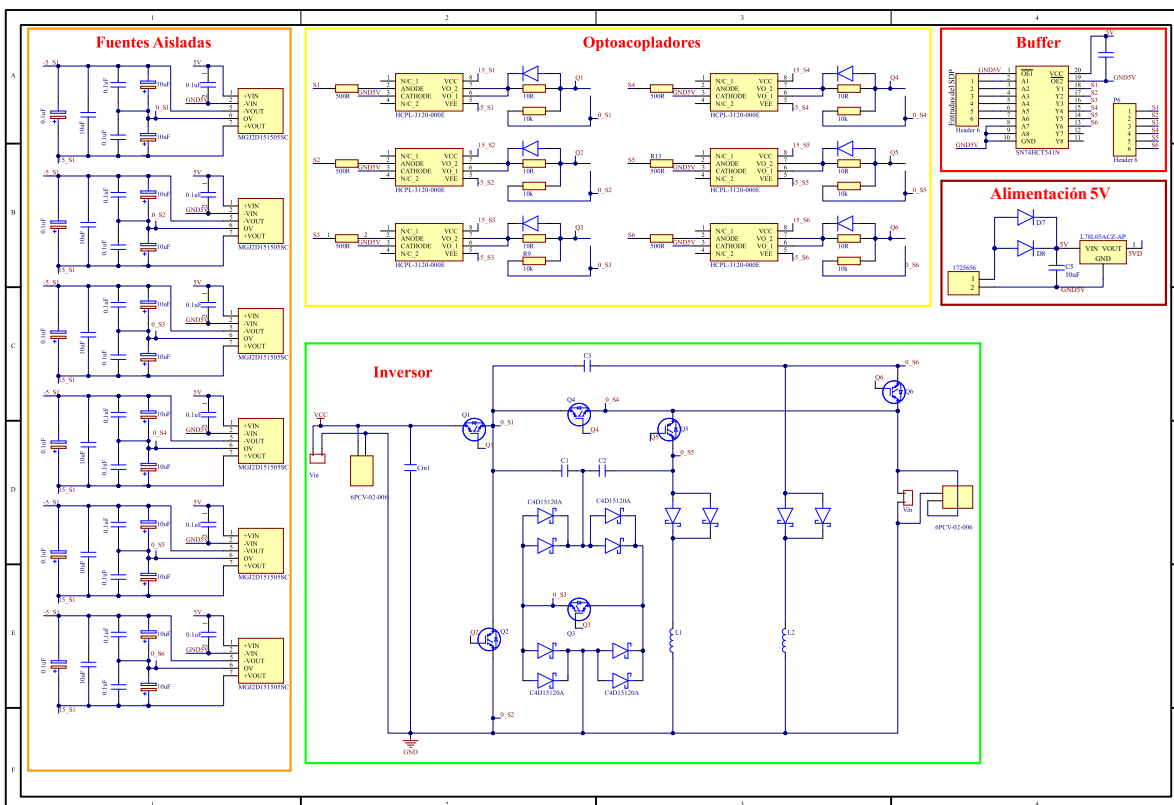


Figura 7.3: Circuito esquemático en Altium Designer.

Se diseñó de tal manera que las señales de disparo de los interruptores sean lo más directas y cercanas posibles a los interruptores; sin embargo, las señales de activación tienen que estar separadas del circuito de potencia para evitar ruido eléctrico. Esto permite obtener un diseño de PCB muy compacto de dimensiones de 18x12 cm. La Figura 7.4 muestra una visualización en 3D de la placa PCB.

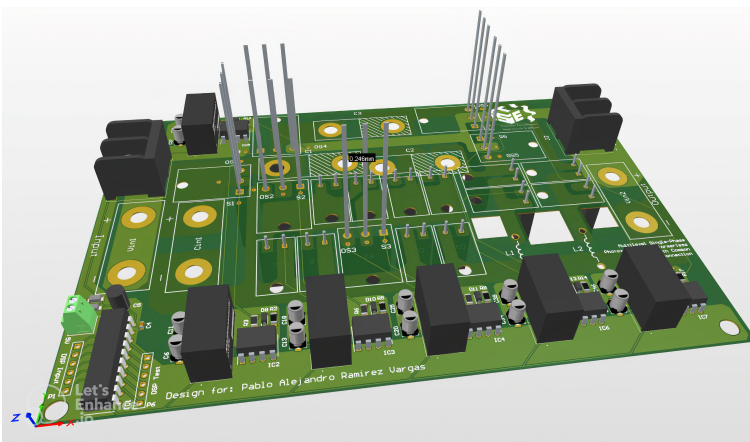


Figura 7.4: Aspecto de la PCB en 3D.

## 7.4. Consideraciones de diseño PCB

- Compatibilidad en los componentes, que todo el circuito digital funcione con una sola fuente de alimentación y así evitar problemas de voltajes flotados.
- Cálculo resistencias que limiten las corrientes de alimentación a encapsulados sensibles por corriente.
- Estabilidad por medio de áreas de cobre conectados a la tierra digital para los pulsos digitales y así evitar ruido eléctrico derivado del circuito de potencia.
- Separación mínima de 1 mm entre vías de potencia y un ancho suficiente para garantizar la potencia deseada.
- Consideración de un elemento de disipación de calor para los semiconductores.
- Conexión tipo *through-hole* para los capacitores conmutados y fijación con tornillos.

## **CAPÍTULO 8. ANÁLISIS DE PÉRDIDAS**

---

En este capítulo se muestra un análisis de pérdidas por conducción y conmutación en los semiconductores con el módulo térmico (*Thermal Module*) del software PSIM. Esta herramienta permite cargar características eléctricas y curvas de comportamiento de los dispositivos a analizar. Debido a que el inversor presenta diferentes pérdidas como las pérdidas por temperatura, por inductancias parásitas de las pistas o por resistencias parásitas de los elementos [22], con este análisis se puede obtener una aproximación de las pérdidas finales del inversor. Los semiconductores que se eligieron para la implementación del inversor y los cuales son el objeto de estudio son FGH60N60SMD del fabricante ON Semiconductor y C4D15120A de Wolfspeed para los IGBT y diodos, respectivamente.

## 8.1. Base de datos de dispositivos

Dentro del software PSIM se encuentra una herramienta (*Device Database Editor*) que permite agregar a la base de datos del análisis térmico, dispositivos semiconductores como diodos, IGBTs y MOSFET. En la Figura 8.1 se muestra la ventana emergente para agregar dispositivos a la base de datos. El recuadro en color rojo muestra las librerías que agregan dispositivos al módulo térmico, el recuadro en color azul muestra los dispositivos que se encuentran dentro de las librerías; del lado derecho de la ventana se muestra información del dispositivo como fabricante y número de fabricante. También, en esta sección se agregan características eléctricas y curvas de comportamiento del dispositivo que se obtienen de la hoja de datos del fabricante.

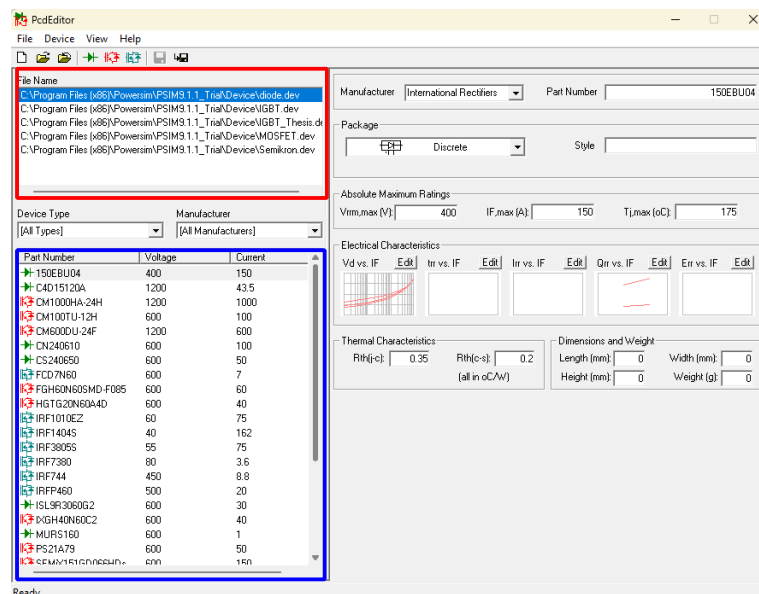


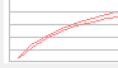
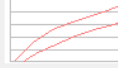
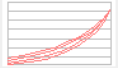



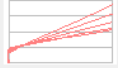


Figura 8.1: Ventana del módulo térmico para agregar dispositivos.

Las características eléctricas y curvas de comportamiento para el IGBT y el diodo se muestran en la Figura 8.2(a) y (b), respectivamente. Como se puede observar no se presentan curvas de recuperación para el diodo C4D15120A ya que el fabricante especifica que son cero, por lo tanto, las pérdidas por conmutación para el diodo serán cero, mientras que para el IGBT si existen pérdidas de conducción y conmutación.

Manufacturer	ON Semiconductor	Part Number	FGH60N60SMD-F085		
Package					
		Discrete	Style		
Absolute Maximum Ratings					
Vce,max (V):	600	Ic,max (A):	60	Tj,max (oC):	175
Electrical Characteristics - Transistor					
Vce(sat) vs. Ic	Edit	Eon vs. Ic	Edit	Eoff vs. Ic	Edit
					
Electrical Characteristics - Diode					
Vd vs. IF	Edit	trr vs. IF	Edit	Irr vs. IF	Edit
					
Thermal Characteristics		Dimensions and Weight			
Rth(j-c) (transistor):	0.25	Rth(c-s):		Length (mm):	20
Rth(j-c) (diode):	1.1	(all in oC/W)		Width (mm):	15
				Height (mm):	4
				Weight (g):	

(a)

Manufacturer	Wolfspeed	Part Number	C4D15120A		
Package					
		Discrete	Style		
Absolute Maximum Ratings					
Vrrm,max (V):	1200	IF,max (A):	43.5	Tj,max (oC):	152.5
Electrical Characteristics					
Vd vs. IF	Edit	trr vs. IF	Edit	Irr vs. IF	Edit
					
Thermal Characteristics		Dimensions and Weight			
Rth(j-c):	0.7	Rth(c-s):		Length (mm):	15
		(all in oC/W)		Width (mm):	10
				Height (mm):	4
				Weight (g):	

(b)

Figura 8.2: Cuadro de dialogo para agregar a la base de datos de las características eléctricas de los semiconductores. (a) IGBT FGH60N60SMD. (b) Diodo C4D15120A.

## 8.2. Cálculo de pérdidas en un diodo

El módulo térmico de PSIM permite elegir diodos discretos o empaquetados de diodos, en la Figura 8.3 se muestra la apariencia del diodo discreto del módulo térmico, el diodo contiene sus pines de ánodo ( $A$ ) y cátodo ( $K$ ), además tiene dos pines, los cuales sirven para tomar las mediciones de las pérdidas con conducción ( $P_d$ ) y conmutación ( $P_{sw}$ ).

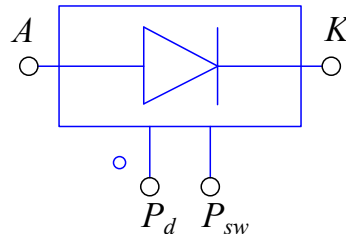


Figura 8.3: Apariencia de un diodo discreto del módulo térmico.

El manual del módulo térmico indica que las pérdidas por conducción del diodo se calcula con (8.1) en watts.

$$P_d = V_d I_F \quad (8.1)$$

donde  $V_d$  es la caída de voltaje en el diodo e  $I_F$  es la corriente directa que fluye en el diodo. Mientras que las pérdidas por conmutación se calculan con (8.2) en watts.

$$P_{sw} = \frac{1}{8} t_{rr} I_{rr} V_R f \quad (8.2)$$

donde,  $t_{rr}$  es el tiempo de recuperación inversa,  $I_{rr}$  es la corriente de recuperación inversa,  $V_R$  es el voltaje de bloqueo inversa, y  $f$  es la frecuencia a la cual se realiza el cálculo (para inversores  $f_g$  y en convertidores  $f_s$ ). Si el diodo no cuenta con información de recuperación, entonces, las pérdidas de conmutación en el diodo serán cero (tal como se mencionó anteriormente).

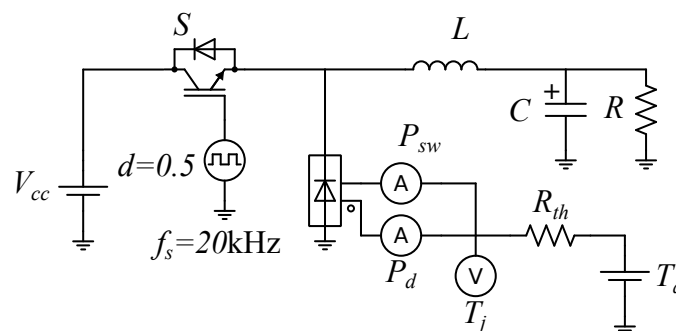


Figura 8.4: Ejemplo para la medición de pérdidas de un diodo en un convertidor buck.

En simulación, por medio de un amperímetro se pueden medir las pérdidas por conducción y conmutación, además, con ayuda de un voltímetro se puede medir la temperatura en la unión del semiconductor ( $T_j$ ) considerando resistencias de disipación ( $R_{th}$ ) y temperatura ambiente ( $T_a$ ). En la Figura 8.4 se muestra un circuito de ejemplo para medir las pérdidas de un diodo para un convertidor buck.

### 8.3. Cálculo de pérdidas de un IGBT

Al igual que para el diodo, existen diferentes configuraciones de IGBT. En la Figura 8.5 se muestra la apariencia de un IGBT discreto del módulo térmico, los típicos pines de colector ( $C$ ), emisor ( $E$ ) y compuerta ( $G$ ) funcionan como cualquier otro IGBT, sin embargo también están los pines de pérdidas como  $P_d$  y  $P_{sw}$  para las pérdidas de conducción y conmutación tanto para el transistor como para el diodo antiparalelo que internamente tiene el IGBT.

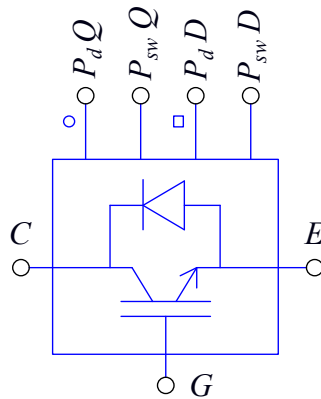


Figura 8.5: Apariencia de un IGBT discreto del módulo térmico.

Las pérdidas por conducción del transistor están dadas por (8.3) en watts.

$$P_{dQ} = V_{ce_{sat}} I_c \quad (8.3)$$

donde  $V_{ce_{sat}}$  es el voltaje de saturación colector-emisor del transistor e  $I_c$  es la corriente de colector. Mientras que las pérdidas por conmutación se calculan con (8.4) en watts.

$$P_{swQ} = E_{on}f + E_{off}f \quad (8.4)$$

donde,  $E_{on}$  representa las pérdidas de energía de activación del transistor,  $E_{off}$  son las pérdidas de energía al apagar el transistor y  $f$  es la frecuencia a la cual se realiza el cálculo. Dado que el IGBT tiene un diodo antiparalelo, la forma de calcular sus pérdidas son iguales a las ecuaciones (8.1) y (8.2) para conducción y conmutación, respectivamente.

La simulación de las pérdidas en un IGBT, necesita los mismos componentes que en el ejemplo de la Figura 8.4, con los cuatro amperímetros se pueden medir las pérdidas en watts tanto para el transistor como para el diodo antiparalelo del IGBT.

### 8.4. Pérdidas en el inversor

Las pérdidas que se presentan en cualquier inversor dependen de los dispositivos semiconductores, ya que si se utilizan por ejemplo, interruptores no rápidos, las pérdidas por conmutación serán más grandes que si se utilizará un interruptor rápido; la rapidez de un interruptor depende generalmente por el material del cual está hecho, un interruptor de silicio ( $Si$ ) es menos rápido que un interruptor de carburo de silicio

(SiC). Manteniendo el número de semiconductores y el material, las pérdidas del inversor va a depender de la potencia que demande la carga de inversor. En la Figura 8.6 se muestra la distribución de pérdidas por conducción para los seis diodos, note que cuando la potencia sube, las pérdidas también lo hacen.

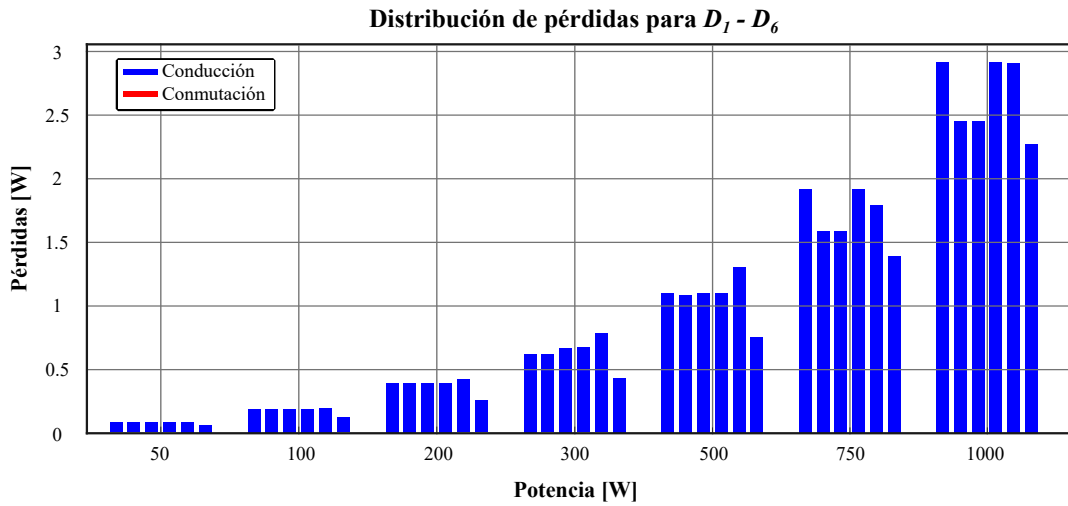


Figura 8.6: Distribución de pérdidas para los diodos.

La distribución de las pérdidas en los interruptores se muestran en la Figura 8.7, en esta gráfica se puede observar que cuando la potencia pasa los 500 W, las pérdidas por conmutación en el interruptor  $S_3$  aumentan esto sucede porque su conmutación es más abrupta ya que es el encargado de descargar los capacitores conmutados y como se analizó en el diseño de la topología, a más potencia, la corriente de descarga de los capacitores será mayor.

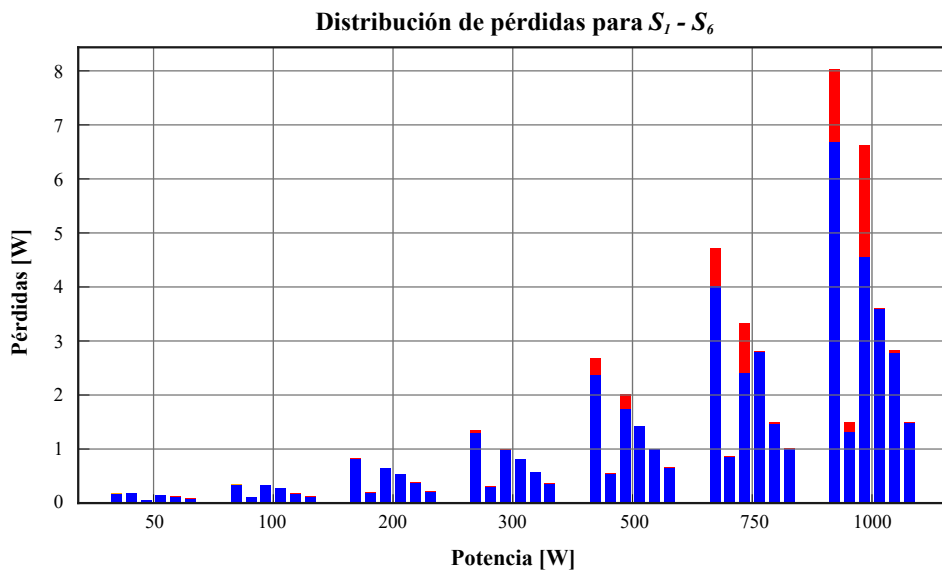


Figura 8.7: Distribución de pérdidas para los interruptores.

La curva de eficiencia que describe el comportamiento de la eficiencia del inversor a distintas potencias se muestra en la Figura 8.8, note que las variaciones no son mayores al 2% para potencias que van de los 100 W a 1 kW.

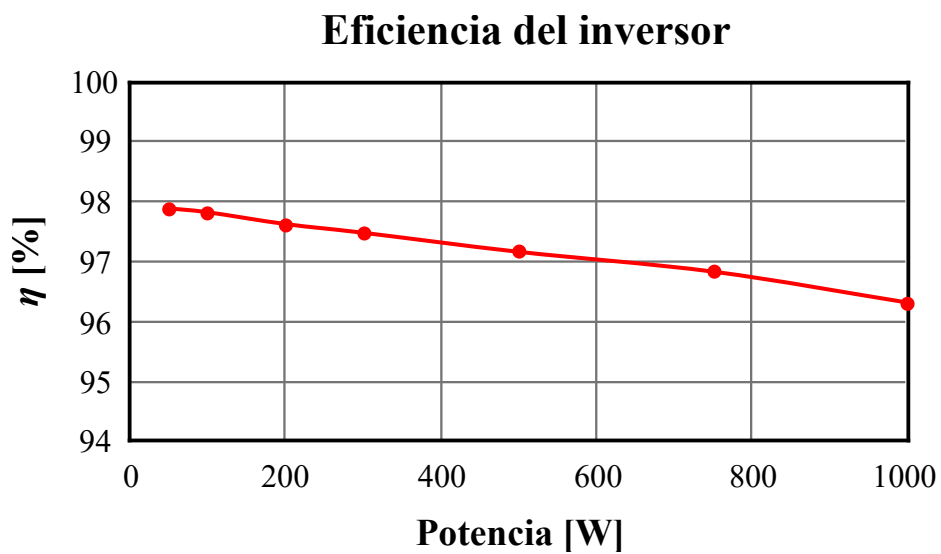


Figura 8.8: Curva de eficiencia del inversor propuesto en esta tesis.

## **CAPÍTULO 9.**

# **RESULTADOS EXPERIMENTALES**

---

Este capítulo tiene como objetivo validar los niveles de voltaje de la topología y llegar a la máxima potencia permitida. En la Figura 9.1 se muestra el banco de pruebas del prototipo.

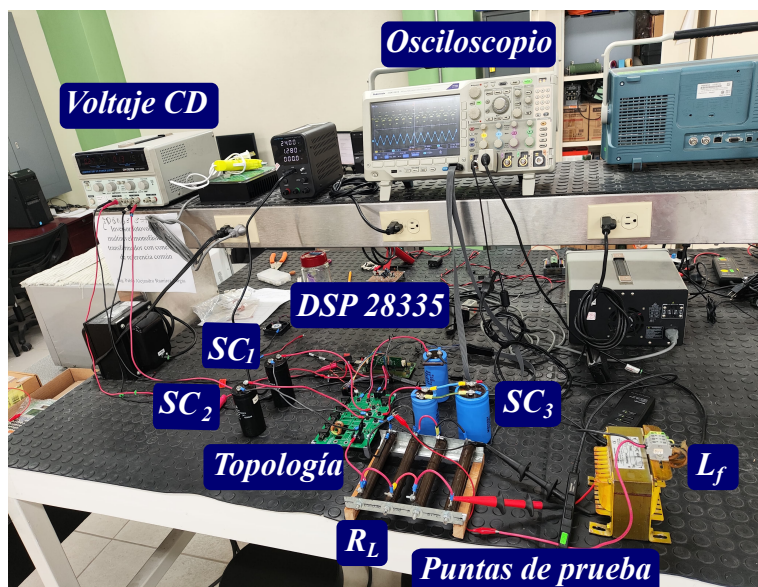


Figura 9.1: Banco de pruebas de laboratorio.

Los resultados experimentales para este trabajo de tesis se obtuvieron con los parámetros que se muestran en la Tabla 9.1. Los anteriores capítulos mostraron resultados en simulación y emulación para una potencia de 1 kW, sin embargo, en este capítulo los resultados presentados son para 300 W, ya que la fuente con la que se cuenta en el laboratorio no proporciona la corriente suficiente.

Tabla 9.1: Parámetros del prototipo de inversor.

Parámetro	Valor	Parámetro	Valor
$V_{FV}$	110 V	$V_{C_1} = V_{C_2}$	55 V
$C_1 = C_2 = C_3$	2.2 mF	$V_{C_3}$	110 V
$R_L$	12.5 $\Omega$	$m_a$	0.8
$L_f$	2 mH	$DT$	500 ns
$f_s$	10 kHz	$P_o$	300 W
$f_g$	60 Hz	$L_{r_1} = L_{r_2}$	20 $\mu H$

## 9.1. Validación de la Topología

Para que la topología sea validada, debe ser capaz de generar los cinco niveles de voltaje, además las formas de onda de las señales de salida e internas del inversor deben coincidir con las mostradas en simulación. Una de las señales de interés es el voltaje a la salida del inversor, en la Figura 9.2 se muestra el voltaje multinivel a la salida del inversor.

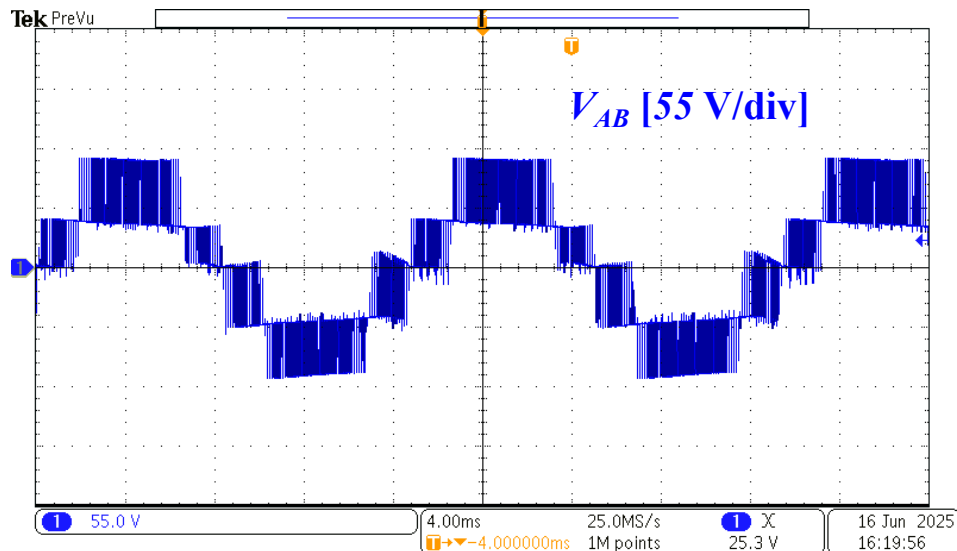


Figura 9.2: Voltaje multinivel a la salida del inversor propuesto.

En la señal de voltaje se pueden observar algunos sobretiros de voltaje, esto sucede al implementar los tiempos muertos, dado que esta topología no presenta estados redundantes, cuando se emplean los tiempos muertos se crean estados no validos para la topología, sin embargo, como la topología puede utilizarse para una conexión a la red eléctrica, esos sobretiros de alta frecuencia presentados en el voltaje pueden eliminarse con la inductancia del filtro a la salida del inversor, en la Figura 9.3 se muestra la corriente a la salida del inversor, en la que no se presentan anomalías.

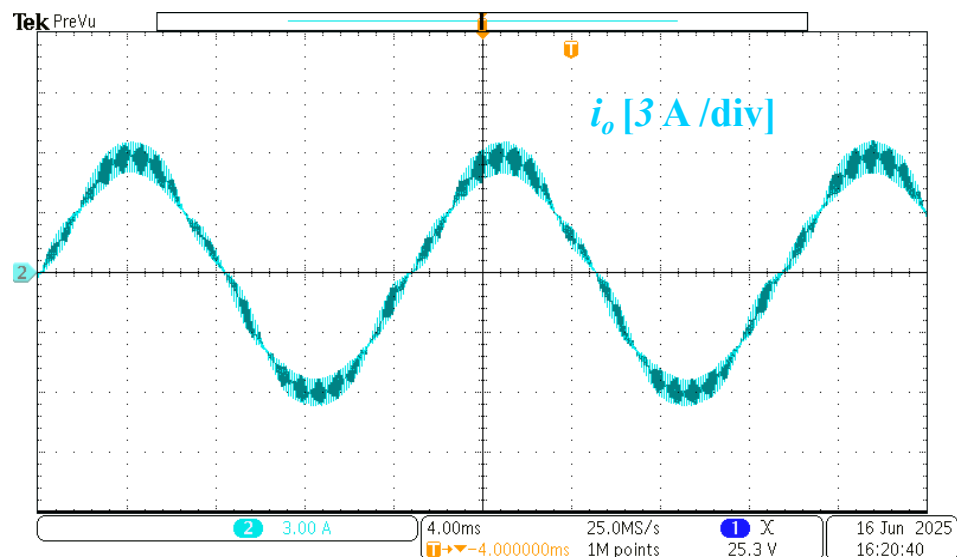


Figura 9.3: Corriente a la salida del inversor.

Para comprobar que las señales de voltaje y corriente no presentan desfase entre sí, en la Figura 9.4 se muestran ambas señales, si se mide la potencia real del inversor con estas dos señales, se obtiene una potencia de 300 W. Por otro lado, la componente de DC de la corriente a la salida del inversor, la medición de la corriente promedio es de

32 mA, es decir que cumple con la normativa IEC 61727, la cual indica que sea menor al 1%.

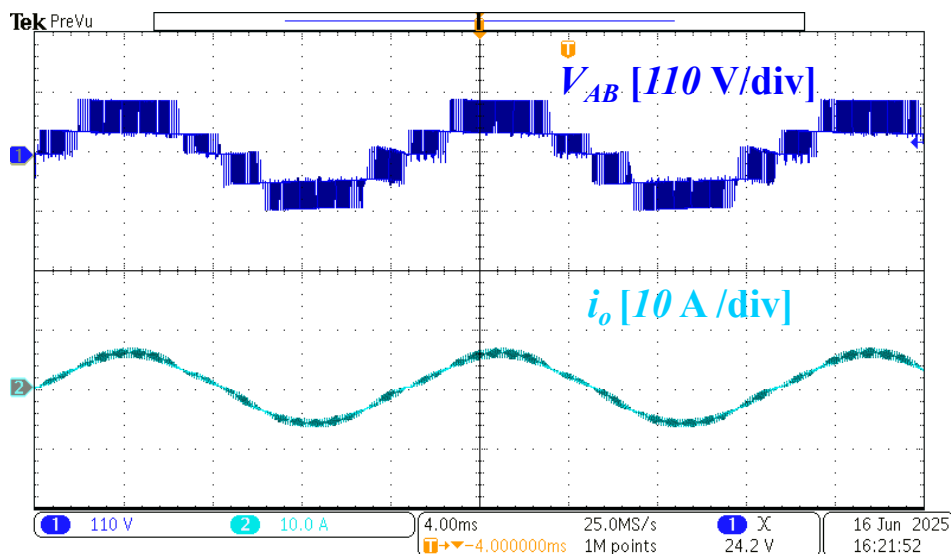


Figura 9.4: Señales de voltaje y corriente a la salida del inversor.

El desbalance en el semiciclo negativo presentado en el voltaje a la salida del inversor (Figura 9.2) se debe al desbalance del capacitor conmutado  $C_2$ , la Figura 9.5 muestra los voltajes de los capacitores conmutados  $C_1$  y  $C_2$ , en la Figura 4.11 del capítulo 4 se grafica el desbalance, que para una potencia de 300 W y una capacitancia de 2 mF es menor a 6 V; lo cual se cumple observando el voltaje en los capacitores.

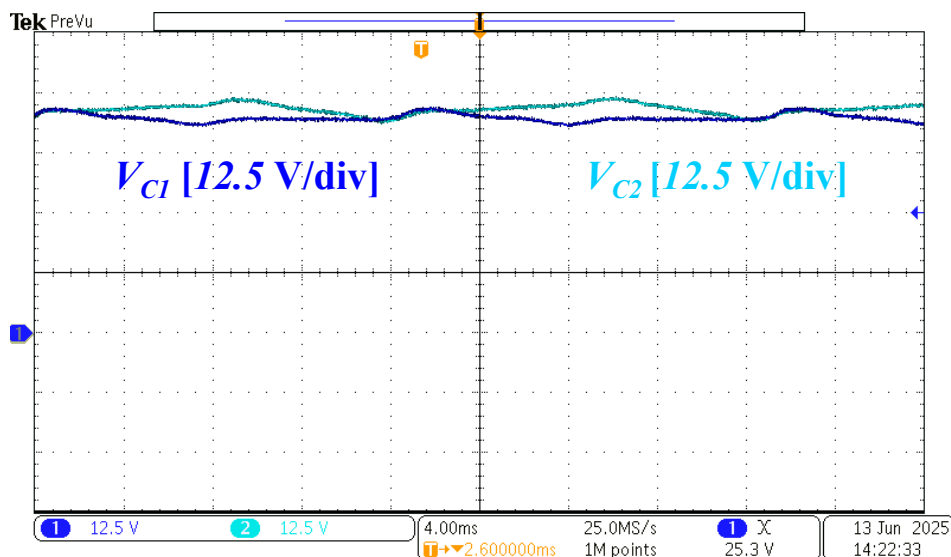


Figura 9.5: Voltaje de los capacitores conmutados  $C_1$  y  $C_2$ .

Por otro lado, el capacitor conmutado  $C_3$  presenta un desbalance igual que el capacitor  $C_2$  (Figura 9.6). Mientras que los desbalances en los voltajes de los capacitores se mantengan bajos, la corriente a la salida del inversor no presentará una componente de DC y por lo tanto la calidad de la energía que se pueda inyectar a la red eléctrica será buena.

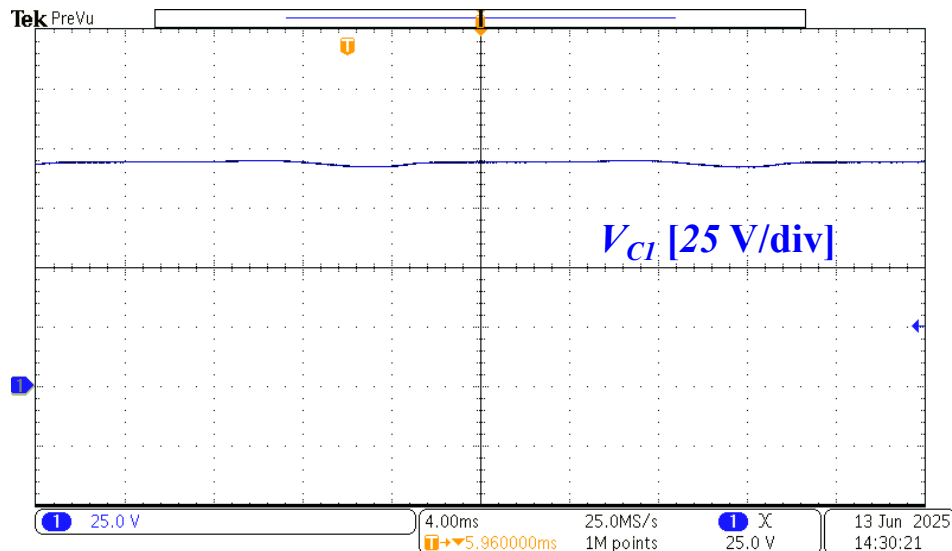


Figura 9.6: Voltaje del capacitor conmutado  $C_3$ .

El reto en los inversores con capacitores conmutados es reducir la corriente de carga ya que tienen capacitancias grandes, la corriente que requieren para cargarse son grandes. El capacitor del dc-link se comporta como una protección de la fuente de alimentación ante sobre tiros de corriente, por ello para observar la corriente que fluye a través del interruptor  $S_1$  se tienen que sumar tanto la corriente de la fuente y la corriente del capacitor de dc-link, la Figura 9.7 muestra ambas corrientes que al sumarse, se fluye una corriente aproximada de 6 A RMS.

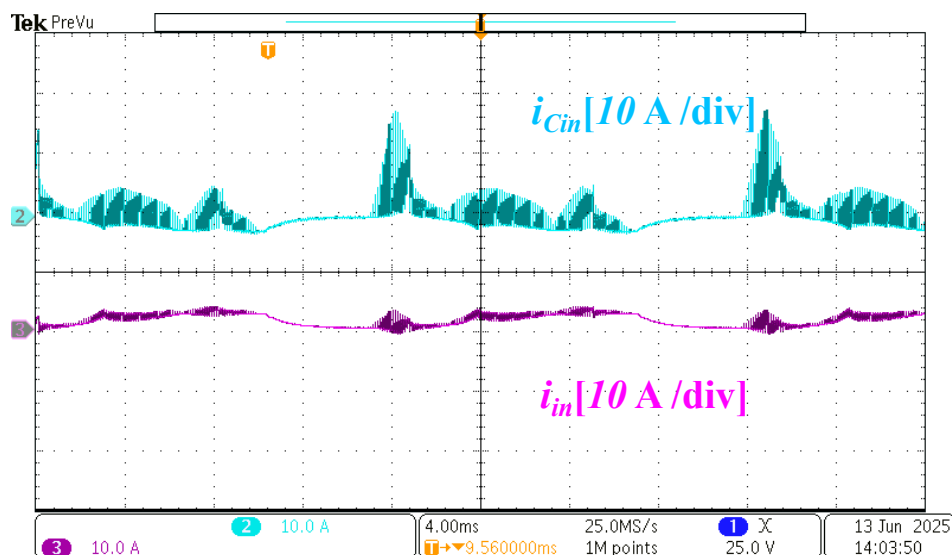


Figura 9.7: Corriente de la fuente y del capacitor de dc-link.

La mayor razón de que el inversor tenga alta eficiencia se debe principalmente por tres razones, la principal es que el inversor no tiene una etapa de protección galvánica, además que los interruptores tienen tiempos de recuperación muy cercanos a cero y por ello las pérdidas por conmutación también son mínimas, tal como se mostró en la Figura 8.7. Por otro lado si se analizan los voltajes de colector-emisor de los interruptores se puede calcular el estrés al cual están siendo sometidos los interruptores. En la Figura 9.8 se muestran los voltajes entre colector y emisor de los seis interruptores; todos los interruptores, excepto el interruptor  $S_3$ , el máximo voltaje es igual al voltaje de la fuente, mientras que  $S_3$  su voltaje es tan solo de la mitad del voltaje de la fuente. Note que los interruptores  $S_4$ ,  $S_5$  y  $S_6$  no se accionan durante todo el periodo, esto también ayuda a la eficiencia del inversor.

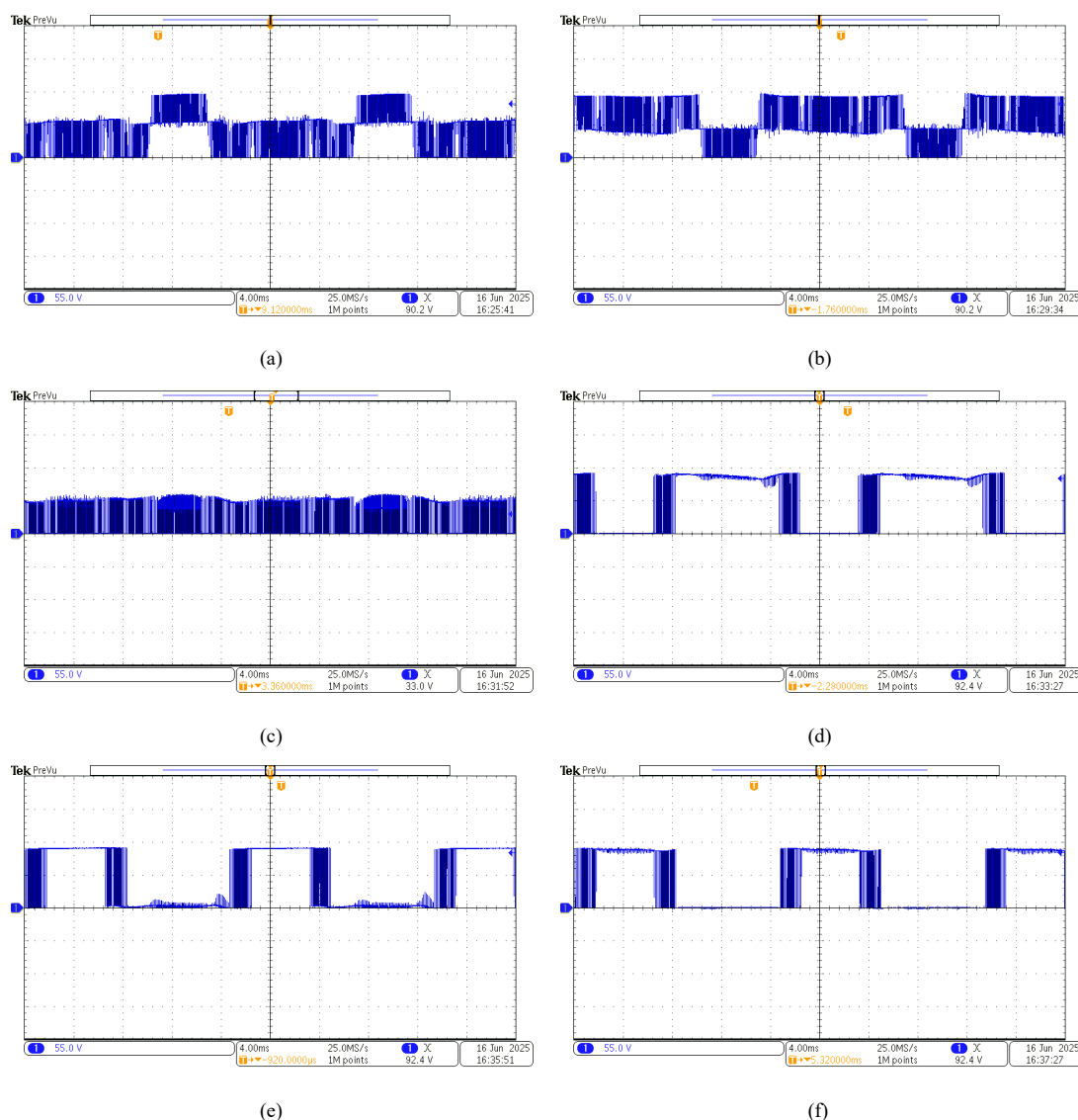


Figura 9.8: Voltajes entre colector-emisor de los interruptores. (a) Para el interruptor  $S_1$ ,  $V_{CE1_{max}} = V_{FV}$ . (b) Para  $S_2$ ,  $V_{CE2_{max}} = V_{FV}$ . (c) Para el interruptor  $S_3$ ,  $V_{CE3_{max}} = 0.5V_{FV}$ . (d) Para el interruptor  $S_4$ ,  $V_{CE4_{max}} = V_{FV}$ . (e) Para el interruptor  $S_5$ ,  $V_{CE5_{max}} = V_{FV}$ . (f) Para  $S_6$ ,  $V_{CE6_{max}} = V_{FV}$

## 9.2. Mediciones de las señales eléctricas

A continuación, por medio de la Tabla 9.2 se presentan algunas mediciones de las señales eléctricas como La distorsión armónica total (THD) para las señales de voltaje y corriente a la salida del inversor, el valor promedio de la corriente de salida para determinar la componente de DC, el desbalance en el voltaje de los tres capacitores conmutados, la potencia real del inversor, y la corriente de modo común. En base a la normativa *IEC 61727*, tanto la distorsión armónica total de la corriente y la componente de DC cumplen la norma. Para la corriente de modo común, la normativa *IEC 62109-2* permite corrientes menores a los 300 mA, por consecuencia cumple con la normativa.

Tabla 9.2: Mediciones de las señales eléctricas.

<b>Medición</b>	<b>Valor</b>
Voltaje RMS de salida, $V_{AB}$	65.25 V
Corriente RMS de salida, $I_o$	7.85 A
$THD_v$	39%
$THD_i$	7%
Componente de DC, $i_{DC}$	32 mA (0.5%)
$\Delta V_{C_1}$	4 V
$\Delta V_{C_2}$	6.5 V
$\Delta V_{C_3}$	6.5 V
Potencia de salida, $P_o$	308 W
Eficiencia, $\eta$	97.5%
Corriente de modo común, $i_{CM}$	0 A

**CAPÍTULO 10.**  
**ANÁLISIS COMPARATIVO**

---

En este capítulo se presenta un análisis comparativo con otros inversores multinivel de cinco niveles con capacitores conmutados y con conexión a referencia común. El análisis hace énfasis en los niveles de voltaje, potencia del inversor, desbalance en el voltaje de sus capacitores conmutados y en el número de semiconductores (diodos e interruptores). Dado que los inversores presentan la técnica de conexión a referencia común pueden ser utilizados para aplicaciones fotovoltaicas con conexión a la red sin transformador.

En la Tabla 10.1 se muestra un resumen de comparación entre topologías similares a la propuesta en esta tesis, destacando eficiencia, número de semiconductores y potencia nominal, entre otros.

Tabla 10.1: Resumen del análisis comparativo entre topologías similares.

Topología	$\eta$ (%)	LGC	SW	D	Potencia	C
[22]	97.1	$\approx 0$	6	0	700 W	3
[26]	96.2	$\approx 0$	8	0	900 W	3
[23]	96	$\approx 0$	8	0	1 kW	3
[40]	95.9	$\approx 0$	6	2	800 W	3
[25]	97.5	$\approx 0$	5	1	1 kW	3
[39]	95.2	$\approx 0$	5	5	1 kW	3
[41]	98.1	$\approx 0$	6	2	500 W	3
Prop. Exp.	97.5	$\approx 0$	6	6	300 W	3
Prop. Sim.	96.9	$\approx 0$	6	6	1 kW	3

De la tabla anterior se puede resaltar que para todos los inversores de cinco niveles que utilizan los SCs, y la técnica de conexión a referencia común, el número mínimo de SCs son dos, ya que son fundamentales para la generación de los niveles de voltaje del semiciclo negativo. Además, las topologías tienen eficiencias no menores del 95%, esto se debe a que no utilizan una protección galvánica y con ello sus pérdidas solo dependen de los elementos internos de la topología.

**CAPÍTULO 11.**  
**CONCLUSIONES Y TRABAJOS FUTUROS**

---

En este trabajo de tesis se propone una nueva topología de inversor multinivel sin transformador dirigido a aplicaciones fotovoltaicas (CGT-SCMLI-3C-6S), mejorando el desbalance en los SCs en base a las topologías presentadas en [9] y [10], reduciendo las corrientes a través de los interruptores y mejorando la calidad de las señales de salida de inversores encontrados en la literatura. Además, se mostraron los cálculos de los componentes electrónicos de potencia utilizados en este trabajo. Los resultados que se obtuvieron tanto en simulación emulación e implementación son semejantes de tal manera que se puede validar el funcionamiento de la topología.

Los principales resultados de este trabajo se resumen a continuación:

1. La conexión entre el negativo de la fuente fotovoltaica y el negativo de la carga permitió eliminar la corriente de modo común que se genera por capacitancias parásitas del panel fotovoltaico.
2. Al tener un inversor multinivel, el parámetro de la THD es bajo y así se evita utilizar un filtro para mejorar la calidad de la señal de voltaje.
3. Cuando se utilizan SCs, la demanda de corriente a través de algunos interruptores puede ser muy grande, este trabajo reduce dicha corriente con una inductancia pequeña en la línea de carga de los SCs.
4. La simulación de pérdidas en los interruptores, mostró que, la eficiencia del inversor compite con inversores encontrados en la literatura.

Debido al diseño de la placa PCB y la corriente de salida de la fuente de poder, la potencia máxima alcanzada fue de 300 W, sin embargo se busca que en trabajos futuros, la potencia alcanzada sea de al menos 750 W, para que sea un inversor competitivo en el mercado. A pesar de que México aun no cuenta con normativas que regulen la conexión a la red eléctrica sin protección galvánica, este trabajo se puede adaptar a un trabajo doctoral que busque una teoría de control para que el inversor sea capaz de inyectar corriente eléctrica a la red eléctrica.

# Bibliografía

- [1] D. Hedberg, S. Kullander, and H. Frank, “The world needs a new energy paradigm,” *Ambio*, vol. 39, no. 1, pp. 1–10, 2010. doi: 10.1007/s13280-010-0057-9.
- [2] J. Pelayo, A. Luna, F. Bernabe, and B. Guzmán, “Comparison between a photovoltaic solar tracker efficiency and a fixed photovoltaic system,” *Revista Iberoamericana de las Ciencias Biológicas y Agropecuarias*, vol. 7, no. 13, pp. 1–24, 2018. doi: 10.23913/ciba.v7i13.76.
- [3] REDataExplorer, “Re data explorer,” junio 2024. <https://data.re-explorer.org/subscribe>.
- [4] CFE, “Interconexión a la red eléctrica de baja tensión de sistemas fotovoltaicos con capacidad hasta 30kw. especificacion cfe g0100-04,” 2008. <https://lapem.cfe.gob.mx/normas/pdfs/f/G0100-04.pdf>.
- [5] V. Boscaino, V. Ditta, G. Marsala, N. Panzavecchia, G. Tine, V. Cosentino, A. Cataliotti, and D. DiCara, “Grid-connected photovoltaic inverters: Grid codes, topologies and control techniques,” *Renewable and Sustainable Energy Reviews*, vol. 189, no. 113903, pp. 1–23, 2024. doi: <https://doi.org/10.1016/j.rser.2023.113903>.
- [6] M. Khan, Y. Siwakoti, L. Li, and F. Suan, “Constant common-mode voltage transformerless inverter for grid-tied photovoltaic application,” *2019 IEEE Energy Conversion Congress and Exposition (ECCE)*, pp. 616–621, 2019. doi: 10.1109/ECCE.2019.8912808.
- [7] F. B. Özkul, E. Kayabasi, E. Çelik, H. Kurt, and E. Arcaklioğlu, “Investigating the effects of cooling options on photovoltaic panel efficiency: State of the art and future plan,” pp. 1–6, 2018.
- [8] A. Shukla, K. Kant, A. Sharma, and P. H. Biwole, “Cooling methodologies of photovoltaic module for enhancing electrical efficiency: A review,” *Solar Energy Materials and Solar Cells*, vol. 160, pp. 275–286, 2017.
- [9] F. Peng, G. Zhou, N. Xu, and S. Gao, “Zero leakage current single-phase quasi-single-stage transformerless pv inverter with unipolar spwm,” *IEEE Transactions on Power Electronics*, vol. 37, no. 11, pp. 13755–13766, 2022. doi: 10.1109/TPEL.2022.3180287.
- [10] K. Zeb, S. U. Islam, W. Uddin, I. Khan, M. Khan, S. Ali, T. Busarello, and H. J. Kim, “An overview of transformerless inverters for grid connected photovoltaic system,” in *2018 International Conference on Computing, Electronic and Electrical Engineering (ICE Cube)*, pp. 1–6, 2018.
- [11] J. Giacomini, L. Michels, H. Pinheiro, and C. Rech, “Active damping scheme for leakage current reduction in transformerless three-phase grid-connected pv inverters,” *IEEE Transactions on Power Electronics*, vol. 33, no. 5, pp. 3988–3999, 2017. doi: 10.1109/TPEL.2017.2711785.

- [12] Y. Siwakoti and F. Blaabjerg, "Common-ground-type transformerless inverters for single-phase solar photovoltaic systems," *IEEE Transactions on Industrial Electronics*, vol. 65, no. 3, pp. 2100–2111, 2018. doi: 10.1109/TIE.2017.2740821.
- [13] G. d. O. Assunção and I. Barbi, "Method for deriving transformerless common-ground voltage source inverter topologies," *IEEE Transactions on Power Electronics*, vol. 37, no. 9, pp. 10821–10832, 2022.
- [14] P. Roshan, P. P. Rajeevan, K. Mathew, K. Gopakumar, J. I. Leon, and L. G. Franquelo, "A three-level common-mode voltage eliminated inverter with single dc supply using flying capacitor inverter and cascaded h-bridge," *IEEE Transactions on Power Electronics*, vol. 29, no. 3, pp. 1402–1409, 2014.
- [15] P. S. Jamwal, S. Singh, and S. Jain, "Three-level inverters for induction motor driven electric vehicles," in *2020 3rd International Conference on Energy, Power and Environment: Towards Clean Energy Technologies*, pp. 1–6, 2021.
- [16] P. RoshanKumar, P. P. Rajeevan, K. Mathew, K. Gopakumar, J. I. Leon, and L. G. Franquelo, "Common-mode voltage eliminated three-level inverter using a three-level flying-capacitor inverter and cascaded h-bridge," in *2012 IEEE International Conference on Power Electronics, Drives and Energy Systems (PEDES)*, pp. 1–6, 2012.
- [17] S. E. Bourhichi, A. Oukassi, L. E. Bahir, and M. E. Adnani, "Indirect vector control of induction motor based on five level inverter cascaded h-bridge using space vector modulation," in *2021 8th International Conference on Electrical and Electronics Engineering (ICEEE)*, pp. 112–116, 2021.
- [18] V. S. Kirthika Devi, R. H. Patrao, P. Sreekanth, G. Ramole, and A. Sreekumar, "Implementation of staircase modulation on a five level cascaded h-bridge multilevel inverter and interfacing with photovoltaic modules," in *2015 International Conference on Power and Advanced Control Engineering (ICPACE)*, pp. 185–190, 2015.
- [19] S. Boontua, P. Kongsuk, and V. Kinnares, "Five-level cascaded multilevel h-bridge inverter for single-phase pv grid-connected system," in *2021 18th International Conference on Electrical Engineering/Electronics, Computer, Telecommunications and Information Technology (ECTI-CON)*, pp. 418–421, 2021.
- [20] A. Kahwa, H. Obara, and Y. Fujimoto, "Estimation and analysis of power loss in a reduced switches count h-bridge multilevel inverter," in *2019 IEEE International Conference on Mechatronics (ICM)*, vol. 1, pp. 25–30, 2019.
- [21] R. Barzegarkhoo, M. Forouzesh, S. Lee, F. Blaabjerg, and Y. Siwakoti, "Switched-capacitor multilevel inverters: A comprehensive review," *IEEE Transactions on Industrial Electronics*, vol. 37, no. 9, pp. 11209–11243, 2022. doi: 10.1109/TPEL.2022.3164508.
- [22] F. B. Grigoletto, "Multilevel common-ground transformerless inverter for photovoltaic applications," *IEEE Journal of Emerging and Selected Topics in Power Electronics*, vol. 9, no. 1, pp. 831–842, 2021.

- [23] M. N. H. Khan, Y. P. Siwakoti, M. J. Scott, L. Li, S. A. Khan, D. D.-C. Lu, R. Barzegarkhoo, F. Sidorski, F. Blaabjerg, and S. U. Hasan, "A common grounded type dual-mode five-level transformerless inverter for photovoltaic applications," *IEEE Transactions on Industrial Electronics*, vol. 68, no. 10, pp. 9742–9754, 2021.
- [24] M. Zaid, M. A. Bhat, M. A. Anees, A. Iqbal, A. Sarwar, and S. Mekhilef, "A seven-level triple boost common ground inverter without h-bridge," in *2024 IEEE International Conference on Power Electronics, Drives and Energy Systems (PEDES)*, pp. 1–6, 2024.
- [25] J. F. Ardashir, M. Ghassemi, B. Rozmeh, F. Blaabjerg, and S. Peyghami, "A five-level transformer-less grid-tied inverter structure with capacitive voltage divider concept with leakage current elimination," *IEEE Transactions on Industry Applications*, vol. 59, no. 5, pp. 6025–6036, 2023.
- [26] V. Anand, V. Singh, J. Sathik, and D. Almakhles, "Single-stage five-level common ground transformerless inverter with extendable structure for centralized photovoltaics," *CSEE Journal of Power and Energy Systems*, vol. 9, no. 1, pp. 37–49, 2023.
- [27] M. Kumari, M. Siddique, A. Sarwar, M. Tariq, S. Mekhilef, and A. Iqbal, "Recent trends and review on switched-capacitor-based single-stage boost multilevel inverter," *International Transactions on Electrical Energy Systems*, vol. 31, no. 3, pp. 1–28, 2020. doi: <https://doi.org/10.1002/2050-7038.12730>.
- [28] N. Sandeep, J. Mohamed, U. Yaragatti, and K. Vijayakumar, "A self-balancing five-level boosting inverter with reduced components," *IEEE Transactions on Power Electronics*, vol. 34, no. 7, pp. 6020–6024, 2019. doi: [10.1109/TPEL.2018.2889785](https://doi.org/10.1109/TPEL.2018.2889785).
- [29] M. Saeedian, S. Hosseini, and J. Adabi, "Step-up switched-capacitor module for cascaded mli topologies," *IET Power Electronics*, vol. 1, no. 7, pp. 1286–1296, 2018. doi: [10.1049/iet-pel.2017.0478](https://doi.org/10.1049/iet-pel.2017.0478).
- [30] M. Saeedian, S. Hosseini, and J. Adabi, "A five-level step-up module for multilevel inverters: Topology, modulation strategy and implementation," *IEEE Journal of Emerging and Selected Topics in Power Electronics*, vol. 6, no. 4, pp. 2215–2226, 2018. doi: [10.1109/JESTPE.2018.2819498](https://doi.org/10.1109/JESTPE.2018.2819498).
- [31] C. Cheng and L. He, "Flying-capacitor-clamped five-level inverter based on switched-capacitor topology," *2016 IEEE Energy Conversion Congress and Exposition (ECCE)*, 2016. doi: [10.1109/ECCE.2016.7855123](https://doi.org/10.1109/ECCE.2016.7855123).
- [32] Y. Hinago and H. Koizumi, "A switched-capacitor inverter using series/parallel conversion with inductive load," *IEEE Transactions on Industrial Electronics*, vol. 59, no. 2, pp. 878–887, 2012.
- [33] R. Marusarz, "A switched capacitor, inductorless dc to ac voltage step-up power converter," in *20th Annual IEEE Power Electronics Specialists Conference*, pp. 99–103 vol.1, 1989.

- [34] S. Kumari, S. N, and A. K. Verma, “Switched-capacitor based five-level inverter with ground connection,” in *2022 IEEE International Conference on Power Electronics, Smart Grid, and Renewable Energy (PESGRE)*, pp. 1–5, 2022.
- [35] G. Escobar, P. R. Martinez-Rodriguez, S. Iturriaga-Medina, J. C. Mayo-Maldonado, J. Lopez-Sarabia, and O. M. Micheloud-Vernackt, “Mitigation of leakage-ground currents in transformerless grid-tied inverters via virtual-ground connection,” *IEEE Journal of Emerging and Selected Topics in Power Electronics*, vol. 8, no. 3, pp. 3111–3123, 2020.
- [36] B. Liu, G. Zhou, and N. Xu, “A novel common-ground nine-level quadruple boost inverter based on switched-capacitor,” in *2023 IEEE 6th International Electrical and Energy Conference (CIEEC)*, pp. 1861–1865, 2023.
- [37] Y. Gu, W. Li, Y. Zhao, B. Yang, C. Li, and X. He, “Transformerless inverter with virtual dc bus concept for cost-effective grid-connected pv power systems,” *IEEE Transactions on Power Electronics*, vol. 28, no. 2, pp. 793–805, 2013.
- [38] N. Vázquez, M. Rosas, C. Hernández, E. Vázquez, and F. J. Perez-Pinal, “A new common-mode transformerless photovoltaic inverter,” *IEEE Transactions on Industrial Electronics*, vol. 62, no. 10, pp. 6381–6391, 2015.
- [39] G. Vazquez, G. Bustos, L. E. Hernandez-Aguilar, J. M. Sosa, M. A. Juarez-Balderas, P. R. Martinez-Rodriguez, and D. Aztatzi-Pluma, “A topology for single-phase pv transformerless multilevel inverters,” in *2023 IEEE International Autumn Meeting on Power, Electronics and Computing (ROPEC)*, vol. 7, pp. 1–6, 2023.
- [40] R. Barzegarkhoo, Y. P. Siwakoti, R. P. Aguilera, M. N. H. Khan, S. S. Lee, and F. Blaabjerg, “A novel dual-mode switched-capacitor five-level inverter with common-ground transformerless concept,” *IEEE Transactions on Power Electronics*, vol. 36, no. 12, pp. 13740–13753, 2021.
- [41] N. Vosoughi, S. H. Hosseini, and M. Sabahi, “A new transformer-less five-level grid-tied inverter for photovoltaic applications,” *IEEE Transactions on Energy Conversion*, vol. 35, no. 1, pp. 106–118, 2020.