

***“DESARROLLO DE UNIDAD LÓGICO
ARITMÉTICA ANALÓGICA, UTILIZANDO
AMPLIFICADORES OPERACIONALES Y SU
IMPLEMENTACIÓN EN LA TÉCNICA DE
MODULACIÓN POR ANCHO DE PULSO
SENOIDAL”***

TESIS

QUE PARA OBTENER EL GRADO DE

***MAESTRA EN CIENCIAS EN INGENIERÍA
ELECTRÓNICA***

PRESENTA:

JAZMÍN GONZÁLEZ CONTRERAS

DIRECTOR DE LA TESIS:

DR. RICARDO ELIU LOZOYA PONCE

CHIHUAHUA, CHIH., MARZO 2024





Chihuahua, Chih. 13 de marzo de 2024

**C. JAZMÍN GONZÁLEZ CONTRERAS
PRESENTE**

En cumplimiento con los requerimientos para la obtención del grado de Maestra en Ciencias en Ingeniería Electrónica y a propuesta de su Comité Tutorial, la División de Estudios de Posgrado e Investigación le concede la autorización para imprimir la tesis titulada **"Desarrollo de unidad lógico aritmética analógica, utilizando amplificadores operacionales y su implementación en la técnica de modulación por ancho de pulso senoidal"** dirigida por el Dr. Ricardo Eliú Lozoya Ponce con el siguiente contenido de capítulos:

- I Introducción
- II Fundamentos teóricos
- III Metodología
- IV Desarrollo y resultados
- V Conclusiones
- VI Referencias
- VII Anexos y apéndices

ATENTAMENTE
Excelencia en Educación Tecnológica®
"La Técnica por el Engrandecimiento de México"



LEONCIO OCHOA CERVANTES
JEFE DE LA DIVISIÓN DE ESTUDIOS DE POSGRADO E INVESTIGACIÓN

LOC/adcs





Chihuahua, Chih. 11 de marzo de 2024

LEONCIO OCHOA CERVANTES
JEFE DE LA DIVISIÓN DE ESTUDIOS DE POSGRADO E INVESTIGACIÓN
PRESENTE

En cumplimiento con los requerimientos para la obtención del grado de Maestra en Ciencias en Ingeniería Electrónica, le notificamos que el documento de tesis de la alumno **C. JAZMÍN GONZÁLEZ CONTRERAS**, titulado **"Desarrollo de unidad lógico aritmética analógica, utilizando amplificadores operacionales y su implementación en la técnica de modulación por ancho de pulso senoidal"** dirigido por el Dr. Ricardo Eliú Lozoya Ponce, ha sido aprobado y aceptado para su impresión.

Por lo anterior, proponemos le sea concedida la autorización de impresión correspondiente.

Agradeciendo la atención a la presente, quedamos de usted:

ATENTAMENTE

*Excelencia en Educación Tecnológica®
La técnica por el Engrandecimiento de México*



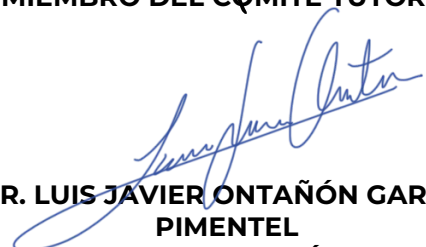
DR. RICARDO ELIÚ LOZOYA PONCE
MIEMBRO DEL COMITÉ TUTORIAL



DR. JOSÉ LUIS DURÁN GÓMEZ
MIEMBRO DEL COMITÉ TUTORIAL



DR. JESÚS ALFONSO MEDRANO HERMOSILLO
MIEMBRO DEL COMITÉ TUTORIAL



DR. LUIS JAVIER ONTAÑÓN GARCÍA
PIMENTEL
MIEMBRO DEL COMITÉ TUTORIAL





CARTA CESIÓN DE DERECHOS

En la ciudad de Chihuahua el día 13 de marzo de 2024, el que suscribe, C. JAZMÍN GONZÁLEZ CONTRERAS con número de control G22060301, de la Maestría en Ciencias en Ingeniería Electrónica, adscrita a la División de Estudios de Posgrado e Investigación del Instituto Tecnológico de Chihuahua, manifiesta que es autor intelectual del presente trabajo de Tesis bajo la dirección del el Dr. Ricardo Eliú Lozoya Ponce y cede los derechos del trabajo titulado "Desarrollo de unidad lógico aritmética analógica, utilizando amplificadores operacionales y su implementación en la técnica de modulación por ancho de pulso senoidal", al Tecnológico Nacional de México y/o Instituto Tecnológico de Chihuahua para su difusión, divulgación, transmisión, reproducción, así como su digitalización con fines académicos y de investigación.

C. JAZMÍN GONZÁLEZ CONTRERAS





DECLARACIÓN DE ORIGINALIDAD

En la ciudad de Chihuahua el día 13 de marzo de 2024, el que suscribe, C. JAZMÍN GONZÁLEZ CONTRERAS de la Maestría en Ciencias en Ingeniería Electrónica, con número de control G22060301, adscrito a la División de Estudios de Posgrado e Investigación del Instituto Tecnológico de Chihuahua, manifiesta que es autor intelectual de la tesis titulada "Desarrollo de unidad lógico aritmética analógica, utilizando amplificadores operacionales y su implementación en la técnica de modulación por ancho de pulso senoidal" bajo la dirección el Dr. Ricardo Eliú Lozoya Ponce; que el contenido es original y que las fuentes de información consultadas para su fundamentación están debidamente citadas y referenciadas.

C. JAZMÍN GONZÁLEZ CONTRERAS



Chihuahua, Chihuahua, marzo de 2024

Dra. María Elena Álvarez-Buylla Roces
Directora de CONAHCYT

Sirva la presente para saludarla e informarle que a la fecha he obtenido el grado de **Maestro en Ciencias en Ingeniería Electrónica** en la División de Estudios de Posgrado e Investigación del Instituto Tecnológico de Chihuahua, motivo por el cual agradezco todo el apoyo brindado por este Consejo que usted representa, con el otorgamiento de una beca que permitió dedicarme de manera exclusiva a la realización de mis estudios de posgrado y de esta manera lograr el objetivo principal del convenio establecido.

Sin otro particular quedo a sus órdenes no sin antes reiterar mi agradecimiento.
Atentamente

A handwritten signature in dark ink, appearing to read 'Jazmín González Contreras', with a stylized flourish at the end.

Jazmín González Contreras

AGRADECIMIENTOS

Al CONAHCYT (Consejo Nacional de Humanidades, Ciencias y Tecnologías) por brindarme el apoyo 816443 que hizo posible la realización de la maestría.

Al TecNM (Tecnológico Nacional de México) por proporcionar un laboratorio con equipo necesario para llevar a cabo las pruebas de este trabajo.

RESUMEN

DESARROLLO DE UNIDAD LÓGICO ARITMÉTICA ANALÓGICA, UTILIZANDO AMPLIFICADORES OPERACIONALES Y SU IMPLEMENTACIÓN EN LA TÉCNICA DE MODULACIÓN POR ANCHO DE PULSO SENOIDAL

Jazmín González Contreras

Maestría en Ciencias en Ingeniería Electrónica

División de Estudios de Posgrado e Investigación del

Instituto Tecnológico de Chihuahua

Chihuahua, Chih. 2024

Director de Tesis: Dr. Ricardo Eliu Lozoya Ponce

Esta tesis se enfoca en destacar el potencial del cómputo reconfigurable mediante el diseño y desarrollo de una Unidad Lógico Aritmética (ALU, por sus siglas en inglés, *Arithmetic Logic Unit*) de 1 bit basado en amplificadores operacionales. Los circuitos de cómputo reconfigurable son sistemas de propósito general que pueden ajustar su estructura interna según sea necesario. Al demostrar la capacidad de construir una ALU, se valida su utilidad en sistemas, que requieren operaciones lógicas y aritméticas, menos complejos que una ALU. Ejemplo de esto, es la implementación de un sistema de conmutación basado en la técnica de Modulación por Ancho de Pulso Senoidal (SPWM, por sus siglas en inglés, *Sinusoidal Pulse Width Modulation*) que se realizó, para la cual se requirió de las operaciones de comparación, negación y adición.

La ALU se diseña para ser capaz de realizar dieciséis funciones en total. El proceso abarca desde la etapa de diseño inicial, pasando por la simulación en el software NI Multisim, hasta la implementación física en una placa de circuito impreso. El diseño e implementación de la ALU se finalizó con el uso de 11 Celdas Lógicas Reconfigurables (CLRs), las cuales se trataron como redes neuronales artificiales (ANNs, por sus siglas en inglés, *artificial neural networks*) de un solo nodo y usando una función umbral como activación. Con esas 11 CLRs

se realizaban las 16 operaciones además del multiplexeo para mostrar la salida a través de un mismo pin, por lo que la mayoría de las celdas realizaban más de una operación, para cambiar de una función a otra, se utilizaban las señales de los selectores, ya sea participando en la suma ponderada, como parte del umbral de acción o habilitando la salida.

Que las CLR's puedan realizar varias operaciones cambiando el valor de los selectores, se traduce en la ventaja de un menor uso de dispositivos electrónicos. Además, el uso de los amplificadores, junto con los transistores, permite trabajar con señales analógicas como se muestra en un multiplexor desarrollado a final de la sección 3.4.1 y en la implementación del sistema de conmutación basado en la técnica SPWM multinivel hasta la sección 3.6.

Para dicha implementación, el tener las CLR's de manera modular, facilitaba en gran medida la reconfiguración para el aumento o disminución de niveles, también el cambio de fase para las señales portadoras, se realizaba a través de pesos/ganancias negativas unitarias con lo que se generaban además del modo de disposición de fase, el de disposición opuesta de fase y el de disposición alterna opuesta de fase. Sin embargo, es importante aclarar que en este trabajo la parte del inversor solo se hace a nivel simulación sin profundizar en su diseño, utilizando una de las topologías más comunes que es la del puente completo en cascada para dar lugar a los niveles.

Por último, en este documento se propuso un nuevo circuito para las CLR's utilizando un solo encapsulado cuádruple de propósito general (LM324), además de transistores (2N3904) y resistencias, a comparación de trabajos anteriores en los cuales se utilizaban encapsulados únicos y varios de ellos con estructura especial como la del LM311. Logrando el funcionamiento de la ALU utilizando solo 6 niveles de voltaje que, también, a comparación de una ALU presentada anteriormente con un esquema reconfigurable similar, empleaba 11 niveles de voltaje diferentes, sin embargo, solo ofrecía 8 funciones. Por lo que se redujo casi a la mitad los niveles de voltaje, duplicando las funciones que realiza la ALU.

CONTENIDO

Capítulo 1 INTRODUCCIÓN	15
1.2 Impacto o beneficio del Cómputo Reconfigurable	16
1.3 Objetivo general.....	17
1.4 Objetivos específicos	17
1.5 Estructura	18
Capítulo 2 FUNDAMENTOS TEÓRICOS.....	19
2.1 Cómputo Reconfigurable	19
2.2 Compuertas Lógicas Reconfigurables	21
2.3 Amplificador Operacional	22
2.3.1 Configuración de lazo abierto	22
2.3.2 Configuración detector de ventana.....	24
2.3.3 Configuración sumador inversor.....	25
2.3.4 Configuración sumador - restador no inversor.....	26
2.4 Unidad Lógico Aritmética (ALU) analógica	28
2.4.1 Operaciones lógicas	29
2.4.2 Operaciones aritméticas	31
2.5 Modulación por Ancho de Pulsos (PWM) en inversores.....	33
2.5.1 Modulación por Ancho de Pulsos Sinusoidal	35
2.5.2 Índice de modulación e índice de frecuencia	35
2.5.3 Múltiples portadoras y modos de disposición	37
2.6 Normas y medición de contenido armónico en inversores	38
2.6.1 Índice de Distorsión Armónica Total (THD):.....	39
2.6.2 Índice de Distorsión Armónica Ponderada (WTHD):.....	39
2.6.3 Estándar IEEE 519:	39
2.7 Estado del arte.....	40
Capítulo 3 METODOLOGÍA.....	45
3.1 Simulación de la Celda Lógica Reconfigurable.....	51
3.2 Simulación de operaciones aritméticas.....	53
3.3 Implementación de la Celda Lógica Reconfigurable.....	54
3.4 Escalamiento de la Celda Lógica Reconfigurable	60
3.4.1 Diseño para la Nueva Celda Lógica Reconfigurable (NCLR).....	61
3.4.2 Implementación de la NCLR en PCB	72
3.5 Diseño de la ALU de 1 bit con 16 funciones.....	76
3.6 Diseño del sistema de conmutación basado en la técnica SPWM.....	87
Capítulo 4 DESARROLLO Y RESULTADOS	95
4.1 Implementación de la ALU.....	95
4.2 Implementación de la técnica SPWM.....	100
Capítulo 5 CONCLUSIONES	106
5.1 Observaciones del trabajo realizado	106
5.1.1 Conclusiones destacadas	106

5.2 Trabajos a futuro	107
Capítulo 6 REFERENCIAS	108
Capítulo 7 ANEXOS Y APÉNDICES	112

LISTA DE FIGURAS

Figura 1.1 Comparativa entre procesadores, dispositivos reconfigurables y ASICs.....	16
Figura 2.1 Acomodo de los módulos en <i>Fix-plus</i> [9].	20
Figura 2.2 Red de la compuerta lógica reconfigurable.....	21
Figura 2.3 Símbolo del amplificador operacional.	22
Figura 2.4 Comparador a) no inversor b) inversor.	23
Figura 2.5 Señal de salida V_o de un comparador a) no inversor b) inversor; a partir de un voltaje de entrada V_1	23
Figura 2.6 Circuito detector de ventana.	24
Figura 2.7 Funcionamiento del circuito detector de ventana.	24
Figura 2.8 Configuración sumador inversor.....	25
Figura 2.9 Sumador - restador no inversor con la resistencia de balanceo en a) las ganancias negativas b) en las ganancias positivas.	26
Figura 2.10 Esquemático para una ALU.	28
Figura 2.11 Semisumador.	32
Figura 2.12 PWM de dos niveles.	36
Figura 2.13 Espectro de frecuencia del contenido de componentes armónicos pares e impares.	36
Figura 2.14 PWM de cinco niveles modo PD.	37
Figura 2.15 PWM de cinco niveles modo POD.	38
Figura 2.16 PWM de cinco niveles modo APOD.	38
Figura 3.1 Obtención de la función AND (a) Resultado $g(x)$ con los pesos $w_1 = 1$ y $w_2 = 2$ y umbral de $K_+ = 3.5$ y $K_- = 2.5$. (b) Salida $f(x)$	46
Figura 3.2 Obtención de la compuerta f_{11} : $\overline{x_2 x_1}$ con dos umbrales de acción.....	50
Figura 3.3 Simulación de la CLR en NI Multisim.....	51
Figura 3.4 Obtención de la compuerta AND en simulación.....	52
Figura 3.5 CLR con dos umbrales.....	52
Figura 3.6 Simulación de un medio sumador.	53
Figura 3.7 Simulación de un medio restador.	53
Figura 3.8 Simulación del comparador de un bit.....	54
Figura 3.9 Diseño de la PCB de la CLR.....	55
Figura 3.10 Tarjetas y carcasas de las CLRs.	55
Figura 3.11 Operación aritmética de a) medio sumador b) medio restador c) comparador.	59
Figura 3.12 Sumador completo con 6 CLRs.	59

Figura 3.13 Restador completo con 6 CLRs.	60
Figura 3.14 Acarreo de salida de un sumador completo.....	62
Figura 3.15 Suma del sumador completo.	63
Figura 3.16 Primer diseño de la NLCR con dos sumadores inversores	64
Figura 3.17 Acarreo de salida con el primer diseño de la NLCR.	64
Figura 3.18 NLCR con configuración de sumador-restador no inversor.	65
Figura 3.19 Sumador completo utilizando NLCRs.	66
Figura 3.20 Restador completo utilizando NLCRs.....	66
Figura 3.21 Simulación del comparador de dos bits con NLCRs.	68
Figura 3.22 Simulación del sumador de dos bits.....	68
Figura 3.23 Simulación del restador de dos bits.....	69
Figura 3.24 Simulación del multiplexor 4 a 1.	71
Figura 3.25 Cambios de la NLCR.....	71
Figura 3.26 Diseño de PCB para la NLCR.....	73
Figura 3.27 Carcasas abiertas y cerradas en SolidWorks.	74
Figura 3.28 Impresión de las carcasas.....	74
Figura 3.29 Tarjetas terminadas.....	75
Figura 3.30 Comparativa de la obtención de la compuerta AND.	75
Figura 3.31 Implementación del comparador y el multiplexor.....	76
Figura 3.32 Implementación del sumador y restador completo.....	76
Figura 3.33 ALU de 1 bit utilizando 11 NLCRs.	77
Figura 3.34 NLCR que obtiene 4 operaciones lógicas.	78
Figura 3.35 Entradas y salidas de la NLCR de 4 operaciones.	79
Figura 3.36 NLCRs para la XOR de tres entradas.....	80
Figura 3.37 Conexión de la NLCR para el acarreo de salida de la suma.	81
Figura 3.38 Conexión de la NLCR para el acarreo de salida de la resta.....	82
Figura 3.39 Señales de entrada y salida para las operaciones de suma y resta.	82
Figura 3.40 NLCR para la operación OR y XOR.....	83
Figura 3.41 Entradas y salidas de la NLCR para las operaciones XOR y OR.	83
Figura 3.42 NLCR para las operaciones x_2 y $\overline{x_2}$	84
Figura 3.43 Entradas y salidas de la NLCR para las operaciones x_2 y $\overline{x_2}$	85
Figura 3.44 NLCRs para la salida Bit 0.	86
Figura 3.45 NLCR para la salida Bit 1.....	86
Figura 3.46 Funciones de la ALU.	86
Figura 3.47 Simulación de un inversor de 5 niveles realizada en PLECS®.	87
Figura 3.48 Conexión para un control de SPWM modo PD.....	88
Figura 3.49 Comparaciones del modo PD.....	89
Figura 3.50 Reconstrucción de la señal senoidal utilizando el modo PD.	89
Figura 3.51 Simulación del inversor realizado en PLECS® aumentado a 9 niveles.....	91
Figura 3.52 Adición del filtro pasivo a la simulación en PLECS®.	91

Figura 3.53 Conexión para un control de SPWM modo POD.....	93
Figura 3.54 Conexión para un control de SPWM modo APOD.....	93
Figura 3.55 Reconstrucción de la señal senoidal utilizando el modo POD.	94
Figura 3.56 Reconstrucción de la señal senoidal utilizando el modo APOD.....	94
Figura 4.1 Implementación del ALU en laboratorio.	95
Figura 4.2 Implementación de la técnica SPMW con 5 niveles.	100
Figura 4.3 Adición del filtro de segundo orden RC.....	103
Figura 4.4 Reconstrucción utilizando el filtro.....	103
Figura 4.5 Índice THD sin y con el filtro.	104
Figura 4.6 Acomodo de las portadoras para el modo POD y el modo APOD.	105
Figura 4.7 Espectro de Fourier con los modos POD y APOD.....	105
Figura 7.1 ALU de 1 bit utilizando 11 NCLRs.	116

LISTA DE TABLAS

Tabla 2.1 Mínimo común múltiplo.	26
Tabla 2.2 Operaciones lógicas básicas.....	30
Tabla 2.3 Tabla de verdad de un semisumador.	32
Tabla 2.4 Tabla de verdad de un sumador completo.	33
Tabla 2.5 Mapa de Karnaugh para el acarreo de salida.	33
Tabla 2.6 Límites de distorsión de tensión.....	40
Tabla 3.1 Compuertas posibles con dos entradas.	45
Tabla 3.2 Posibles valores para $g(x)$ con $w_1 = 1$ y $w_2 = 2$	45
Tabla 3.3 Posibles valores para $g(x)$	47
Tabla 3.4 Compuertas posibles con 2 entradas.....	47
Tabla 3.5 Valores que toma F	51
Tabla 3.6 Tabla de verdad para un medio sumador, un medio restador y un comparador. ...	53
Tabla 3.7 Voltajes de cada fuente.	54
Tabla 3.8 Comparativa de la simulación y lo obtenido en laboratorio.	56
Tabla 3.9 Sumador y restador completo.....	59
Tabla 3.10 Valores de $g(x)$ y $f(x)$ para C_{out}	62
Tabla 3.11 Valores de $g(x)$ y $f(x)$ para la suma.....	63
Tabla 3.12 Pesos y salidas del comparador de dos bits.	67
Tabla 3.13 Tablas de verdad para el sumador y el restador de dos bits.	69
Tabla 3.14 Tabla de verdad del multiplexor.....	70
Tabla 3.15 Resistencias de cada tarjeta.....	72
Tabla 3.16 Material comprado con sus costos.....	73
Tabla 3.17 Funciones de la ALU.	77

Tabla 3.18 Pesos para la NCLR de 4 operaciones.....	78
Tabla 3.19 Función XOR de la primera NCLR.....	80
Tabla 3.20 Función XOR de la segunda NCLR.	80
Tabla 3.21 Acarreo de salida de la suma.....	81
Tabla 3.22 Acarreo de salida de la resta.....	81
Tabla 3.23 Suma ponderada para las operaciones XOR y OR.	83
Tabla 3.24 Suma ponderada para la operación x_2 y $\overline{x_2}$	84
Tabla 3.25 THD obtenido en simulación.	90
Tabla 4.1 Funciones del ALU.	96
Tabla 4.2 Resultados para 5 niveles y 600 Hz en portadoras.	101
Tabla 4.3 THD obtenido en laboratorio.	102
Tabla 7.1 Obtención de compuertas con ambas tarjetas.....	112
Tabla 7.2 Portadoras.	117
Tabla 7.3 Resultados con 3 niveles en modo PD.	118
Tabla 7.4 Resultados con 5 niveles en modo PD.	119
Tabla 7.5 Resultados con 7 niveles en modo PD.	120
Tabla 7.6 Resultados con 9 niveles en modo PD.	121

Capítulo 1

INTRODUCCIÓN

En la actualidad, la ciencia y la tecnología han experimentado avances significativos en la implementación de circuitos electrónicos en una amplia variedad de ámbitos de la sociedad. Este progreso abarca desde dispositivos de uso doméstico, como teléfonos móviles y electrodomésticos, hasta aplicaciones en obras de ingeniería de gran envergadura, como sistemas de control en plantas de energía, sistemas de transporte, comunicaciones, sistemas médicos y mucho más. Sin embargo, los diseñadores de sistemas electrónicos a menudo se enfrentan a una disyuntiva fundamental: deben elegir entre flexibilidad y eficiencia al seleccionar elementos de cómputo para sus circuitos electrónicos.

La disyuntiva mencionada se origina en el hecho de que alcanzar un alto nivel de flexibilidad puede llevar a un aumento en la complejidad del diseño y a un mayor consumo de recursos, lo que podría tener un impacto negativo en la eficiencia global del sistema. Por otro lado, priorizar la eficiencia, es decir, el uso óptimo de todos los recursos, podría limitar la adaptabilidad y la capacidad de respuesta a cambios futuros [1].

Entre las alternativas disponibles para llevar a cabo el cómputo, se encuentran:

1. Procesadores de propósito general: Estos dispositivos destacan por su gran flexibilidad, ya que están diseñados para ejecutar un conjunto de instrucciones que abarca cualquier tarea computacional.
2. Circuitos integrados de aplicación específica (ASIC, por sus siglas en inglés, *Application-Specific Integrated Circuits*): Son dispositivos dedicados a pocas o solo una tarea. Su ventaja radica en su velocidad de ejecución y su eficiencia en términos de recursos y consumo de energía, dado que se encuentran altamente optimizados.
3. Dispositivos reconfigurables: Estos dispositivos son circuitos de propósito general que cuentan con una estructura interna que puede ser modificada para desempeñar

una amplia gama de aplicaciones. Combinan la flexibilidad de los procesadores con la eficiencia de los ASICs.

En la Figura 1.1 se muestra en un nivel intermedio a los sistemas basados en cómputo reconfigurable [2]. Aunque no alcanzan la misma flexibilidad que un procesador ni la misma eficiencia que los ASICs, estos sistemas se benefician de las propiedades positivas de ambas tecnologías [3].

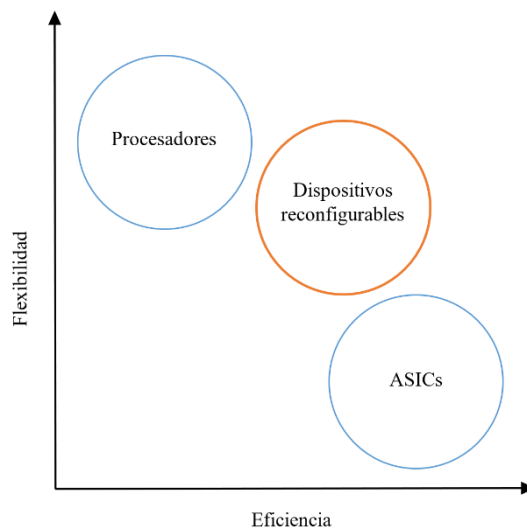


Figura 1.1 Comparativa entre procesadores, dispositivos reconfigurables y ASICs.

Esta tesis explora la relevancia y las aplicaciones del cómputo reconfigurable en el desarrollo de componentes esenciales para sistemas electrónicos, abordando aspectos fundamentales que involucran flexibilidad y eficiencia en el diseño de circuitos electrónicos.

1.2 Impacto o beneficio del Cómputo Reconfigurable

Aunque el término de cómputo reconfigurable se originó en 1959 gracias al trabajo de Gerald Estrin [4], los avances significativos en esta área de investigación no se hicieron evidentes sino hasta la década de 1990, con la introducción en el mercado de las Matrices de Compuertas Lógicas Programables en campo (FPGAs, por sus siglas en inglés, *Field Programmable Gate Array*). Sin embargo, fue hasta el año 2005 que se logró implementar la primera celda lógica reconfigurable [5]. A pesar de su antigüedad, esta área de estudio, sigue siendo prometedora y ofrece la oportunidad de contribuir nuevos conocimientos.

Uno de los beneficios fundamentales de desarrollar sistemas reconfigurables radica en su positivo impacto ambiental. Estos sistemas tienen la capacidad de llevar a cabo diversas funciones en un solo dispositivo, en contraste con la necesidad de adquirir múltiples circuitos especializados, como ocurre con los ASICs. Este aspecto es de especial relevancia en vista del reciente desabasto de semiconductores de silicio que afectó varios sectores industriales en 2021, un problema que, según el director ejecutivo de Intel Corporation [6], se espera resolver hacia finales de 2023.

Además de las ventajas ambientales, el desarrollo de sistemas reconfigurables utilizando amplificadores operacionales también puede traducirse en ahorros significativos en términos económicos [7]. Los amplificadores operacionales, conocidos por ser componentes de bajo costo, contribuye a esta economía. Asimismo, trabajar con amplificadores operacionales permite el procesamiento de señales tanto analógicas como digitales, ampliando la versatilidad de la unidad lógico aritmética.

Finalmente, la adopción de un esquema reconfigurable brinda la flexibilidad de realizar cambios, como la conexión o desconexión de entradas, e incluso la modificación de niveles de voltaje mientras el sistema se encuentra en funcionamiento.

Esta investigación busca explorar y aprovechar estos beneficios, demostrando cómo el cómputo reconfigurable puede contribuir significativamente a la eficiencia, la sostenibilidad y la economía en sistemas electrónicos.

1.3 Objetivo general

Desarrollar una Unidad Lógica Aritmética (ALU, por sus siglas en inglés, Arithmetic Logic Unit) Analógica basada en amplificadores operacionales, capaz de realizar cómputo reconfigurable y demostrar su aplicabilidad en un sistema de conmutación basado en la técnica de Modulación por Ancho de Pulso Senoidal (SPWM, por sus siglas en inglés, *Sinusoidal Pulse Width Modulation*).

1.4 Objetivos específicos

1. Diseñar, simular e implementar una celda lógica reconfigurable de dos entradas con la capacidad de ejecutar 16 funciones lógicas diferentes.

2. Integrar múltiples celdas lógicas reconfigurables para lograr operaciones aritméticas específicas, incluyendo suma, resta y comparación.
3. Desarrollar una ALU de un bit que sea capaz de realizar 16 funciones en total.
4. Diseñar un sistema de control de conmutación de un inversor simulado, basado en la técnica SPWM.

1.5 Estructura

El documento contempla 6 capítulos adicionales, cada uno de ellos con un propósito definido. Los cuales se muestran a continuación:

Capítulo 2: Fundamentos teóricos y antecedentes. Aquí se exploran los conceptos teóricos fundamentales relacionados con circuitos reconfigurables y la modulación por ancho de pulsos, junto con una revisión de trabajos previos basados en estas tecnologías.

Capítulo 3: Metodología. Se describe en detalle las técnicas implementadas para diseñar y desarrollar la ALU, incluyendo las simulaciones y su utilización en la técnica de modulación por ancho de pulso senoidal.

Capítulo 4: Desarrollo y resultados. Presenta los resultados derivados de la implementación práctica de la ALU, con un análisis detallado de los datos obtenidos.

Capítulo 5: Conclusiones. En este capítulo se presentan las conclusiones principales y los hallazgos más significativos derivados de la investigación, proporcionando una visión general de su relevancia.

Capítulo 6: Referencias. Se incluye una lista completa de las fuentes y referencias bibliográficas utilizadas durante el desarrollo de la tesis.

Capítulo 7: Anexos y apéndices. En esta sección se adjuntan los complementos y respaldos de información presentados en los capítulos anteriores.

Capítulo 2

FUNDAMENTOS TEÓRICOS

2.1 Cómputo Reconfigurable

El concepto de cómputo reconfigurable se origina en 1959 en un artículo escrito por Gerald Estrin, un destacado informático de la Universidad de California en Los Ángeles. Estrin introdujo la idea de "Estructura computacional fija, más estructura variable". Este enfoque implica la combinación de un procesador estándar con una matriz de hardware reconfigurable, que puede ser controlada por un procesador principal. Pocos años después, Estrin y Viswanathan colaboraron en el diseño de la máquina *Fix-plus* [8], un sistema computacional compuesto por tres secciones fundamentales:

- Sección Fija (SF): Esta parte del sistema es inalterable y constante.
- Sección Variable (SV): Aquí se encuentra la capacidad de reconfiguración, permitiendo cambios en la estructura del hardware.
- Control Supervisor (CS): El CS se encarga de gestionar y supervisar las operaciones del sistema.

Estas secciones se muestran en la Figura 2.1, con la fija hasta arriba, la variable en la parte inferior y la de control supervisor al centro [9].

Es importante señalar que en el caso de *Fix-plus*, los módulos se insertaban manualmente. Sin embargo, en 1977, el informático alemán Franz J. Rammig propuso el concepto de edición de hardware [10], buscando desarrollar un sistema que permitiera la construcción, modificación, procesamiento y destrucción de hardware digital real sin intervención mecánica o humana. Esto condujo al desarrollo de un editor de hardware similar a la arquitectura de los FPGA modernos. Este editor empleaba selectores para conectar las entradas y salidas de los módulos.

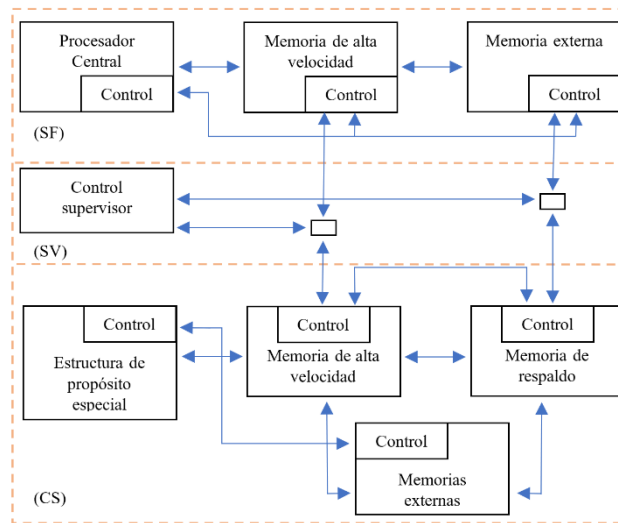


Figura 2.1 Acomodo de los módulos en *Fix-plus* [9].

Además de los FPGA, existen otros dispositivos reconfigurables, como:

- Memoria Activa Programable (PAM del inglés *Programmable Active Memory*).
- Arreglo Lógico Programable (PLA del inglés *Programmable Logic Array*).
- Lógica de Arreglo Programable (PAL del inglés *Programmable Array Logic*).
- Dispositivo Lógico Programable Complejo (CPLD del inglés *Complex Programmable Logic Devices*).

Estos dispositivos requieren un proceso de programación por código para cargar instrucciones y lograr la reconfiguración. Según H. Peng [11], es esencial diferenciar entre configuración y reconfiguración. La configuración se refiere al proceso de cambiar la estructura de un dispositivo antes de la ejecución, mientras que la reconfiguración implica cambiar la estructura del dispositivo durante el tiempo de ejecución.

Esta investigación propone el diseño de un sistema que combina una función lineal por partes (es decir cumple con las propiedades características de una función lineal como la conmutativa, distributiva, etc.) con una función umbral basada en la función de Heaviside. Este sistema, caracterizado por su eficiencia y simplicidad, servirá como base para la construcción de compuertas lógicas reconfigurables. Estas compuertas podrán cambiar entre diversas funciones durante la ejecución, lo que proporciona flexibilidad y adaptabilidad en tiempo real.

2.2 Compuertas Lógicas Reconfigurables

En este estudio, se abordan las compuertas lógicas reconfigurables como redes neuronales artificiales (ANNs por sus siglas en inglés, *Artificial Neural Networks*), de un solo nodo [12], [13], [14]. Estas compuertas están diseñadas para producir una operación lógica a la salida, denotada como Y . La salida Y se obtiene mediante la suma ponderada de varias entradas ($x_1, x_2, \dots, x_N$) y sus correspondientes pesos ($w_1, w_2, \dots, w_N$), tal como se muestra en la ecuación 2.1. Posteriormente, se aplica una función de activación f , representada por la ecuación 2.2. En este caso se utiliza una función Heaviside, aunque el sistema permite la utilización de otros tipos de funciones de activación. Además, se introduce un voltaje constante w_0 como entrada, el cual actúa como un desplazamiento en la amplitud para las demás entradas conocido como *bias* u *offset*. Esto es conceptualizado en la Figura 2.2.

$$g(x) = w_0 + \sum_{i=1}^N w_i x_i \quad (2.1)$$

$$f(x) = \begin{cases} 1, & \text{si } K_+ > g(x) > K_- \\ 0, & \text{en otro caso} \end{cases} \quad (2.2)$$

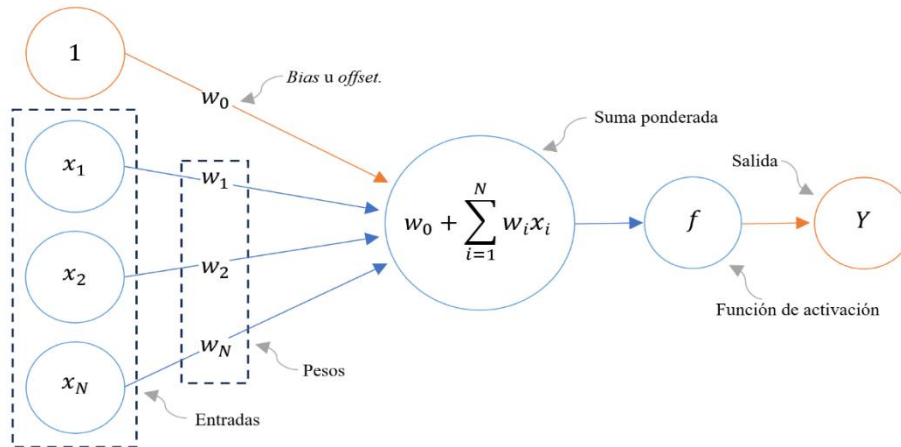


Figura 2.2 Red de la compuerta lógica reconfigurable.

Es importante resaltar que los valores de K_+ y K_- definen la ventana o umbral de acción de la compuerta lógica reconfigurable y debe de cumplir la condición de la ecuación 2.3.

$$K_+ > K_- \quad (2.3)$$

Una característica destacada de estas compuertas, es su capacidad para realizar múltiples operaciones lógicas al ajustar los pesos w_i o al modificar el umbral de acción. Un dispositivo ideal para trabajar con ganancias ponderadas y sumar múltiples entradas, es el amplificador operacional.

2.3 Amplificador Operacional

El amplificador operacional, comúnmente abreviado como “op-amp”, es un dispositivo electrónico extremadamente versátil. Con la selección adecuada de componentes externos, puede configurarse para realizarse diversas operaciones, como amplificación, adición, sustracción, diferenciación e integración de señales de entrada de voltaje. Estos dispositivos se caracterizan por su alta ganancia, una impedancia de entrada excepcionalmente elevada (en el orden de los megaohmios) y una baja impedancia de salida (generalmente inferior a 100 ohmios) [15].

Con una entrada no inversora que produce una salida que está en fase con la señal aplicada y una entrada inversora que produce una salida de polaridad opuesta. Su símbolo se representa como un triángulo que apunta en dirección del flujo de la señal [16] como se ilustra en la Figura 2.3.

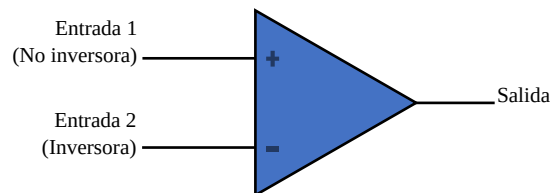


Figura 2.3 Símbolo del amplificador operacional.

2.3.1 Configuración de lazo abierto

En esta sección, se discute la configuración de un amplificador operacional como comparador en un circuito de lazo abierto. Este tipo de configuración permite al amplificador operacional determinar si un voltaje de entrada desconocido, denotado como V_1 , está por debajo, por encima o al mismo nivel que un voltaje de referencia, V_{ref} . Cuando el voltaje de referencia se establece en 0 V, se obtiene lo que se conoce como “detector de cruce por cero”.

Esta configuración se presenta en dos variantes: el comparador inversor y el comparador no inversor, dependiendo de la conexión de las entradas, como se muestra en la Figura 2.4.

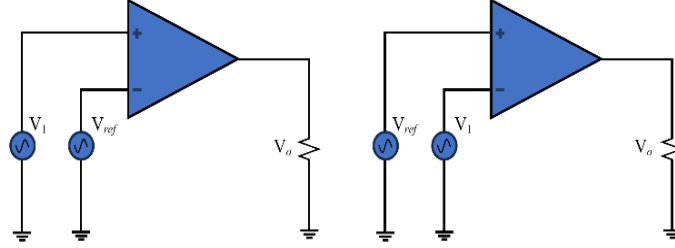


Figura 2.4 Comparador a) no inversor b) inversor.

Si la señal a comparar V_1 , está conectada a la entrada no inversora del amplificador como en la Figura 2.4 a), se obtiene un comparador no inversor.

$$V_o = \begin{cases} +V_{SAT}, & V_1 \geq V_{ref} \\ -V_{SAT}, & V_1 < V_{ref} \end{cases} \quad (2.4)$$

En contraste, si V_1 se conecta a la entrada inversora como en la Figura 2.4 b), se obtiene un comparador inversor.

$$V_o = \begin{cases} -V_{SAT}, & V_1 \geq V_{ref} \\ +V_{SAT}, & V_1 < V_{ref} \end{cases} \quad (2.5)$$

En la Figura 2.5 se ilustra el comportamiento de estos tipos de comparadores. Aquí, $+V_{SAT}$ y $-V_{SAT}$ representan los voltajes de alimentación típicos del amplificador operacional, comúnmente de ± 15 V.

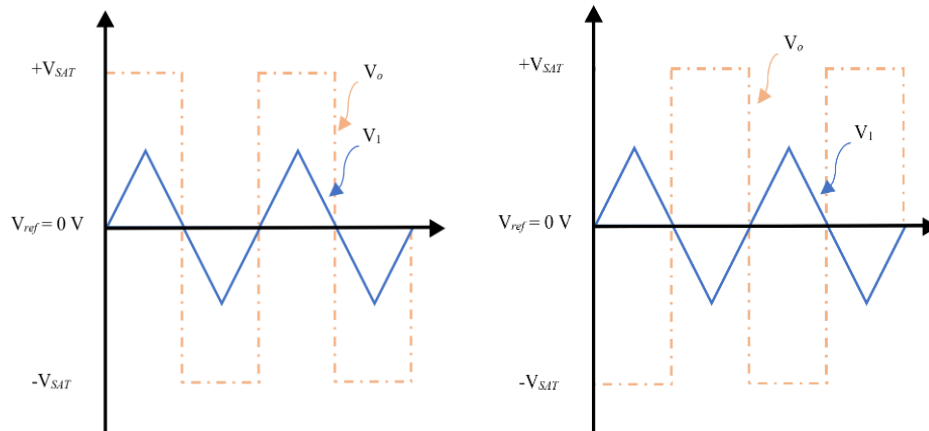


Figura 2.5 Señal de salida V_o de un comparador a) no inversor b) inversor; a partir de un voltaje de entrada V_1 .

2.3.2 Configuración detector de ventana

También llamado detector límite de doble extremo. Este circuito está diseñado para monitorear un voltaje de entrada V_1 e indicar cuando está dentro de los límites determinados por dos voltajes de referencia, uno superior V_{UT} y uno inferior V_{LT} , el circuito se construye con dos comparadores, uno inversor y uno no inversor combinados. En la Figura 2.6, se muestra una conexión típica utilizando el encapsulado LM311 que permite obtener una señal de salida independiente de los voltajes de alimentación.

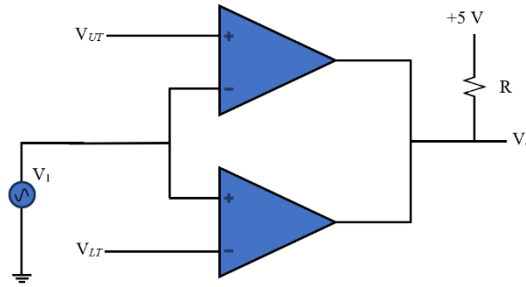


Figura 2.6 Circuito detector de ventana.

$$V_o = \begin{cases} 5V, & V_{UT} > V_1 \geq V_{LT} \\ 0V, & \text{en otro caso} \end{cases} \quad (2.6)$$

La Figura 2.7 proporciona una representación gráfica del funcionamiento del detector de ventana, ilustrando claramente cómo este circuito determina si V_1 se encuentra dentro o fuera de los límites establecidos por V_{UT} y V_{LT} .

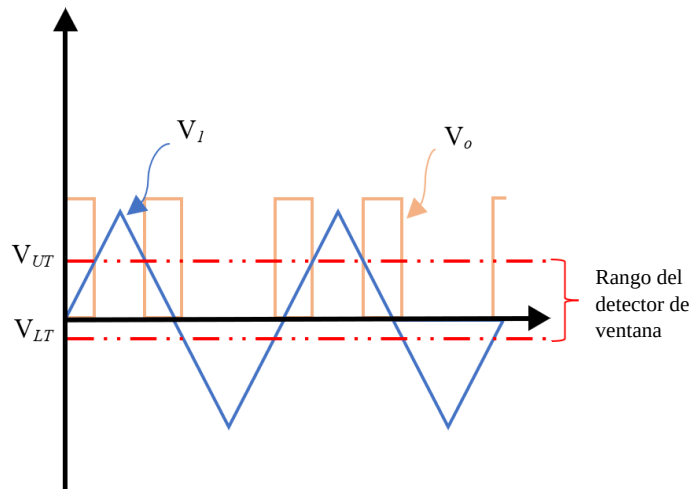


Figura 2.7 Funcionamiento del circuito detector de ventana.

2.3.3 Configuración sumador inversor

Esta configuración es una de las más utilizadas entre las configuraciones del amplificador operacional. El circuito que se muestra en la Figura 2.8 representa un sumador inversor con 3 entradas V_1 , V_2 y V_3 . En este diseño, se utiliza retroalimentación negativa a través de la resistencia R_f , lo que es esencial para lograr ganancias estables en el circuito.

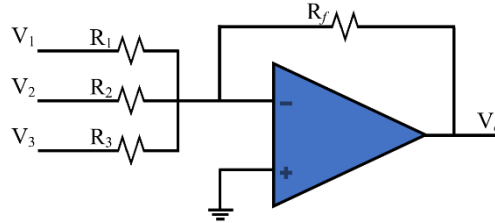


Figura 2.8 Configuración sumador inversor.

La clave para comprender este circuito es reconocer que el voltaje entre las entradas inversora y no inversora del amplificador operacional es casi igual a 0 V debido a la alta impedancia en estas entradas. Esto lleva al concepto de que, a nivel de la entrada del amplificador operacional, se crea un corto circuito virtual o punto de tierra virtual [15]. En otras palabras, un extremo de las resistencias R_1 , R_2 y R_3 está conectado a los voltajes V_1 , V_2 y V_3 , mientras que el otro extremo está conectado a 0 V. La salida V_o se genera entre 0 V y el extremo de R_f , resolviendo por la ley de Ohm:

$$I = \frac{V}{R} \quad (2.7)$$

$$\frac{V_1}{R_1} + \frac{V_2}{R_2} + \frac{V_3}{R_3} = -\frac{V_o}{R_f} \quad (2.8)$$

$$V_o = -\left(\frac{R_f}{R_1}V_1 + \frac{R_f}{R_2}V_2 + \frac{R_f}{R_3}V_3\right) \quad (2.9)$$

Si las resistencias fueran todas del mismo valor:

$$V_o = -(V_1 + V_2 + V_3) \quad (2.10)$$

2.3.4 Configuración sumador - restador no inversor

En esta configuración, se emplean tanto la entrada inversora como la no inversora para realizar ecuaciones de primer grado. Además de las resistencias para cada entrada y la de retroalimentación, esta configuración incorpora una resistencia de balanceo identificada como R_x en la Figura 2.9.

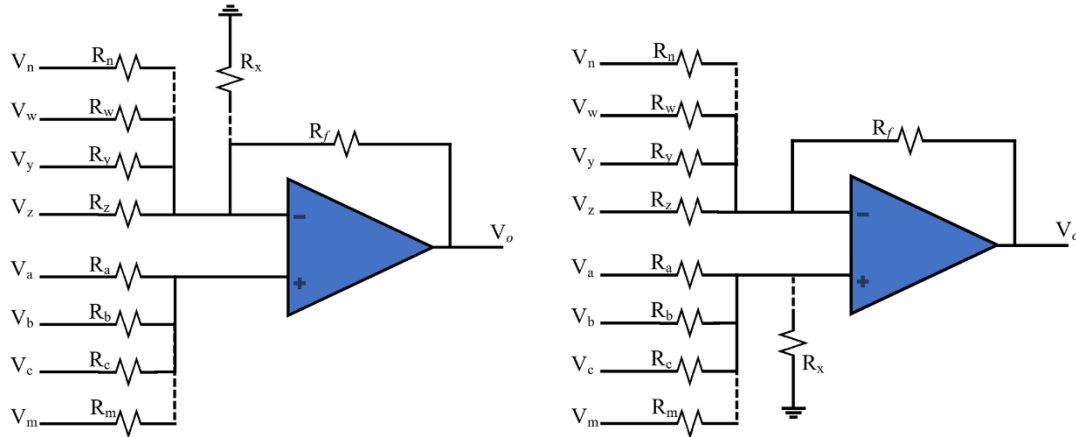


Figura 2.9 Sumador - restador no inversor con la resistencia de balanceo en a) las ganancias negativas b) en las ganancias positivas.

El diseño de esta configuración comienza con la elección del valor de la resistencia de retroalimentación R_f . Para determinar un valor adecuado, se calcula el mínimo común múltiplo de los coeficientes de la ecuación. Por ejemplo, para la siguiente ecuación:

$$F = 5a + 2b - 3v - 10w - 4y - z \quad (2.11)$$

El cálculo del mínimo común múltiplo se muestra en la Tabla 2.1.

Tabla 2.1 Mínimo común múltiplo.

5	2	3	10	4	1	2
5	1	3	5	2	1	2
5		3	5	1		3
5		1	5			5
1			1			
m.c.m. = 2x2x3x5=60						

Este valor obtenido se multiplica por 1 kΩ, por lo que resulta en $R_f = 60 \text{ k}\Omega$. De esta manera, al utilizar valores de resistencia elevados, se evita que la tolerancia de las resistencias

afecte en el funcionamiento. Para calcular los valores de las demás resistencias, se iguala la ganancia de cada señal con los coeficientes de la ecuación. Por ejemplo, para R_a se le asignará una ganancia de 5 por su coeficiente en la ecuación 2.11 de $5a$, de la siguiente manera:

$$R_a = \frac{R_f}{|coeficiente|} = \frac{60 \text{ k}\Omega}{5} = 12 \text{ k}\Omega \quad (2.12)$$

$$R_b = \frac{60 \text{ k}\Omega}{2} = 30 \text{ k}\Omega \quad (2.13)$$

$$R_v = \frac{60 \text{ k}\Omega}{3} = 20 \text{ k}\Omega \quad (2.14)$$

$$R_w = \frac{60 \text{ k}\Omega}{10} = 6 \text{ k}\Omega \quad (2.15)$$

$$R_y = \frac{60 \text{ k}\Omega}{4} = 15 \text{ k}\Omega \quad (2.16)$$

$$R_z = \frac{60 \text{ k}\Omega}{1} = 60 \text{ k}\Omega \quad (2.17)$$

Finalmente, en cuanto a la resistencia de balanceo que va desde una de las entradas del amplificador a tierra, se verifica que el circuito esté equilibrado. Esto se comprueba asegurando que las ganancias positivas y negativas cumplan con la siguiente condición:

$$|A_-| + 1 = A_+ \quad (2.18)$$

Donde A_- es la suma de las ganancias negativas, mientras A_+ corresponde a la suma de las ganancias positivas. La presencia del 1 junto a las ganancias negativas se debe a la retroalimentación. Continuando con el ejemplo, se realiza el cálculo:

$$(|-3| + |-10| + |-4| + |-1| + 1) = 5 + 2 \quad (2.19)$$

$$19 \neq 7 \quad (2.20)$$

Con el resultado, se observa que es necesario añadir una ganancia de 12 en el lado de las ganancias positivas, es decir utilizando el circuito de la Figura 2.9 b) para así lograr que el sistema esté equilibrado. El cálculo de la resistencia de balanceo se realiza de la siguiente manera:

$$R_x = \frac{R_f}{|A_-| + 1 - A_+} = \frac{60 \text{ k}\Omega}{12} = 5 \text{ k}\Omega \quad (2.21)$$

Una alternativa para confirmar el equilibrio del circuito es calcular la resistencia total en cada entrada.

$$R_+ = R_- \quad (2.22)$$

$$R_a \parallel R_b \parallel R_x = R_v \parallel R_w \parallel R_y \parallel R_z \parallel R_f \quad (2.23)$$

$$12 \text{ k}\Omega \parallel 30 \text{ k}\Omega \parallel 5 \text{ k}\Omega = 20 \text{ k}\Omega \parallel 6 \text{ k}\Omega \parallel 15 \text{ k}\Omega \parallel 60 \text{ k}\Omega \parallel 60 \text{ k}\Omega \quad (2.24)$$

$$3.1578 \text{ k}\Omega = 3.1578 \text{ k}\Omega \quad (2.25)$$

2.4 Unidad Lógico Aritmética (ALU) analógica

Como se ha definido previamente, Unidad Lógico Aritmética (ALU, por sus siglas en inglés *Arithmetic Logic Unit*) es un circuito encargado de llevar a cabo operaciones lógicas y aritméticas entre dos operandos, ambos de longitud n bits. Para permitir la selección de una operación específica entre un conjunto de operaciones disponibles, se requiere un conjunto de k líneas de selección.

La Figura 2.10 muestra un símbolo esquemático típico para una ALU, donde A y B representan los operandos de n bits, S es el selector de k bits y F es el resultado de la operación, con 2^k posibles salidas entre operaciones lógicas y operaciones aritméticas.

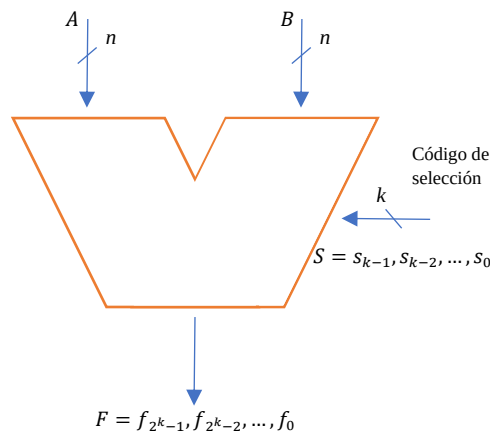


Figura 2.10 Esquemático para una ALU.

2.4.1 Operaciones lógicas

Las operaciones lógicas se enfocan en variables que pueden tomar únicamente dos valores posibles, tanto los operandos como los resultados de estas operaciones. Estos valores se representan como "1" y "0". Además, "1" también se interpreta como un valor alto, verdadero, cerrado o si, mientras que "0" se refiere a un valor bajo, falso, abierto o no.

Las tres operaciones lógicas fundamentales son [17]:

1. NOT (NO): Esta operación invierte el valor de entrada. Si la entrada es "1", la salida es "0", y viceversa.
2. AND (Y): La operación AND de dos entradas devuelve "1" solo cuando ambas entradas son "1". Si una o ambas entradas son "0", la salida es "0".
3. OR (O): La operación OR de dos entradas devuelve "1" si al menos una de las entradas es "1". Solo cuando ambas entradas son "0", la salida es "0".

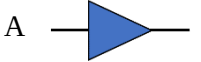
Además de estas operaciones fundamentales, existen otras importantes:

- NAND: Es la negación de la operación AND. Devuelve "0" si ambas entradas son "1", de lo contrario, la salida es "1".
- NOR: Es la negación de la operación OR. Devuelve "0" si al menos una de las entradas es "1", de lo contrario, la salida es "1".
- XOR (O-EXCLUSIVO): Devuelve "1" si exactamente una de las entradas es "1", pero no ambas.
- XNOR (NO O-EXCLUSIVO): Devuelve "1" si ambas entradas son iguales, es decir, ambas "1" o ambas "0".

Cada una de éstas operaciones lógicas se representa mediante un símbolo y se describe a través de una tabla de verdad, que especifica todas las posibles combinaciones de entrada y su correspondiente salida. La Tabla 2.2 muestra ejemplos de tablas de verdad para estas operaciones. Estas operaciones son esenciales en el diseño de circuitos digitales y en la realización de cálculos lógicos en sistemas de cómputo.

II. FUNDAMENTOS TEÓRICOS

Tabla 2.2 Operaciones lógicas básicas.

Operación	Función booleana	Símbolo	Tabla de verdad																
YES BUFFER	$S = A$			<table><tr><th>A</th><th>S</th></tr><tr><td>0</td><td>0</td></tr><tr><td>1</td><td>1</td></tr></table>	A	S	0	0	1	1									
A	S																		
0	0																		
1	1																		
NOT	$S = \bar{A}$ $S = A'$			<table><tr><th>A</th><th>S</th></tr><tr><td>0</td><td>1</td></tr><tr><td>1</td><td>0</td></tr></table>	A	S	0	1	1	0									
A	S																		
0	1																		
1	0																		
AND	$S = A * B$ $S = AB$		<table><tr><th>B</th><th>A</th><th>S</th></tr><tr><td>0</td><td>0</td><td>0</td></tr><tr><td>0</td><td>1</td><td>0</td></tr><tr><td>1</td><td>0</td><td>0</td></tr><tr><td>1</td><td>1</td><td>1</td></tr></table>	B	A	S	0	0	0	0	1	0	1	0	0	1	1	1	
B	A	S																	
0	0	0																	
0	1	0																	
1	0	0																	
1	1	1																	
NAND	$S = \overline{A * B}$ $S = \overline{AB}$		<table><tr><th>B</th><th>A</th><th>S</th></tr><tr><td>0</td><td>0</td><td>1</td></tr><tr><td>0</td><td>1</td><td>1</td></tr><tr><td>1</td><td>0</td><td>1</td></tr><tr><td>1</td><td>1</td><td>0</td></tr></table>	B	A	S	0	0	1	0	1	1	1	0	1	1	1	0	
B	A	S																	
0	0	1																	
0	1	1																	
1	0	1																	
1	1	0																	
OR	$S = A + B$		<table><tr><th>B</th><th>A</th><th>S</th></tr><tr><td>0</td><td>0</td><td>0</td></tr><tr><td>0</td><td>1</td><td>1</td></tr><tr><td>1</td><td>0</td><td>1</td></tr><tr><td>1</td><td>1</td><td>1</td></tr></table>	B	A	S	0	0	0	0	1	1	1	0	1	1	1	1	
B	A	S																	
0	0	0																	
0	1	1																	
1	0	1																	
1	1	1																	
NOR	$S = \overline{A + B}$		<table><tr><th>B</th><th>A</th><th>S</th></tr><tr><td>0</td><td>0</td><td>1</td></tr><tr><td>0</td><td>1</td><td>0</td></tr><tr><td>1</td><td>0</td><td>0</td></tr><tr><td>1</td><td>1</td><td>0</td></tr></table>	B	A	S	0	0	1	0	1	0	1	0	0	1	1	0	
B	A	S																	
0	0	1																	
0	1	0																	
1	0	0																	
1	1	0																	
XOR	$S = \bar{A}B + A\bar{B}$ $S = A \oplus B$		<table><tr><th>B</th><th>A</th><th>S</th></tr><tr><td>0</td><td>0</td><td>0</td></tr><tr><td>0</td><td>1</td><td>1</td></tr><tr><td>1</td><td>0</td><td>1</td></tr><tr><td>1</td><td>1</td><td>0</td></tr></table>	B	A	S	0	0	0	0	1	1	1	0	1	1	1	0	
B	A	S																	
0	0	0																	
0	1	1																	
1	0	1																	
1	1	0																	
XNOR	$S = AB + \bar{A}\bar{B}$ $S = A \odot B$		<table><tr><th>B</th><th>A</th><th>S</th></tr><tr><td>0</td><td>0</td><td>1</td></tr><tr><td>0</td><td>1</td><td>0</td></tr><tr><td>1</td><td>0</td><td>0</td></tr><tr><td>1</td><td>1</td><td>1</td></tr></table>	B	A	S	0	0	1	0	1	0	1	0	0	1	1	1	
B	A	S																	
0	0	1																	
0	1	0																	
1	0	0																	
1	1	1																	

2.4.2 Operaciones aritméticas

Las operaciones aritméticas se forman mediante la combinación adecuada de operaciones lógicas y son fundamentales para llevar a cabo cálculos numéricos en sistemas digitales. A diferencia de las operaciones lógicas, el resultado de una operación aritmética puede tener más de un dígito, pero se expresa igualmente en términos de unos (1) y ceros (0). Algunas de las operaciones aritméticas más comunes incluyen:

- **Suma:** Puede lograrse mediante la combinación de operaciones lógicas para sumar dos números binarios.
- **Resta:** Similar a la suma, la resta se realiza mediante operaciones lógicas y puede incluir el uso de complementos.
- **Comparación:** Un circuito comparador compara dos números binarios y determina si son iguales o cuál es mayor o menor.
- **Codificación y Decodificación:** Los codificadores convierten datos de entrada en un formato específico, mientras que los decodificadores realizan la operación inversa.
- **Multiplexión y Demultiplexión:** Los multiplexores permiten seleccionar una de varias entradas y dirigirla a una sola salida, mientras que los demultiplexores realizan la operación contraria, dirigiendo una entrada a una de varias salidas posibles.
- **Sumador y Restador Completo:** Estos circuitos realizan operaciones aritméticas básicas, como la suma y la resta de números binarios.

De todas estas operaciones, la más básica en el contexto de sistemas digitales es la suma de dos dígitos binarios, que implica cuatro posibles operaciones:

- $0 + 0 = 0$
- $0 + 1 = 1$
- $1 + 0 = 1$
- $1 + 1 = 10$

Tres de las operaciones resultan en un solo dígito, mientras que la cuarta operación consta de dos dígitos, donde el bit más significativo (MSB, por sus siglas en inglés, *Most Significant Bit*) del resultado se denomina acarreo. Un circuito combinacional que realiza la suma de dos bits se denomina semisumador, y aquel que realiza la suma de tres bits (dos bits significativos y uno de acarreo) es un sumador completo.

Semisumador: Requiere dos entradas binarias y produce dos salidas binarias. Las entradas corresponden a los bits a sumar (A y B), y las salidas corresponden a la suma (S) y el acarreo (C). Su tabla de verdad se muestra a continuación:

Tabla 2.3 Tabla de verdad de un semisumador.

B	A	C	S
0	0	0	0
0	1	0	1
1	0	0	1
1	1	1	0

Se puede observar que la suma se realiza mediante una operación XOR, y el acarreo mediante una operación AND. Su implementación con compuertas se muestra en la Figura 2.11.

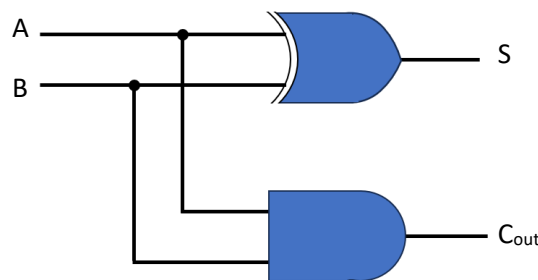


Figura 2.11 Semisumador.

Sumador completo: Es un circuito combinacional que realiza la suma aritmética de tres bits. Tiene tres entradas: los dos bits a sumar, A y B, y el acarreo de entrada C_{in}. También tiene dos salidas: la suma (S) y el acarreo de salida (C_{out}). Su tabla de verdad se muestra en la Tabla 2.4.

Tabla 2.4 Tabla de verdad de un sumador completo.

C_{in}	B	A	C_{out}	S
0	0	0	0	0
0	0	1	0	1
0	1	0	0	1
0	1	1	1	0
1	0	0	0	1
1	0	1	1	0
1	1	0	1	0
1	1	1	1	1

Se puede observar que la salida S corresponde a una operación XOR de tres entradas, como se expresa en la ecuación 2.26. La salida C_{out} , que no se obtiene por inspección, se determina mediante la obtención de su función booleana. Esto puede realizarse utilizando minitérminos, maxitérminos o el mapa de Karnaugh. El mapa de Karnaugh se muestra en la Tabla 2.5 y se utiliza para obtener la ecuación 2.27.

Tabla 2.5 Mapa de Karnaugh para el acarreo de salida.

$\begin{matrix} B & A \\ C_{in} \end{matrix}$	00	01	11	10
0	0	0	1	0
1	0	1	1	1

$$S = C_{in} \oplus A \oplus B \quad (2.26)$$

$$C_{out} = BA + C_{in}A + C_{in}B \quad (2.27)$$

Es posible implementar un sumador completo utilizando dos semisumadores.

2.5 Modulación por Ancho de Pulsos (PWM) en inversores

La modulación por ancho de pulsos (PWM del inglés *Pulse Width Modulation*) es una técnica esencial en la electrónica de potencia y el control de inversores, ampliamente utilizada en diversas aplicaciones industriales como variadores de velocidad, sistemas de alimentación ininterrumpida, y filtros activos, entre otras. Su principal función es generar pulsos de ancho variable para activar dispositivos de conmutación en inversores. Un inversor

transforma una alimentación continua de entrada en una tensión alterna con la amplitud y frecuencia deseadas en la salida.

Los inversores se pueden clasificar en función de varios criterios [18]:

- La fuente de alimentación:
 - Fuente de tensión (VSI del inglés *Voltage Source Inverter*): Mantiene el voltaje de entrada constante mientras varía la corriente.
 - Fuente de corriente (CSI del inglés *Current Source Inverter*): Mantiene la corriente constante mientras varía el voltaje de la entrada.
- Número de fases de CA generadas:
 - Monofásico: Genera una sola fase de corriente alterna.
 - Trifásico: Genera tres fases de corriente alterna.
- Topología:
 - Topología de Dos Niveles:
 - Medio Puente
 - Push Pull.
 - Puente Completo.
 - Topología Multinivel:
 - Diodos Enclavados.
 - Capacitores Flotantes.
 - Multicelda.
 - Puente Completo en Cascada.
- Técnica de Control de Conmutación:
 - Controles no modulados (Onda cuadrada).
 - Control modulado.
 - Modulación PWM basada en portadora.
 - Modulación PWM basada en vectores espaciales.
- Elementos de conmutación:
 - Transistores Bipolares (BJTs).
 - Tiristores Desactivados por Compuerta (GTOs).

- Tiristores Conmutados por Compuertas Integradas (IGCTs).
- Transistores Bipolares de Compuerta Aislada (IGBTs).
- Transistores de Efecto de Campo de Metal-Oxido (MOSFETs).

2.5.1 Modulación por Ancho de Pulsos Sinusoidal

La técnica PWM basada en portadora genera pulsos cuyo ancho es proporcional a la amplitud de una señal de referencia o moduladora. Por lo general, esta señal de referencia suele ser una onda sinusoidal, que se compara con una señal portadora de forma triangular o de diente de sierra.

La salida del inversor bajo esta técnica de control no corresponde directamente a una señal sinusoidal. En su lugar, incluye una serie de componentes armónicos asociados a este proceso, que pueden visualizarse mediante la serie de Fourier en un período. Esta serie de Fourier es esencial para entender la calidad de la señal generada por el inversor [19]:

$$f(t) = \frac{a_0}{2} + \sum_{n=1}^{\infty} (a_n \cos n\omega_0 t + b_n \sin n\omega_0 t) \quad (2.28)$$

donde la frecuencia de la componente fundamental, f_1 , está determinada por la relación:

$$f_1 = \frac{\omega_0}{2\pi} \quad (2.29)$$

2.5.2 Índice de modulación e índice de frecuencia

La relación entre la amplitud de la señal portadora y la señal moduladora se conoce como índice de modulación, representado por m_a en la ecuación 2.30, donde A_r corresponde a la amplitud de la señal de referencia y A_c denota la amplitud de la señal portadora.

$$m_a = \frac{A_r}{A_c} \quad (2.30)$$

$$m_f = \frac{F_r}{F_c} \quad (2.31)$$

Asimismo, la relación entre la frecuencia de la señal portadora y la frecuencia de la señal de referencia se denomina índice de frecuencia, representado por m_f en la ecuación 2.31. Cuando m_f es un valor par, aparecen armónicos pares e impares en la serie de Fourier. Si m_f es impar, solo aparecen armónicos de orden impar. Otra consideración importante con

respecto a la relación m_f es que debe ser un valor entero y múltiplo de f_1 para evitar subarmónicos.

Efecto de la Sobre Modulación: Cuando m_a es mayor que la unidad, se produce el efecto conocido como sobre modulación, lo que resulta en un aumento del contenido armónico en la señal de salida.

La Figura 2.12 muestra una señal PWM de dos niveles generada con una señal portadora triangular, con índices $m_f = 10$ y $m_a = 1$.

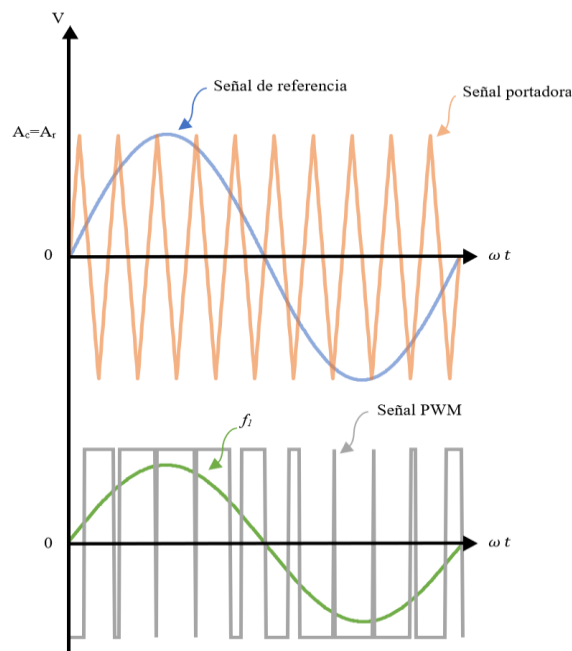


Figura 2.12 PWM de dos niveles.

Como el índice de frecuencia es par, se presentarán armónicos pares e impares, como se representa en la Figura 2.13.

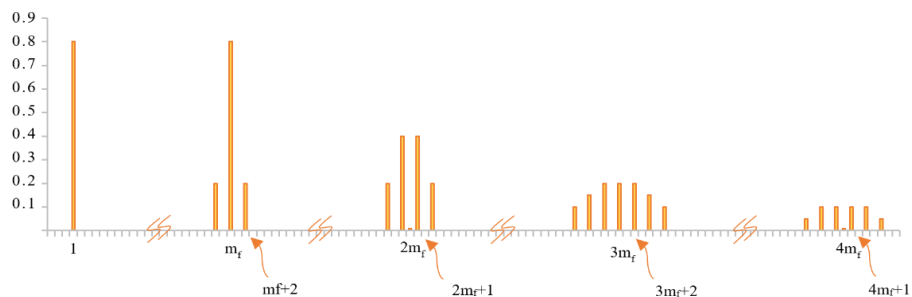


Figura 2.13 Espectro de frecuencia del contenido de componentes armónicos pares e impares.

2.5.3 Múltiples portadoras y modos de disposición

El número de señales portadoras (S_p) necesarias para generar determinado número de niveles de tensión a la salida (n) se puede determinar mediante la siguiente ecuación:

$$S_p = n - 1 \quad (2.32)$$

Cuando se utilizan múltiples portadoras, existen tres variantes o modos según su fase:

- **Disposición de Fase (PD del inglés *Phase Disposition*):** Todas las portadoras triangulares se encuentran en la misma fase.
- **Disposición Opuesta de Fase (POD del inglés *Phase Opposition Disposition*):** Las portadoras del lado positivo se encuentran en fase, mientras que las del lado negativo están en contrafase.
- **Disposición Alterna Opuesta de Fase (APOD del inglés *Alternate Phase Opposition Disposition*):** En este modo, solo las portadoras impares comparten fase y las pares están en contrafase [20].

En la Figura 2.14 se muestra el primero modo, PD, con cuatro portadoras, lo que resulta en 5 niveles.

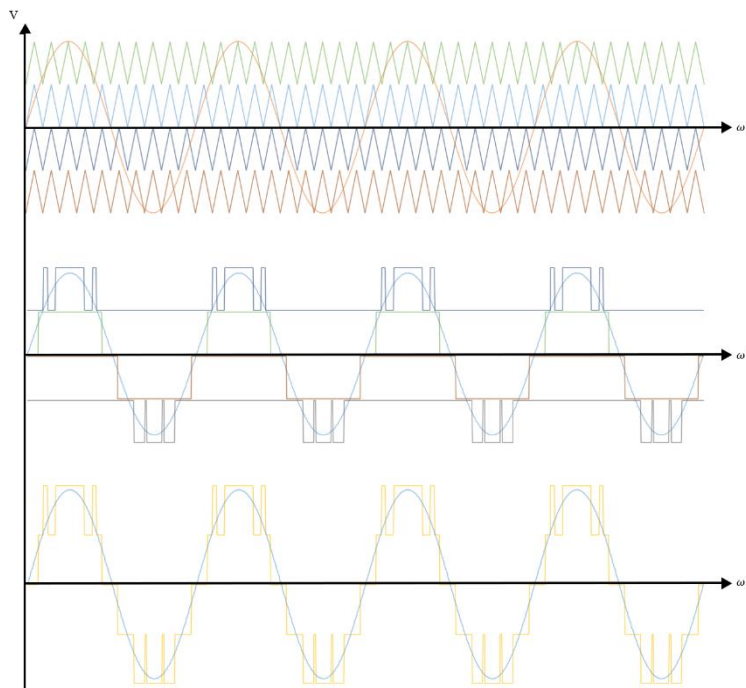


Figura 2.14 PWM de cinco niveles modo PD.

La Figura 2.15 se presenta el modo POD, también con cuatro portadoras, mientras que la Figura 2.16 ilustra el último modo, APOD.

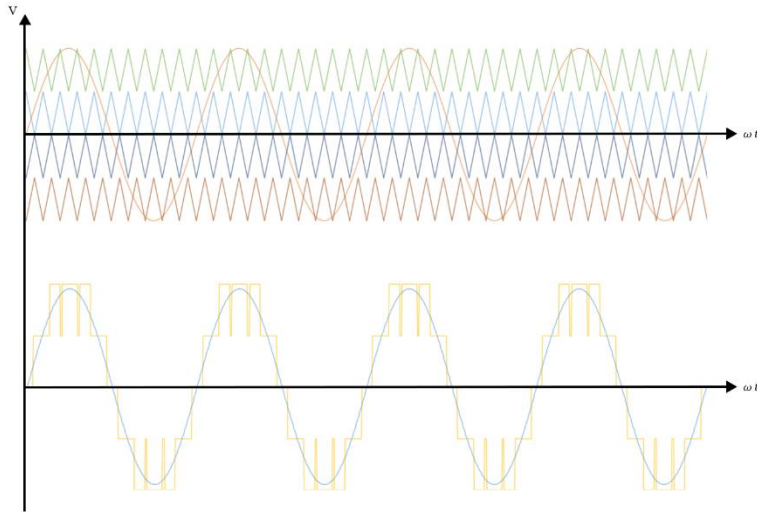


Figura 2.15 PWM de cinco niveles modo POD.

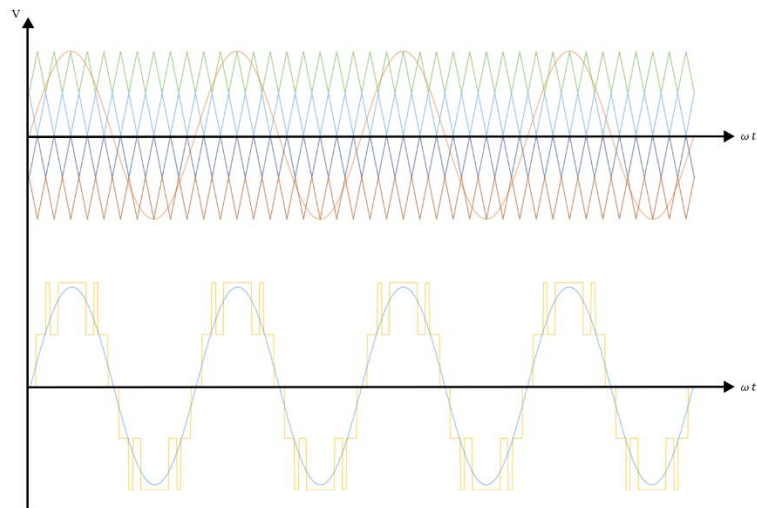


Figura 2.16 PWM de cinco niveles modo APOD.

2.6 Normas y medición de contenido armónico en inversores

En el mundo de la electrónica de potencia, el cumplimiento de normas y estándares eléctricos es crucial para garantizar la calidad de la energía suministrada y mantener la compatibilidad con dispositivos sensibles. Las normas eléctricas, como IEEE, IEC y ANSI, establecen parámetros y requisitos para medir y evaluar el contenido armónico en una onda de tensión generada por inversores y otros equipos eléctricos. Estos estándares definen los

niveles aceptables de distorsión armónica que pueden estar presentes en una señal eléctrica antes de considerarse no conforme o inaceptable.

2.6.1 Índice de Distorsión Armónica Total (THD):

Uno de los parámetros más conocidos es el **Índice de Distorsión Armónica Total (THD del inglés *Total Harmonic Distortion*)**. El THD tiene en cuenta el valor eficaz de todos los armónicos presentes con respecto a la componente fundamental, V_1 . Se calcula mediante la ecuación 2.33:

$$THD_v = \frac{\sqrt{\sum_2^{\infty} V_h^2}}{V_1} * 100\% \quad (2.33)$$

Este valor proporciona una medida global de la distorsión armónica y es esencial para evaluar la distorsión de la tensión y calidad de la energía suministrada.

2.6.2 Índice de Distorsión Armónica Ponderada (WTHD):

A diferencia del THD, la distorsión armónica ponderada (WTHD del inglés *Weighted Total Harmonic Distortion*) tiene en cuenta las amplitudes de los armónicos ponderadas por su propia frecuencia (orden). Esto significa que los armónicos de mayor orden contribuyen menos a este parámetro de evaluación. El WTHD es especialmente útil en aplicaciones de accionamiento de motores [21]. Se calcula mediante la ecuación 2.34.

$$WTHD_v = \frac{\sqrt{\sum_2^{\infty} \left(\frac{V_h^2}{h}\right)^2}}{V_1} * 100\% \quad (2.34)$$

El WTHD proporciona una evaluación más precisa de la distorsión armónica, ya que refleja la importancia relativa de los diferentes armónicos.

2.6.3 Estándar IEEE 519:

El estándar IEEE 519 establece límites permitidos máximos para el valor del THD según el nivel de tensión, como se muestra en la Tabla 2.6 [22]. Este estándar es fundamental para asegurar la calidad de la energía eléctrica y garantizar que las distorsiones armónicas para la tensión se mantengan dentro de los niveles aceptables en diversas aplicaciones.

Tabla 2.6 Límites de distorsión de tensión.

Tensión	Distorsión de voltaje individual (%)	Distorsión armónica total de voltaje THD (%)
<69 kV	3.0	5.0
69,001 kV hasta 161 kV	1.5	2.5
>161,001 kV	1.0	1.5

2.7 Estado del arte

Enseguida se exponen trabajos y soluciones aportadas por diferentes autores para el cómputo reconfigurable, empezando por los más antiguos.

- En 1998 los autores Sinha y Ditto en [23] demuestran la capacidad de los láctices de mapeos caóticos acoplados para realizar cálculos sencillos como emular compuertas lógicas, codificar números, sumar, multiplicación y encontrar el mínimo común múltiplo. Meses más tarde en [24] extienden su anterior esquema a uno multidimensional.
- En 2002, Munakata se les une a Sinha y Ditto en [25] donde presentan los principios básicos para implementar las compuertas AND, OR, XOR y NOT y operaciones aritméticas bit a bit usando elementos caóticos.
- Para 2003, se les une Murali a Sinha y Ditto en [26], donde realizan la implementación de la compuerta lógica NOR por medio del circuito de Chua. Demostrando así la capacidad de los sistemas caóticos en cómputo de propósito general. Dos años después en [5] reportan la primera realización experimental de todas las compuertas lógicas usando un circuito caótico. Es decir, la primera celda lógica reconfigurable, y usando dos celdas, realizan un medio sumador.
- En 2008, Peng y sus compañeros, presenta en [27] tres métodos basados en sistemas lineales a pedazos para emular diferentes compuertas lógicas, operaciones aritméticas bit a bit y elementos de memoria. El primer esquema usa sistemas lineales discretos, mientras que para el segundo y tercer esquema se sincronizan sistemas lineales continuos.

- Para el año 2009, de nuevo Murali y sus compañeros implementaron en [28] las compuertas lógicas, pero ahora en lugar de cambiar los parámetros con intervención humana, utilizan la evolución dinámica de un sistema no lineal, donde se establece un parámetro global y se deja que el tiempo evolucione la lógica. Al final, además de las compuertas NAND, XNOR, NOR, OR, XOR, y AND, implementan un sumador completo.
- Ese mismo año se publica la tesis de Roman en [3] con el título “Desarrollo de una herramienta para el diseño de sistemas reconfigurables” en la que desarrolla un sistema de software para facilitar el diseño de sistemas digitales a partir de módulos de lógica reconfigurable.
- Para 2010, el autor Guerra y sus compañeros, presentan en [29] un dispositivo nanomecánico capaz de funcionar como compuerta lógica reprogramable, el cual ejecutaba la compuerta AND/NAND o la compuerta OR/NOR al ajustar los parámetros de operación del resonador ya sea directamente (intervención humana) o por intensidad de ruido.
- Ese mismo año, el equipo de Peng, expone en [30] el cómo con sistemas a pedazos construyen 16 funciones lógicas con dos entradas, esto discriminando las señales de entrada, realizando diferentes combinaciones de parámetros y condiciones para determinar la salida. Un año después en [11] escalan su trabajo para múltiples entradas y múltiples salidas (MIMO multiple-input multiple-output).
- En 2012, Yuan junto con Liu, exploran redes neuronales celulares (CNN) en [13] y lo aplican a su anterior trabajo junto a Peng, obtienen las 16 funciones con dos entradas aplicando una nueva fórmula de histéresis asegurando así una salida estrictamente binaria.
- En 2013, Li junto con 4 compañeros, proponen en [31] un esquema para obtener funciones lógicas solo cambiando un parámetro o dos.
- Ese mismo año, Rothenbuhler y compañeros, implementan en [12] una compuerta universal diseñada con tres memristores, es decir, resistencias con memoria, a las que se les modifica su resistencia aplicándoles pulsos de voltaje positivos y negativos para realizar las operaciones lógicas AND, OR, NAND y NOR.

- En 2014, Ibrayev y compañeros, utilizan en [32] memristores en amplificadores operacionales, pero para establecer la configuración inversora o diferencial.
- Para el 2017 se publica la tesis [33] de Lozoya con el título “Celdas lógicas reconfigurables”. En su trabajo implementa una compuerta lógica reconfigurable capaz de realizar 16 funciones booleanas con dos entradas y, con la combinación de múltiples compuertas lógicas se logran operaciones tales como la suma, resta, multiplicación y división de números binarios, obteniendo así una Unidad Lógico Aritmética de dos bits.
- En 2018 se publica la tesis de Rivera en [34] con el título “Diseño e implementación de arreglos de compuertas dinámicas programables en campo y su aplicación en redes Booleanas”, en esta diseña e implementa un arreglo de compuertas dinámicas programables en campo (FPDGA) conformado de compuertas lógicas dinámicas configurables por el usuario.
- El mismo año se publica la tesis [35] de Cerda con el título de “Diseño de un circuito Electrónico para una Red No Lineal Celular Reconfigurable”. En donde diseñó una red no lineal reconfigurable, obteniendo un sistema “físico” que emula el comportamiento de un autómata celular básico. Construida a partir de flip-flops y circuitos reconfigurables que muestran la evolución de las reglas 90, 110, 126, 254 y 150 de Stephen Wolfram.
- En 2021, Sarkar y compañeros, diseñan una compuerta universal en [36], usando un sistema óptico para las señales de entrada, obteniendo las compuertas AND, OR y la NOT.
- En 2022, Murali y sus compañeros Ditto y Sinha, obtienen las compuertas OR, AND, NOR, NAND, XOR y XNOR en [37] al solo reconfigurar un parámetro de entrada.

A continuación, se presentan trabajos de tesis en los que se emplean técnicas de modulación para inversores:

- En 2002 el autor Bárcenas publica su tesis en [38], donde realiza varias pruebas simuladas en PSpiceTM y en un prototipo de inversor multinivel en cascada, las pruebas fueron con distintas cargas, con y sin filtro de salida, así como a distintos índices de modulación. Para el control de conmutación utilizó una matriz lógica genérica GAL22V10 y 6 memorias EEPROM 27C64.
- En 2009 el autor Estrada publica su tesis en [20], en la que desarrolla el control de conmutación para un inversor con la técnica de modulación por ancho de pulso con desplazamiento de fase (PS-PWM) multinivel, empleando una tarjeta FPGA Spartan 3E.
- En 2014 la autora Moreno publica su tesis en [21], donde, a través de simulación en PSIMTM y MATLAB/SIMULINKTM, comprobó que al tener mayor número de conmutaciones disminuía el índice de distorsión armónico total en un inversor en cascada asimétrico de 7 y 9 niveles, también notó mejoras al utilizar una modulación híbrida.
- En 2016 la autora González publica su tesis en [22], en la que a través de simulación compara técnicas de optimización metahuerísticas y logra una reducción del índice de distorsión armónica total (THD), la primera técnica corresponde a algoritmos genéticos (GA) y la segunda corresponde a la optimización por enjambre de partículas (PSO), usando la técnica de modulación de eliminación selectiva de armónicos (SHE).
- En 2020 el autor Chavarría publica su tesis en [39], en la que implementa un inversor multinivel de puentes H en cascada (CHB-MLI) de 7 niveles, en el que compara las técnicas de modulación de ancho de pulso: con desplazamiento de nivel (LS-PWM), rotativo, distribuido y con desplazamiento de fase (PS-PWM), empleando la tarjeta de desarrollo TinyFPGA BX.

Por último, se presentan trabajos de tesis realizadas por alumnos del Instituto Tecnológico de Chihuahua del área de electrónica de potencia:

- En 2005 el autor Mendoza publica su tesis en [40], donde realiza un convertidor de potencia CD-CD de tipo Push-Pull y un inversor trifásico con la técnica SPWM

utilizando la tarjeta DSP TMS320LF240APGEA, por último, prueba su prototipo con voltaje provisto de un arreglo de celdas fotovoltaicas.

- El mismo año Lizárraga publica su tesis en [41] en esta construye un sistema de conversión de energía CD a CA, realizando primero una conversión de CD-CD con topología Boost, luego la conversión CD-CA que consiste en un inversor trifásico en lazo abierto controlado por la tarjeta DSP TMS320LF2407A con la técnica de modulación por vector de espacio (SV-PWM), por último, un filtro LC de segundo orden para eliminar componentes armónicas.
- También en 2005 el autor López publica su tesis en [42], en la que, por medio de celdas solares, un convertidor CD-CD tipo Boost y un inversor trifásico, convierte energía solar en CA, para ello utiliza la técnica SPWM y una tarjeta DSP TMS320LF240APGEA.
- En 2017 el autor Jáquez publica su tesis en [43], donde realiza un inversor trifásico controlado a través de la tarjeta DSP TMS320F28335 y la técnica SPWM, el inversor lo aplica a un sistema de generación eólico comprobando su funcionamiento tanto en lazo abierto como en lazo cerrado e interconectado a la red eléctrica.

Estos avances en cómputo reconfigurable han marcado hitos significativos en la evolución de la computación. Partiendo de estos fundamentos, se proyecta la integración de una técnica de modulación PWM en un ALU (Unidad Lógico Aritmética) basada en circuitos reconfigurables. Se buscará aplicar los principios de modulación PWM y su relación con el control de inversores, aprovechando las características adaptables y flexibles de los circuitos reconfigurables.

Este enfoque permitirá desarrollar un sistema avanzado que combina capacidades de cómputo reconfigurable con las técnicas de modulación para inversores, proporcionando un entorno de control más versátil y adaptable en aplicaciones de energía, contribuyendo a una mayor eficiencia y calidad en la gestión de energía eléctrica.

Capítulo 3

METODOLOGÍA

Para el diseño de la ALU, se inicia con la creación de una Celda Lógica Reconfigurable (CLR) de dos entradas. Esta CLR, también conocida como compuerta lógica de umbral (TLG del inglés *Threshold Logic Gate*) o compuerta lógica universal (ULG del inglés *Universal Logic Gate*), permite la obtención de 16 funciones lógicas distintas a su salida, como se detalla en la Tabla 3.1. Las compuertas no comerciales se presentan con sus expresiones booleanas.

Tabla 3.1 Compuertas posibles con dos entradas.

x_2	x_1	f_0	f_1	f_2	f_3	f_4	f_5	f_6	f_7	f_8	f_9	f_{10}	f_{11}	f_{12}	f_{13}	f_{14}	f_{15}
0	0	0	0	0	0	0	0	0	0	1	1	1	1	1	1	1	1
0	1	0	0	0	0	1	1	1	1	0	0	0	0	1	1	1	1
1	0	0	0	1	1	0	0	1	1	0	0	1	1	0	0	1	1
1	1	0	1	0	1	0	1	0	1	0	1	0	1	0	1	0	1
		GND	AND	$x_2 \overline{x_1}$	$\overline{x_2} x_1$	$\overline{x_2} \overline{x_1}$	$x_2 x_1$	XOR	OR	NOR	XNOR	$\overline{x_1}$	$x_2 x_1$	$\overline{x_2} x_1$	$\overline{x_2} \overline{x_1}$	NAND	Vcc

Vcc: Voltaje de corriente continua
GND: Ground/Tierra

Para la elección de los pesos w_1 y w_2 se utilizan las ponderaciones basadas en números binarios ($2^0, 2^1, 2^2, 2^3, 2^4$ y así sucesivamente), es decir $w_1 = 2^0 = 1$ y $w_2 = 2^1 = 2$, si se tuvieran más entradas los pesos corresponderían a $w_3 = 2^2 = 4$ y $w_4 = 2^3 = 8$. Esta estrategia permite asignar un valor único a cada permutación, simplificando la tarea de abarcar la permutación deseada con el umbral de acción sin activar otras por error. Lo que se observa en la Tabla 3.2 donde $g(x) = x_1 + 2x_2$ toma un valor diferente en cada permutación.

Tabla 3.2 Posibles valores para $g(x)$ con $w_1 = 1$ y $w_2 = 2$.

x_2	x_1	$g(x) = x_1 + 2x_2$
0	0	0
0	1	1
1	0	2
1	1	3

Con estos valores en $g(x)$, es posible reconfigurar el umbral definido por K_+ y K_- , para obtener las siguientes compuertas $f(x)$: $f_0, f_1, f_2, f_3, f_4, f_6, f_7, f_8, f_{12}, f_{14}$ y f_{15} . Por ejemplo, para obtener la función f_1 , que corresponde a una operación AND, se requiere establecer un umbral de acción que contenga a la permutación $x_2 = 1$ y $x_1 = 1$, es decir en $g(x) = 3$, para establecer los valores de K_+ y K_- , se debe cumplir las condiciones de las ecuaciones 3.1 y 3.2.

$$g(x) < K_+ \quad (3.1)$$

$$w_2 < K_- < g(x) \quad (3.2)$$

Por lo que se consideran los valores en $K_+ = 3.5$ y $K_- = 2.5$. Esto se ilustra gráficamente en la Figura 3.1(a) donde solo la permutación $x_2 = 1$ y $x_1 = 1$ se encuentra dentro del umbral. La salida $f(x)$ se activará cuando se cumpla la condición $3.5 > g(x) > 2.5$, lo que se muestra en la Figura 3.1(b).

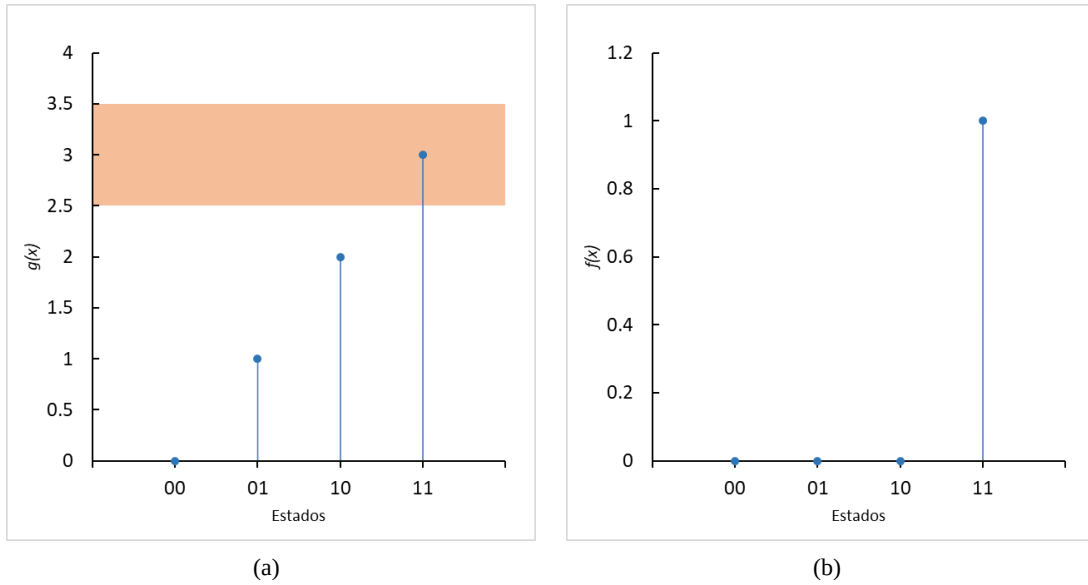


Figura 3.1 Obtención de la función AND (a) Resultado $g(x)$ con los pesos $w_1 = 1$ y $w_2 = 2$ y umbral de $K_+ = 3.5$ y $K_- = 2.5$. (b) Salida $f(x)$.

En el resto de las compuertas que faltan se cambian los valores de los pesos. Para la obtención de f_5 y f_{10} , es necesario que las permutaciones donde $x_1 = 1$ estén contiguas, y que cuando $x_1 = 0$ también estén contiguas, es decir que el peso de w_2 preferiblemente tiene que ser un valor bajo para que el valor de $g(x)$ en la permutación $x_2 = 1$ y $x_1 = 0$, este cerca del

valor de $g(x)$ en la permutación $x_2 = 0$ y $x_1 = 0$ que independientemente de los pesos, en esta permutación $g(x) = 0$, debido a que no se está utilizando ningún *offset*. Como los valores de pesos que se están manejando son de 1 y 2, se usa $w_2 = 1$ y $w_1 = 2$.

Por otro lado, para las compuertas f_9, f_{11} y f_{13} se necesita que las permutaciones donde $x_2 \neq x_1$ no estén contiguas y que cuando $x_2 = x_1$ estén contiguas, como se mencionó anteriormente, independientemente de los valores de los pesos en la permutación $x_2 = 0$ y $x_1 = 0$, el valor de $g(x)$ será 0, entonces se procura que en la permutación $x_2 = 1$ y $x_1 = 1$ el valor de $g(x)$ sea -1 o 1, por lo que se intuye que uno de los dos pesos tiene que ser negativo, originalmente se tienen los pesos $w_1 = 1$ y $w_2 = 2$, al cambiarle el signo a cualquiera de los dos pesos se cumplen las dos condiciones dadas. La Tabla 3.3 muestra los valores que tomara $g(x)$ con estos cambios de pesos para la obtención de f_5, f_9, f_{10}, f_{11} y f_{13} . Mientras que en la Tabla 3.4 se muestra la obtención de las 16 funciones gráficamente junto con los valores del umbral de acción.

Tabla 3.3 Posibles valores para $g(x)$.

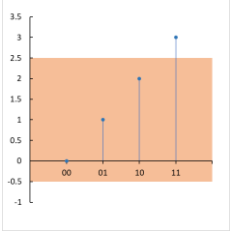
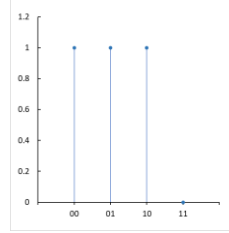
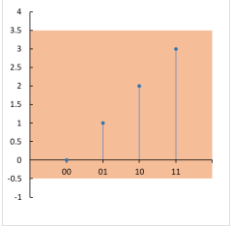
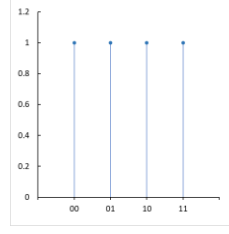
x_2	x_1	$g(x) = 2x_1 + x_2$	$g(x) = -x_1 + 2x_2$	$g(x) = x_1 - 2x_2$
0	0	0	0	0
0	1	2	-1	1
1	0	1	2	-2
1	1	3	1	-1

Tabla 3.4 Compuertas posibles con 2 entradas.

Compuerta	Parámetros	$g(x)$	$f(x)$
f_0 : GND	$w_1 = 1$ $w_2 = 2$ $K_+ = 3.7$ $K_- = 3.5$		
f_1 : AND	$w_1 = 1$ $w_2 = 2$ $K_+ = 3.5$ $K_- = 2.5$		

$f_2: x_2 \overline{x_1}$	$w_1 = 1$ $w_2 = 2$ $K_+ = 2.5$ $K_- = 1.5$		
$f_3: x_2$	$w_1 = 1$ $w_2 = 2$ $K_+ = 3.5$ $K_- = 1.5$		
$f_4: \overline{x_2} x_1$	$w_1 = 1$ $w_2 = 2$ $K_+ = 1.5$ $K_- = 0.5$		
$f_5: x_1$	$w_1 = 2$ $w_2 = 1$ $K_+ = 3.5$ $K_- = 1.5$		
$f_6: \text{XOR}$	$w_1 = 1$ $w_2 = 2$ $K_+ = 2.5$ $K_- = 0.5$		
$f_7: \text{OR}$	$w_1 = 1$ $w_2 = 2$ $K_+ = 3.5$ $K_- = 0.5$		

$f_8: \text{NOR}$	$w_1 = 1$ $w_2 = 2$ $K_+ = 0.5$ $K_- = -0.5$		
$f_9: \text{XNOR}$	$w_1 = -1$ $w_2 = 2$ $K_+ = 1.5$ $K_- = -0.5$		
$f_{10}: \overline{x_1}$	$w_1 = 2$ $w_2 = 1$ $K_+ = 1.5$ $K_- = -0.5$		
$f_{11}: \overline{\overline{x_2 x_1}}$	$w_1 = -1$ $w_2 = 2$ $K_+ = 2.5$ $K_- = -0.5$		
$f_{12}: \overline{x_2}$	$w_1 = 1$ $w_2 = 2$ $K_+ = 1.5$ $K_- = -0.5$		
$f_{13}: \overline{\overline{x_2 x_1}}$	$w_1 = -1$ $w_2 = 2$ $K_+ = 1.5$ $K_- = -1.5$		

f ₁₄ : NAND	$w_1 = 1$ $w_2 = 2$ $K_+ = 2.5$ $K_- = -0.5$		
f ₁₅ : Vcc	$w_1 = 1$ $w_2 = 2$ $K_+ = 3.5$ $K_- = -0.5$		

Una opción para conservar los valores de los pesos sin necesidad de modificación, es la utilización de la suma de dos umbrales de acción en lugar de uno solo, sin embargo, más adelante se explican las consecuencias de esta solución. Por ejemplo, para mantener los coeficientes $w_1 = 1$ y $w_2 = 2$ en la compuerta f₁₁, el primer umbral debe tener los valores $K_+ = 0.5$ y $K_- = -0.5$, mientras que el segundo umbral necesita valores de $K_+ = 3.5$ y $K_- = 1.5$ para excluir la permutación $x_2 = 0$ y $x_1 = 1$, cómo se representa en la Figura 3.2.

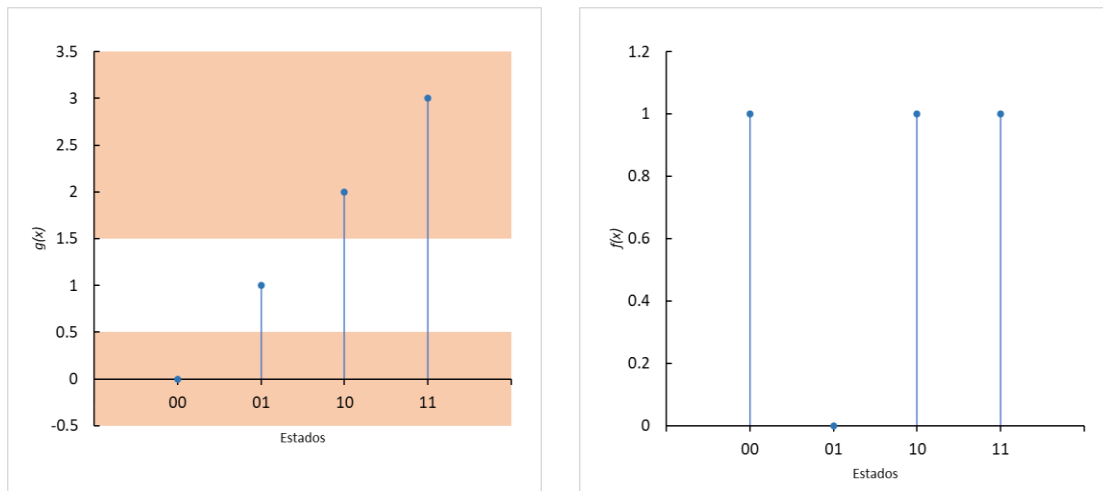


Figura 3.2 Obtención de la compuerta f₁₁: $\overline{x_2 x_1}$ con dos umbrales de acción.

3.1 Simulación de la Celda Lógica Reconfigurable

La simulación de la CLR con amplificadores operacionales, se basa en circuitos utilizados en trabajos anteriores [12], [30], [33], [34], [35], que involucra dos configuraciones clave: el sumador inversor y el comparador de ventana. En esta implementación se optó por utilizar circuitos integrados de propósito general LM741 y el LM311. La simulación se llevó a cabo utilizando el software de NI Multisim 14.2 mostrada en la Figura 3.3.

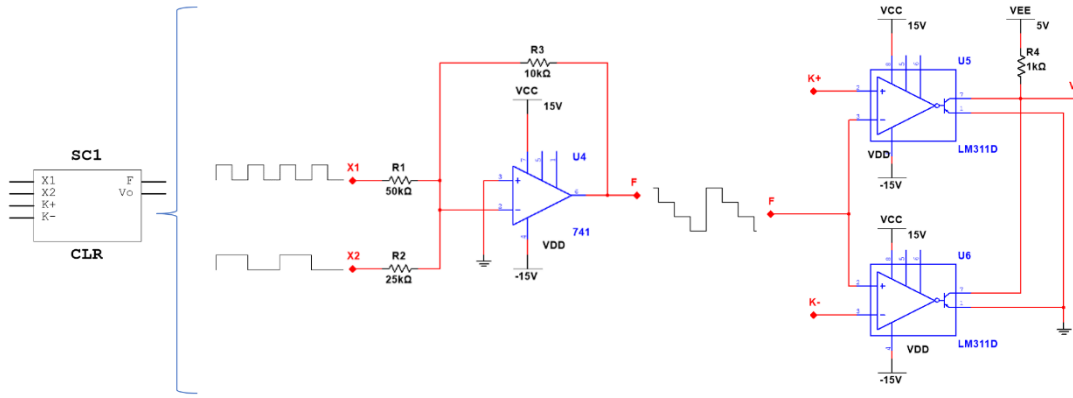


Figura 3.3 Simulación de la CLR en NI Multisim.

Mediante la ecuación 2.9 y la elección de una resistencia de retroalimentación $R_f = 10 \text{ k}\Omega$, se determinaron los valores de resistencia $R_1 = 50 \text{ k}\Omega$ y $R_2 = 25 \text{ k}\Omega$ para la etapa del sumador inversor. Como resultado, la salida se define como $F = -\left(\frac{R_f}{R_1}V_1 + \frac{R_f}{R_2}V_2\right) = -\left(\frac{1}{5}V_1 + \frac{2}{5}V_2\right)$, lo que implica ganancias de $\frac{1}{5}$ y $\frac{2}{5}$ en lugar de los pesos originales $w_1 = 1$ y $w_2 = 2$ del diseño. Este ajuste se debe al hecho de que el generador de pulsos cuadrados del laboratorio opera con una amplitud de 5 V cuando el pulso está en un nivel alto, lo que requiere adaptar las ganancias para mantener aumentos unitarios. Los posibles valores de F se detallan en la Tabla 3.5.

Tabla 3.5 Valores que toma F .

x_2	x_1	$F = -\left(\frac{1}{5}V_1 + \frac{2}{5}V_2\right)$
0 V	0 V	0 V
0 V	5 V	-1 V
5 V	0 V	-2 V
5 V	5 V	-3 V

En su mayoría, los valores de K_+ y K_- serán voltajes negativos debido a las características de F . La salida del comparador de ventana se define en la ecuación 3.3.

$$V_o = \begin{cases} 5V, & K_+ > F \geq K_- \\ 0V, & \text{en otro caso} \end{cases} \quad (3.3)$$

La obtención de la compuerta AND se ilustra en la Figura 3.4 mediante el uso de valores específicos de $K_+ = -2.5V$ y $K_- = -3.5V$.

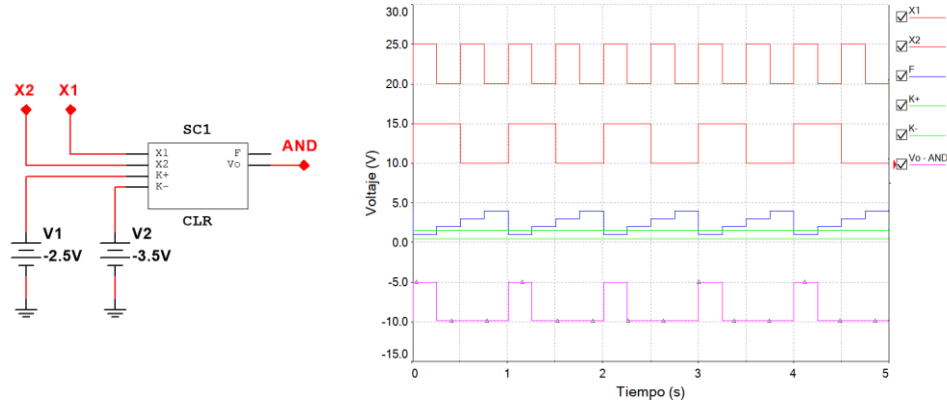


Figura 3.4 Obtención de la compuerta AND en simulación.

Los resultados de las 16 compuertas se presentan más adelante en la Tabla 3.7 junto con lo obtenido en laboratorio. Con las simulaciones es más evidente lo que implicaría utilizar dos umbrales de acción, es decir se requeriría más amplificadores LM311, otras dos fuentes para los valores de K_{2+} y K_{2-} , además de un arreglo extra para sumar las salidas de ambas ventanas como el mostrado en la Figura 3.5. Por lo tanto, se continuó con el ajuste de pesos.

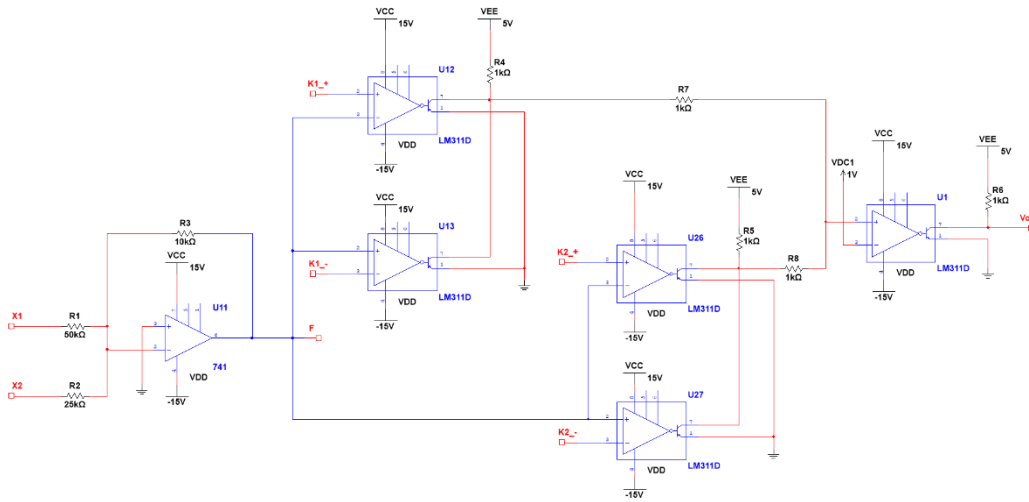


Figura 3.5 CLR con dos umbrales.

3.2 Simulación de operaciones aritméticas

En la simulación de las operaciones aritméticas, específicamente del medio sumador y medio restador, se emplean dos CLRs. Para la operación de comparación de dos entradas de un bit se requieren 3 CLRs, como se detalla en la Tabla 3.6.

Tabla 3.6 Tabla de verdad para un medio sumador, un medio restador y un comparador.

x_2	x_1	Medio sumador		Medio restador		Comparador		
		C_{out}	Suma	C_{out}	Resta	$x_1 < x_2$	$x_1 > x_2$	$x_1 = x_2$
0	0	0	0	0	0	0	0	1
0	1	0	1	0	1	0	1	0
1	0	0	1	1	1	1	0	0
1	1	1	0	0	0	0	0	1
		f_1 : AND	f_6 : XOR	f_2 : $x_2 \overline{x_1}$	f_9 : XOR	f_2 : $x_2 \overline{x_1}$	f_4 : $\overline{x_2} x_1$	f_9 : XNOR

En las Figuras 3.6 a la 3.8 se muestran las simulaciones de las tres operaciones aritméticas.

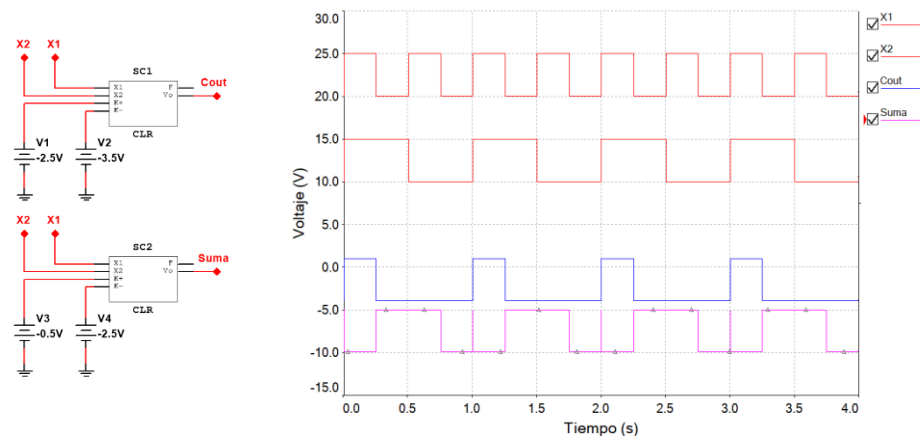


Figura 3.6 Simulación de un medio sumador.

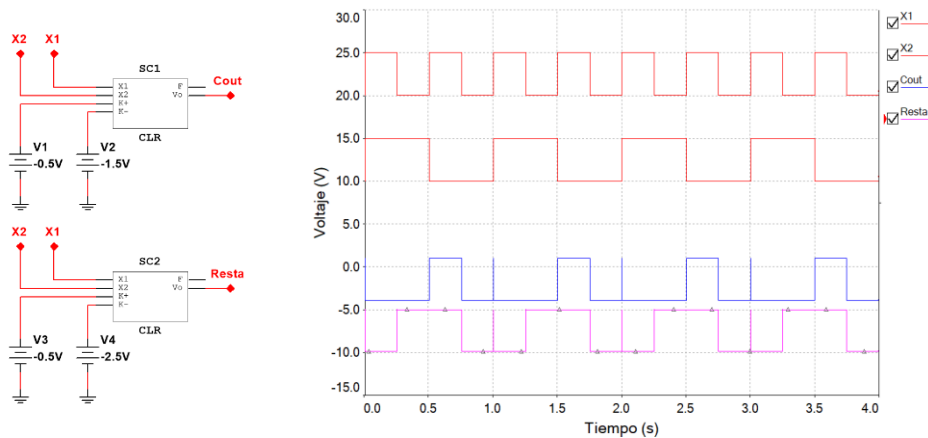


Figura 3.7 Simulación de un medio restador.

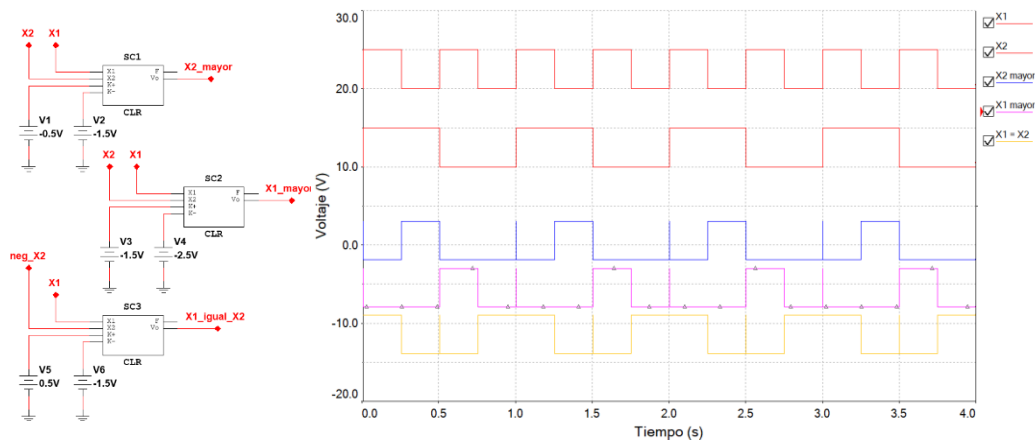


Figura 3.8 Simulación del comparador de un bit.

La inspección de las Figuras 3.6 a la 3.8 resalta una notable virtud del sistema: su capacidad de reconfiguración sencilla mediante un cambio de voltaje. Este rasgo se ilustra en la transición de la operación de medio sumador a medio restador, donde es suficiente reconfigurar los valores de la fuente 1, como se detalla en la Tabla 3.7. De manera análoga, para cambiar de la operación de medio restador a la de comparador, basta con reconfigurar el valor de K_{2+} . Sin embargo, para este último caso, se requiere incorporar una tercera CLR con su fuente. Este nivel de flexibilidad no solo simplifica el proceso de adaptación entre funciones lógicas, sino que también destaca la capacidad escalable del sistema para lograr operaciones más complejas.

Tabla 3.7 Voltajes de cada fuente.

	Fuente 1		Fuente 2		Fuente 3	
	K_+	K_-	K_{2+}	K_{2-}	K_{3+}	K_{3-}
Medio sumador	-2.5 V	-3.5 V	-0.5 V	-2.5 V	-	-
Medio restador	-0.5 V	-1.5 V	-0.5 V	-2.5 V	-	-
Comparador	-0.5 V	-1.5 V	-1.5 V	-2.5 V	0.5 V	-1.5 V

3.3 Implementación de la Celda Lógica Reconfigurable

Después de verificar, mediante simulación, que el circuito opera conforme a los objetivos establecidos, se procede con el diseño de la placa de circuito impreso (PCB), haciendo uso de la herramienta Ultiboard 14.2, integrada en NI Multisim. Se opta por componentes con tecnología de agujeros pasantes (THT del inglés *Through-Hole Technology*). Ultiboard

proporciona una representación tridimensional del acomodo de los componentes, evidenciada en la Figura 3.9.

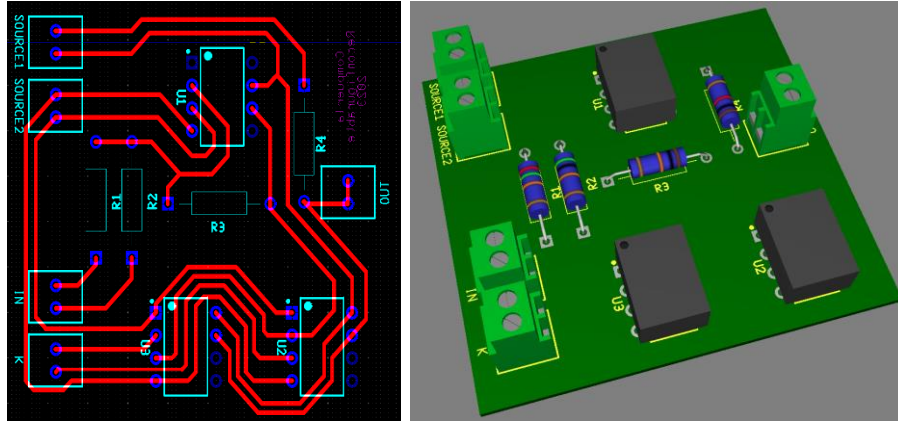


Figura 3.9 Diseño de la PCB de la CLR.

Con el diseño de la PCB completado, se manufacturaron 10 tarjetas en la empresa PCBWay y se soldaron sus componentes en laboratorio. Dichos componentes fueron 4 resistencias (49.9 k Ω , 24.9 k Ω , 10 k Ω y 1 k Ω), 3 bases para circuitos integrado y 5 bloques de terminal por tarjeta. Además, cada tarjeta requiere amplificadores no son soldados, un LM741 y dos LM311. Por último, se agregó una carcasa a cada tarjeta para brindar protección. La Figura 3.10 exhibe las tarjetas, tanto con, cómo sin carcasa.

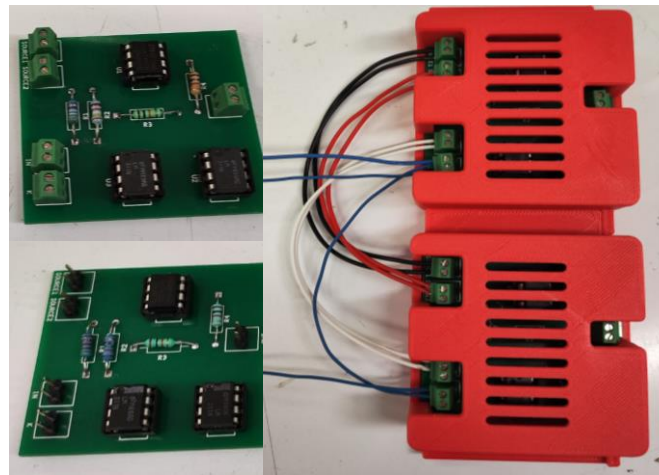


Figura 3.10 Tarjetas y carcasas de las CLR.

Las tarjetas se comprobaron experimentalmente en laboratorio realizando las 16 funciones de compuertas. Los resultados de laboratorio a través del osciloscopio se muestran en la Tabla 3.8 junto con los resultados de la simulación.

Tabla 3.8 Comparativa de la simulación y lo obtenido en laboratorio.

Compuerta	Parámetros	Simulación - Osciloscopio	Laboratorio – Osciloscopio
f_0 : GND	$A_{v1} = \frac{1}{5}$ $A_{v2} = \frac{2}{5}$ $K_+ = 2\text{ V}$ $K_- = 1.5\text{ V}$ $K_+ = -3.5\text{ V}$ $K_- = -4\text{ V}$		
f_1 : AND	$A_{v1} = \frac{1}{5}$ $A_{v2} = \frac{2}{5}$ $K_+ = -2.5\text{ V}$ $K_- = -3.5\text{ V}$		
f_2 : $x_2 \overline{x_1}$	$A_{v1} = \frac{1}{5}$ $A_{v2} = \frac{2}{5}$ $K_+ = -1.5\text{ V}$ $K_- = -3.5\text{ V}$		
f_3 : x_2	$A_{v1} = \frac{1}{5}$ $A_{v2} = \frac{2}{5}$ $K_+ = -1.5\text{ V}$ $K_- = -3.5\text{ V}$		
f_4 : $\overline{x_2} x_1$	$A_{v1} = \frac{1}{5}$ $A_{v2} = \frac{2}{5}$ $K_+ = -0.5\text{ V}$ $K_- = -1.5\text{ V}$		
f_5 : x_1	$A_{v1} = \frac{2}{5}$ $A_{v2} = \frac{1}{5}$ $K_+ = -1.5\text{ V}$ $K_- = -3.5\text{ V}$		

III. METODOLOGÍA

f_6 : XOR	$A_{v1} = \frac{1}{5}$ $A_{v2} = \frac{2}{5}$ $K_+ = -0.5 V$ $K_- = -2.5 V$		
f_7 : OR	$A_{v1} = \frac{1}{5}$ $A_{v2} = \frac{2}{5}$ $K_+ = -0.5 V$ $K_- = -3.5 V$		
f_8 : NOR	$A_{v1} = \frac{1}{5}$ $A_{v2} = \frac{2}{5}$ $K_+ = 0.5 V$ $K_- = -0.5 V$		
f_9 : XNOR	$A_{v1} = -\frac{1}{5}$ $A_{v2} = \frac{2}{5}$ $K_+ = 0.5 V$ $K_- = -1.5 V$		
f_{10} : $\overline{x_1}$	$A_{v1} = \frac{2}{5}$ $A_{v2} = \frac{1}{5}$ $K_+ = 0.5 V$ $K_- = -1.5 V$		
f_{11} : $\overline{\overline{x_2 x_1}}$	$A_{v1} = -\frac{1}{5}$ $A_{v2} = \frac{2}{5}$ $K_+ = 0.5 V$ $K_- = -2.5 V$		

$f_{12}: \overline{x_2}$	$A_{v1} = \frac{1}{5}$ $A_{v2} = \frac{2}{5}$ $K_+ = 0.5 V$ $K_- = -1.5 V$		
$f_{13}: \overline{x_2 x_1}$	$A_{v1} = -\frac{1}{5}$ $A_{v2} = \frac{2}{5}$ $K_+ = 1.5 V$ $K_- = -1.5 V$		
$f_{14}: \text{NAND}$	$A_{v1} = \frac{1}{5}$ $A_{v2} = \frac{2}{5}$ $K_+ = 0.5 V$ $K_- = -2.5 V$		
$f_{15}: V_{cc}$	$A_{v1} = \frac{1}{5}$ $A_{v2} = \frac{2}{5}$ $K_+ = 0.5 V$ $K_- = -3.5 V$		

Posterior a la implementación de las compuertas, se procedió con la de las operaciones aritméticas que previamente fueron simuladas, es decir, el medio sumador, el medio restador y el comparador. En la Figura 3.11 se muestran los resultados capturados por el osciloscopio, con las entradas x_1 y x_2 en la parte superior del mismo. Siendo x_1 un tren de pulsos con el doble de frecuencia que x_2 . Para el medio sumador, la señal del canal 3 corresponde al acarreo de salida en color rosa, mientras que el canal 4, en verde, representa a la suma. De igual manera, para el medio restador, el canal 3 en rosa indica el acarreo de salida, y en el canal 4, en verde, se observa la resta.

Finalmente, para la operación de la comparación, el canal 4 está en alto cuando $x_1 > x_2$, mientras que el canal 3 se encuentra en alto al cumplirse $x_1 < x_2$. Cuando ambas entradas son iguales, entonces el canal 2 de color azul cian se muestra en alto.

III. METODOLOGÍA

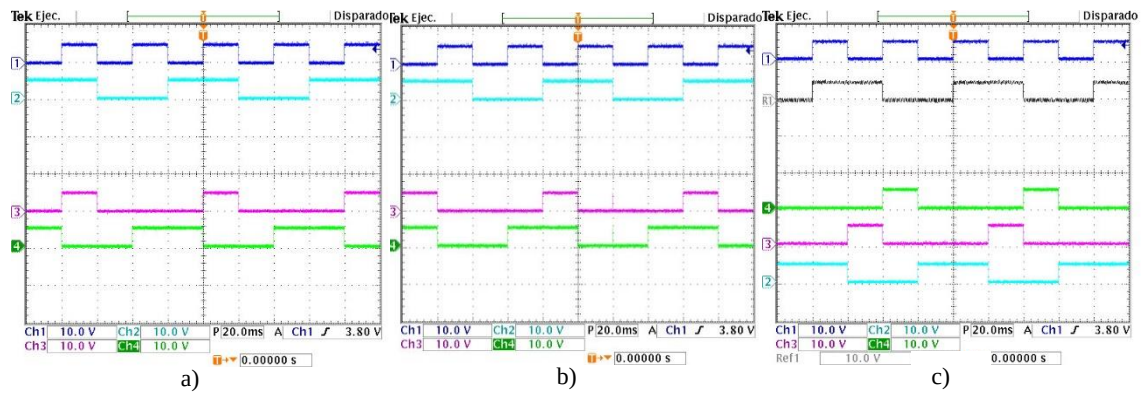


Figura 3.11 Operación aritmética de a) medio sumador b) medio restador c) comparador.

Para la obtención de operaciones más complejas, como el sumador o restador completo, se incrementa el número de CLRs a utilizar. Estas dos operaciones requieren seis CLRs, como se ilustra en las Figuras 3.12 y 3.13; la Tabla 3.9 muestra sus tablas de verdad junto con sus expresiones booleanas correspondientes.

Tabla 3.9 Sumador y restador completo.

C_{in}	x_2	x_1	Sumador completo		Restador completo	
			C_{out}	S	C_{out}	R
0	0	0	0	0	0	0
0	0	1	0	1	0	1
0	1	0	0	1	1	1
0	1	1	1	0	0	0
1	0	0	0	1	1	1
1	0	1	1	0	0	0
1	1	0	1	0	1	0
1	1	1	1	1	1	1
			$C_{out} = x_2x_1 + C_{in}x_1 + C_{in}x_2$	$S = C_{in} \oplus x_1 \oplus x_2$	$C_{out} = x_2\bar{x}_1 + C_{in}\bar{x}_1 + C_{in}x_2$	$R = C_{in} \oplus x_1 \oplus x_2$

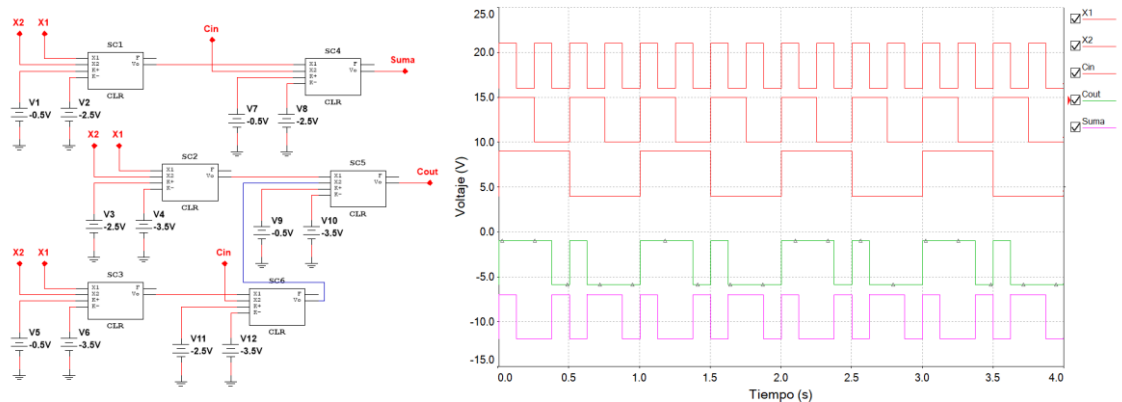


Figura 3.12 Sumador completo con 6 CLRs.

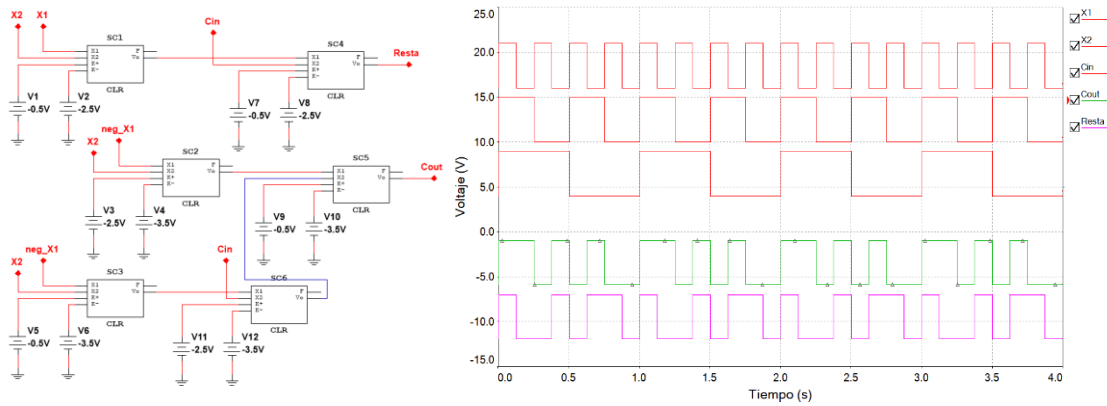


Figura 3.13 Restador completo con 6 CLRs.

La expansión del número de CLRs se fundamenta en la necesidad de manejar operaciones más complejas, como el sumador y restador completo, que requieren tres valores de entrada: los dos sumandos o restandos, x_1 y x_2 , además del acarreo de entrada C_{in} . Esto contrasta con el medio sumador y el medio restador, que no consideran el acarreo. Una estrategia adoptada para optimizar estas operaciones y reducir la cantidad de CLRs necesarias consiste en ampliar el número de entradas que pueden conectarse a cada CLR. Este enfoque no solo mejora la eficiencia del diseño, sino que también permite la contemplación de sistemas más complejos con una menor cantidad de componentes lógicos reconfigurables.

3.4 Escalamiento de la Celda Lógica Reconfigurable

Tras el análisis exhaustivo del circuito basado en la literatura y la comprensión a fondo de las Celdas Lógicas Reconfigurables (CLRs), junto con la identificación de sus áreas de mejora, se propone una ampliación del diseño considerando los siguientes aspectos:

1. **Aumento del número de entradas:** Se plantea incrementar el número de entradas de dos a cuatro. Esto permitirá la integración de las tres entradas del sumador o restador completo, junto con una entrada adicional destinada a un posible *offset*.
2. **Configuración alternativa para la suma ponderada:** Se sugiere emplear una configuración diferente a la del sumador inversor para la suma ponderada. Esta elección permitirá trabajar con voltajes positivos en el umbral de acción, mejorando la versatilidad del diseño.
3. **Eliminación del operacional LM311:** Dado que la disposición especial del operacional LM311 en la salida limita las opciones de reemplazo, se propone

prescindir de su uso. En su lugar, se plantea la creación de un arreglo similar utilizando transistores, ofreciendo flexibilidad y opciones más amplias de sustitución.

4. **Capacidad de inversión de señales de entrada:** Se propone la integración de la capacidad de invertir las señales de entrada directamente desde el circuito. Esto eliminará la necesidad de ajustes externos al requerir una señal invertida, simplificando la implementación.
5. **Obtención de salidas en fase y en contrafase:** Se busca obtener tanto la salida V_o en fase como $-V_o$ desde el mismo circuito. Esta mejora posibilitará la incorporación de dos compuertas en un mismo diseño, como por ejemplo AND y NAND, OR y NOR, XOR y XNOR, y así sucesivamente para el resto de compuertas no comerciales.

3.4.1 Diseño para la Nueva Celda Lógica Reconfigurable (NCLR)

Lo primero por definir son los pesos que se tendrán disponibles, siguiendo la ponderación basada en los números binarios se asignaron los posibles pesos de 1, 2, 4 y 8 para las cuatro entradas. Para cumplir con el punto de poder invertir las señales desde la NCLR, se agregan otras entradas con los mismos pesos, pero negativos -1 , -2 , -4 y -8 . Como forma de verificación de estos pesos disponibles, se realiza el sumador completo. Requiriendo para el acarreo de salida los pesos de $w_1 = 2$, $w_2 = 1$ y $w_3 = 2$ para las 3 entradas. Aunque el peso de 2 se repita se logra conseguir utilizando los pesos negativos como se muestra en las ecuaciones 3.4 y 3.5.

$$g(x) = 2x_1 + x_2 + 4C_{in} - 2C_{in} \quad (3.4)$$

$$g(x) = 2x_1 + x_2 + 2C_{in} \quad (3.5)$$

La Tabla 3.10 muestra los valores que tomará $g(x)$ para el caso del acarreo de salida, al igual que los valores que tomará $f(x)$ con los valores de umbral de $K_+ = 5.5 V$ y $K_- = 2.5 V$. De igual manera, la Figura 3.14 muestra a $g(x)$ y $f(x)$ pero de manera gráfica con el umbral de acción resaltado en color naranja.

Tabla 3.10 Valores de $g(x)$ y $f(x)$ para C_{out} .

Estados			$g(x) = 2x_1 + x_2 + 2C_{in}$	$f(x) = \begin{cases} 1, & \text{si } 5.5 > g(x) > 2.5 \\ 0, & \text{en otro caso} \end{cases}$
C_{in}	x_2	x_1		
x_3				
0	0	0	0	0
0	0	1	2	0
0	1	0	1	0
0	1	1	3	1
1	0	0	2	0
1	0	1	4	1
1	1	0	3	1
1	1	1	5	1

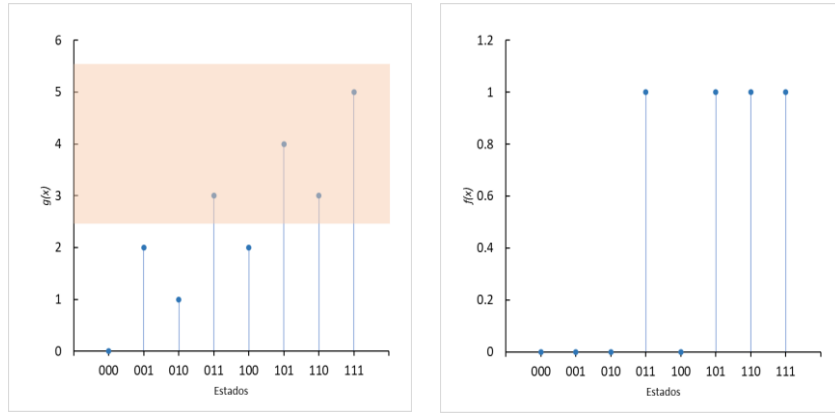


Figura 3.14 Acarreo de salida de un sumador completo.

Sin embargo, para la suma se requiere de los pesos $w_1 = 1$, $w_2 = 2$, $w_3 = 3$ para la entrada C_{in} y $w_4 = 1$ para $\overline{C_{out}}$ que, aunque se usen las ponderaciones negativas, no se consigue obtener.

$$g(x) = 1x_1 + 2x_2 + 4C_{in} - 1C_{in} + 8C_{out} - 4\overline{C_{out}} - 2\overline{C_{out}} \quad (3.6)$$

Debido al peso de 3 que se necesita en la ecuación 3.6, la elección inicial de pesos que se tendrían disponibles se cambia a 1, 2, 3, 4, -1 , -2 , -3 y -4 . La obtención del acarreo de salida puede quedar de la misma manera, mientras que para la suma se cambia a:

$$g(x) = 1x_1 + 2x_2 + 3C_{in} + 4\overline{C_{out}} - 3\overline{C_{out}} = x_1 + 2x_2 + 3C_{in} + \overline{C_{out}} \quad (3.7)$$

La Tabla 3.11 muestra los valores que tomará $g(x)$ y $f(x)$ con los valores de umbral de $K_+ = 5.5 V$ y $K_- = 3.5 V$, esto se aprecia gráficamente en la Figura 3.15.

Tabla 3.11 Valores de $g(x)$ y $f(x)$ para la suma.

Suma					
Estados				$g(x) = x_1 + 2x_2 + 3C_{in} + \overline{C_{out}}$	$f(x) = \begin{cases} 1, & 5.5 > g(x) > 3.5 \\ 0, & \text{en otro caso} \end{cases}$
C_{in}	$\overline{C_{out}}$	x_2	x_1		
x_4	x_3				
0	1	0	0	3	0
0	1	0	1	4	1
0	1	1	0	5	1
0	0	1	1	3	0
1	1	0	0	4	1
1	0	0	1	2	0
1	0	1	0	3	0
1	0	1	1	4	1

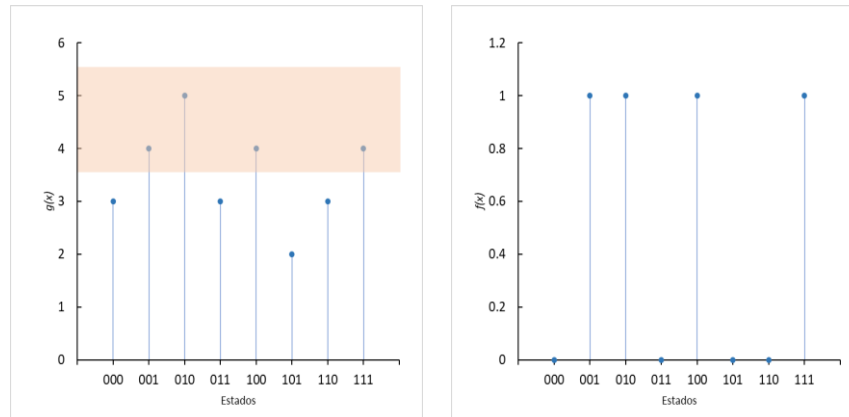


Figura 3.15 Suma del sumador completo.

Después de la asignación de pesos y la resolución de la capacidad de invertir señales mediante pesos negativos, se exploró una configuración de amplificador operacional que no invirtiera la salida. El primer diseño adoptado consistió en el uso de dos amplificadores inversores. Las ganancias de signo positivo se dirigían al primer amplificador operacional, mientras que la salida se conectaba al segundo amplificador operacional con ganancias negativas adicionales.

El armado de este circuito con las conexiones para obtener acarreo de salida se presenta en la Figura 3.16. Paralelamente, se propuso un arreglo de transistores en la salida para prescindir del encapsulado LM311 en la sección del detector de ventana, utilizando el transistor 2N3906 para la señal en fase y el transistor 2N3904 para la salida invertida.

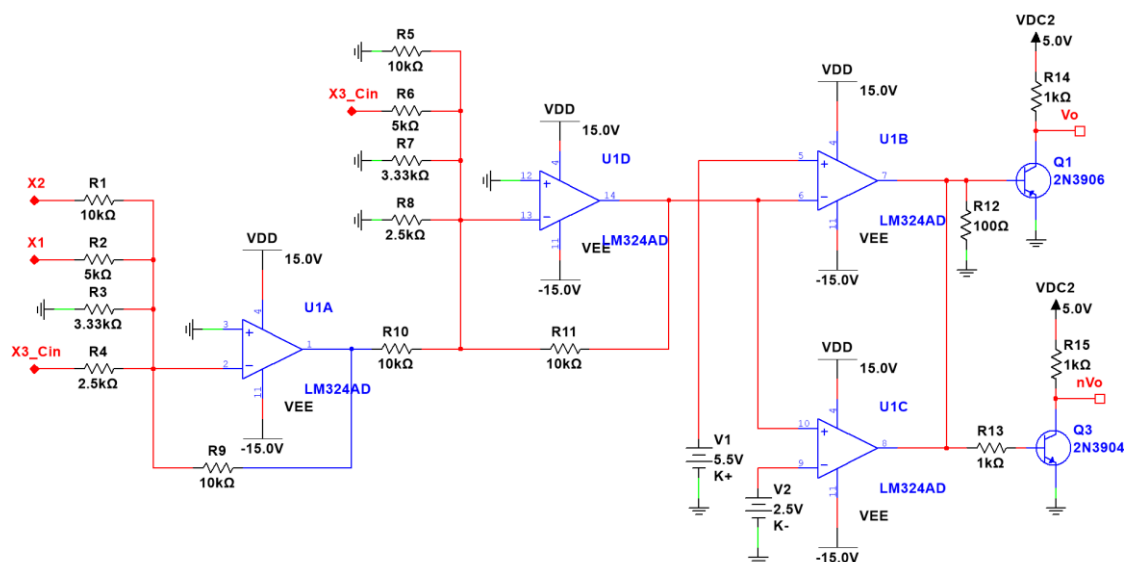


Figura 3.16 Primer diseño de la NLCR con dos sumadores inversores

Mientras que la Figura 3.17 muestra la parte del osciloscopio de este primer diseño de NCLR, la señal correspondiente al acarreo de salida del sumador completo se realiza de manera correcta (C_{out}). Sin embargo, cuando su nivel debe ser bajo, se tiene 0.7 V, que en la tecnología TTL y CMOS sería válido. Pero si esta señal C_{out} forma parte de la entrada de otra NCLR, el amplificador, al ser un dispositivo analógico, tomará en cuenta este voltaje, e ira propagando un error. Al contrario, el transistor 2N3904 que obtiene la señal $\overline{C_{out}}$ con 0 V en un nivel bajo y en un nivel alto los 5 volts de la fuente. Debido a esto el transistor 2N3906 se cambia por un 2N3904.

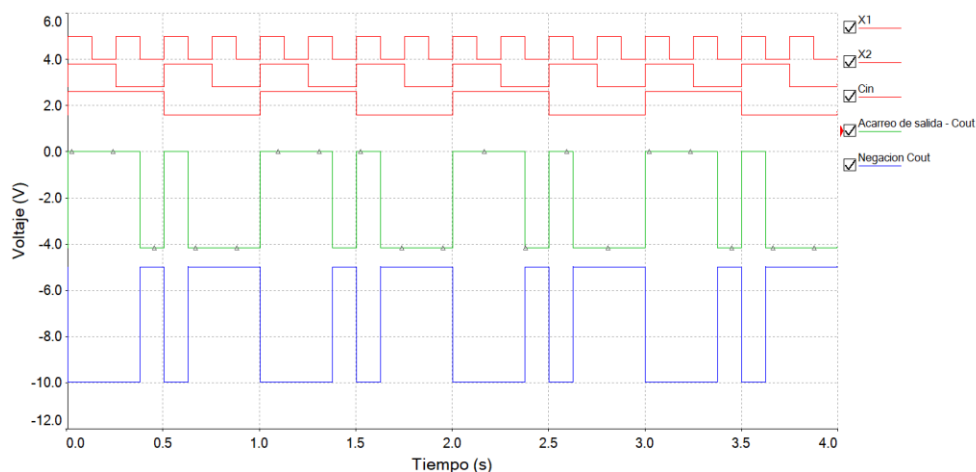


Figura 3.17 Acarreo de salida con el primer diseño de la NCLR.

Se implementó un ajuste significativo al adoptar la configuración de un sumador-restador no inversor. Esta elección posibilitó que la suma ponderada fuese ejecutada por un único amplificador, manteniendo el amplificador que previamente manejaba las ganancias negativas y, ahora, funcionando como un seguidor de voltaje. Este enfoque, combinado con la modificación del transistor y la utilización de un único encapsulado cuádruple, como el LM324, simplificó la salida, eliminando la necesidad de disposiciones especiales. La simulación de esta configuración se presenta en la Figura 3.18 en la que también se ajustaron las resistencias para alinear los niveles de voltaje con los que otorga el generador de pulsos cuadrados del laboratorio. Se incluye un subcircuito que reemplaza la totalidad de la circuitería para futuras simulaciones.

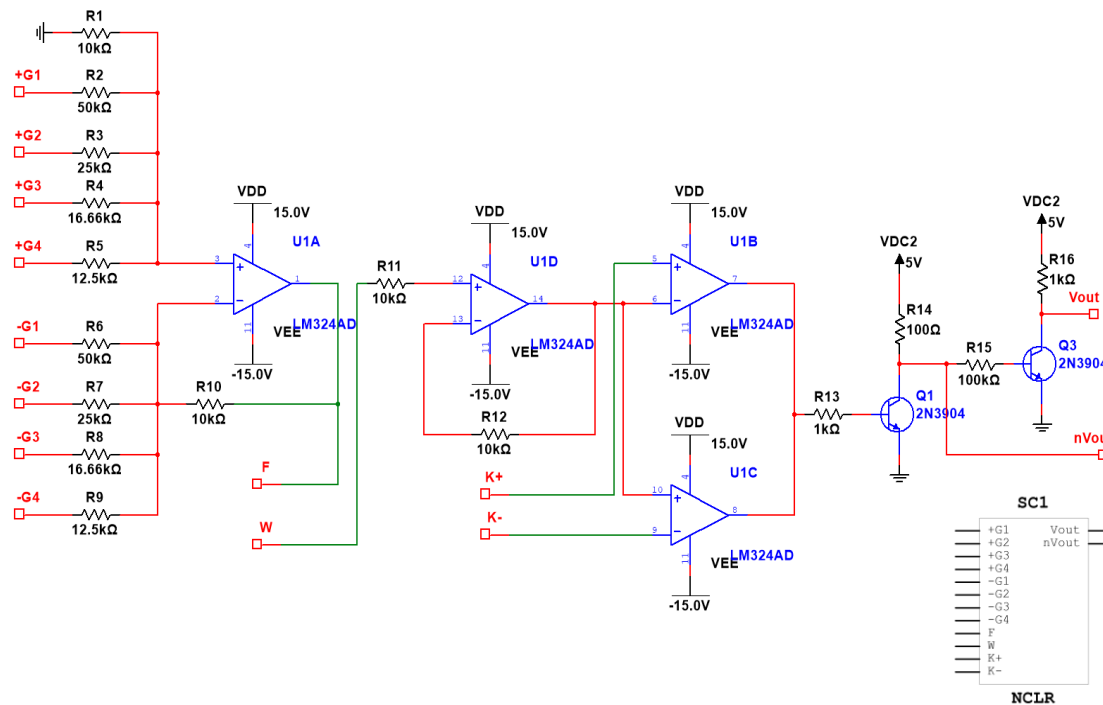


Figura 3.18 NCLR con configuración de sumador-restador no inversor.

Realizadas las modificaciones a la NCLR y a forma de verificación, se retoma la simulación del sumador completo. Utilizando los pesos de las ecuaciones 3.5 y 3.7, se llega a la simulación final mostrada en la Figura 3.19, reduciendo significativamente el número de circuitos necesarios.

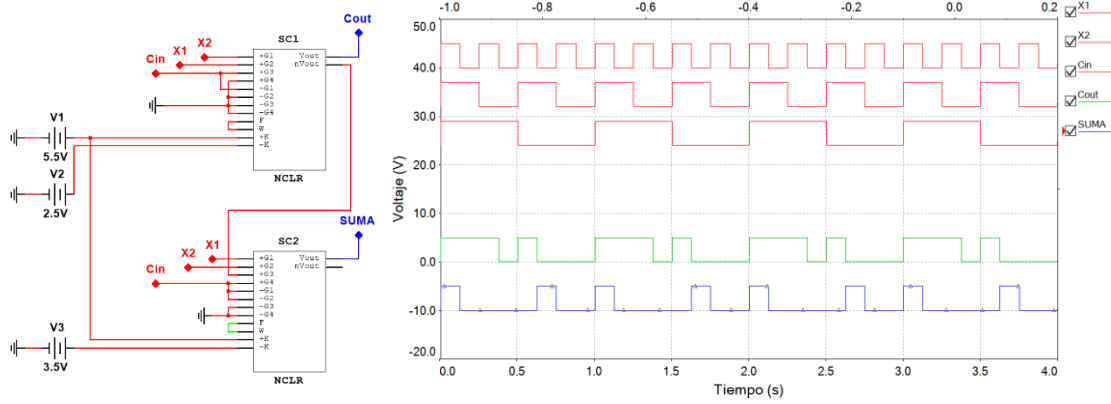


Figura 3.19 Sumador completo utilizando NCLRs.

Se realizó una modificación en la simulación del restador completo para integrar las NCLRs, como se observa en la Figura 3.20. En este proceso, se aplicaron los pesos definidos en las ecuaciones 3.8 y 3.9, junto con los umbrales de acción establecidos en las ecuaciones 3.10 y 3.11. Esta adaptación, que permite una mayor versatilidad al sistema, destaca como una contribución distintiva que coloca este prototipo por encima de otras propuestas. Además de simplificar la estructura del circuito, se logró una reducción en el número de fuentes utilizadas, resaltando así la eficiencia y practicidad de la propuesta presentada en esta tesis.

$$g(x)_{acarreo} = C_{out} = -2x_1 + 2x_2 + C_{in} \quad (3.8)$$

$$g(x)_{resta} = x_1 - 2x_2 - C_{in} + 3C_{out} \quad (3.9)$$

$$f(x)_{acarreo} = \begin{cases} 5V, & 5.5 > g(x)_{acarreo} \geq 0.5 \\ 0V, & \text{en otro caso} \end{cases} \quad (3.10)$$

$$f(x)_{resta} = \begin{cases} 5V, & 5.5 > g(x)_{resta} \geq 0.5 \\ 0V, & \text{en otro caso} \end{cases} \quad (3.11)$$

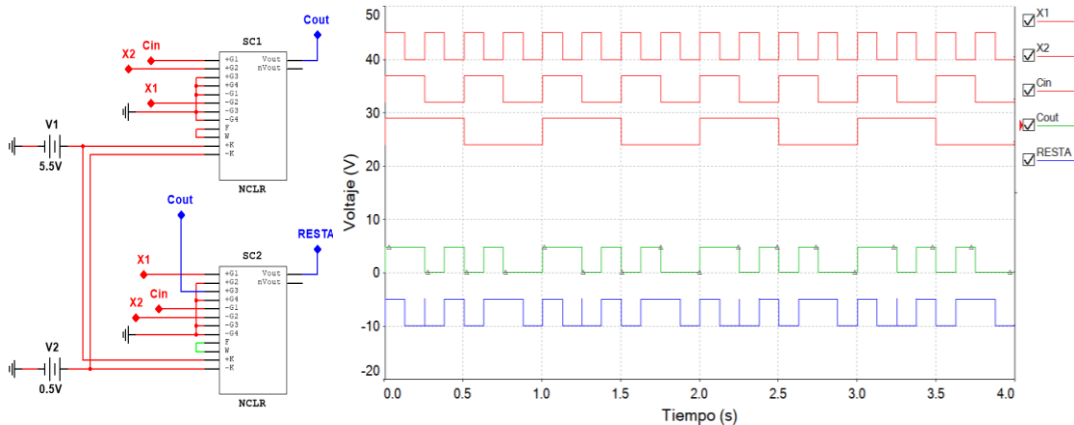


Figura 3.20 Restador completo utilizando NCLRs.

Para la última operación aritmética realizada que es la simulación del comparador, además de cambiar a las NCLRs, se aumentó la comparación de un bit a dos bits. Por lo que, para una interpretación más sencilla, se cambia el nombre de las señales de entrada siendo la primera A y la segunda B , a los bits menos significativos se le asignan pesos unitarios y los más significativos pesos de 2 pero los pesos de la entrada B de manera inversa, es decir, $w_1 = 1$, $w_2 = 2$, $w_3 = -1$ y $w_4 = -2$, de esta manera al obtener la suma pondera $g(x)$ si el resultado es 0, ambas entradas son iguales, si el resultado es positivo la entrada A es mayor que B , por último, si $g(x)$ es negativo la entrada B es mayor a la entrada A , la Tabla 3.12 muestra este razonamiento. Los valores propuestos del umbral de acción para que se detecte si $g(x) = 0$ son, $K_+ = 0.5$ y $K_- = -0.5$. Para que se detecte si $g(x) > 0$, se usa el umbral $K_+ = 4$ y $K_- = 0.5$, y para detectar si $g(x) < 0$, los valores de $K_+ = -0.5$ y $K_- = -4$.

Tabla 3.12 Pesos y salidas del comparador de dos bits.

ENTRADAS				$g(x) = x_1 + 2x_2 - x_3 - 2x_4$	$f_1(x)$	$f_2(x)$	$f_3(x)$
x_4	x_3	x_2	x_1		$A = B$	A mayor	B mayor
B1	B0	A1	A0				
0	0	0	0	0	1	0	0
0	0	0	1	1	0	1	0
0	0	1	0	2	0	1	0
0	0	1	1	3	0	1	0
0	1	0	0	-1	0	0	1
0	1	0	1	0	1	0	0
0	1	1	0	1	0	1	0
0	1	1	1	2	0	1	0
1	0	0	0	-2	0	0	1
1	0	0	1	-1	0	0	1
1	0	1	0	0	1	0	0
1	0	1	1	1	0	1	0
1	1	0	0	-3	0	0	1
1	1	0	1	-2	0	0	1
1	1	1	0	-1	0	0	1
1	1	1	1	0	1	0	0

La simulación completa se muestra en la Figura 3.21. Comparando con la simulación con CLRs, el número de circuitos a utilizar no se redujo, ni el número de fuentes necesarias, sin embargo, si el tamaño de las entradas que aumento, y siguiendo la misma lógica de diseño, es fácil aumentar las entradas a 3 bits con la misma cantidad de fuentes y NCLRs.

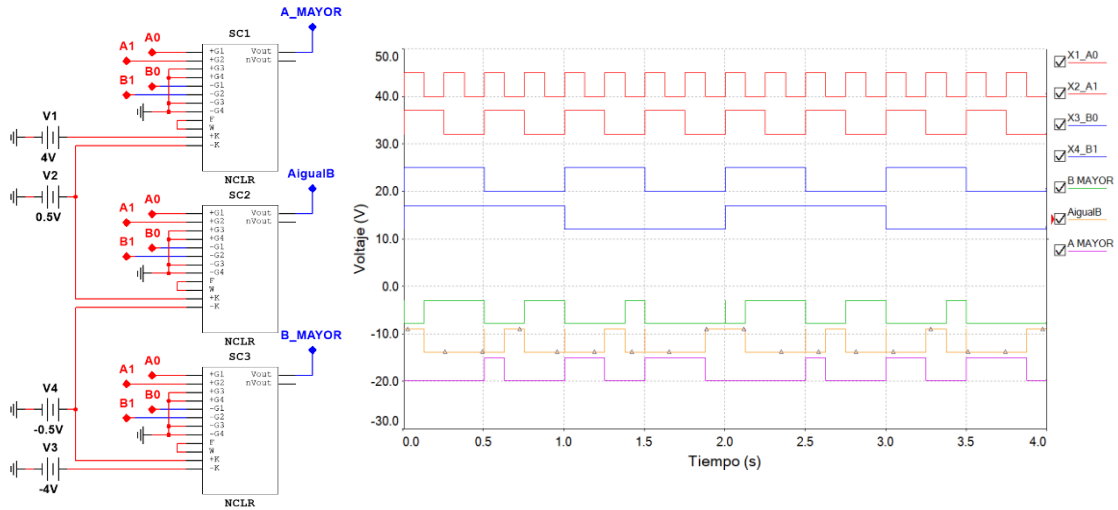


Figura 3.21 Simulación del comparador de dos bits con NCLRs.

Este aumento de bits, también se aplicó al sumador y restador completo, que se consigue conectando dos sumadores-restadores completos en cascada y enviando el acarreo de entrada del primer sumador-restador a tierra. Las simulaciones se muestran en las Figuras 3.22 y 3.23, para un análisis sencillo, la Tabla 3.13 muestra sus tablas de verdad.

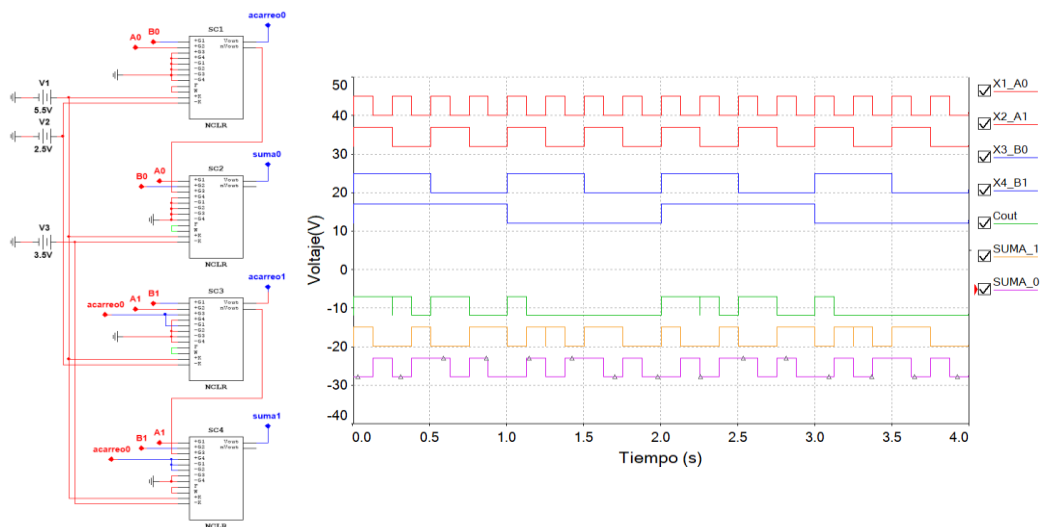


Figura 3.22 Simulación del sumador de dos bits.

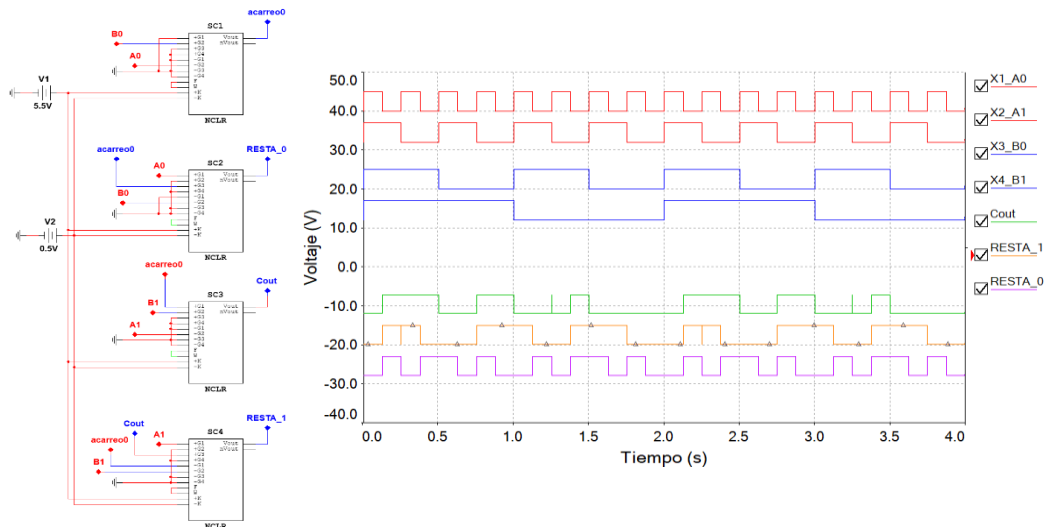


Figura 3.23 Simulación del restador de dos bits.

Tabla 3.13 Tablas de verdad para el sumador y el restador de dos bits.

ENTRADAS				Suma			Resta		
x_4	x_3	x_2	x_1	C_{out}	S1	S0	C_{out}	R1	R0
B1	B0	A1	A0						
0	0	0	0	0	0	0	0	0	0
0	0	0	1	0	0	1	0	0	1
0	0	1	0	0	1	0	0	1	0
0	0	1	1	0	1	1	0	1	1
0	1	0	0	0	0	1	1	1	1
0	1	0	1	0	1	0	0	0	0
0	1	1	0	0	1	1	0	0	1
0	1	1	1	1	0	0	0	1	0
1	0	0	0	0	1	0	1	1	0
1	0	0	1	0	1	1	1	1	1
1	0	1	0	1	0	0	0	0	0
1	0	1	1	1	0	1	0	0	1
1	1	0	0	0	1	1	1	0	1
1	1	0	1	1	0	0	1	1	0
1	1	1	0	1	0	1	1	1	1
1	1	1	1	1	1	0	0	0	0

Tras la verificación de las operaciones aritméticas, se procede a la implementación de un multiplexor 4 a 1 diseñado para gestionar señales analógicas, como se detalla en la Tabla 3.14. La simulación de este multiplexor se ajusta en el subcircuito, como se muestra en la

Figura 3.24. Se introducen modificaciones en las fuentes de los transistores de salida, conectadas a los generadores de funciones con las señales A, B, C y D. La primera NCLR se emplea para generar el nivel de voltaje correspondiente a K_+ en la fase de la suma ponderada, la segunda NCLR, también en la fase de la suma, se utiliza para generar el voltaje correspondiente a K_- . En este caso, se asigna el peso de 2 para el selector 0 y 4 para el selector 1. Es importante señalar que, para la generación de K_- , se introduce un *offset* de 1 V, mientras que para K_+ se utiliza un *offset* de 3 V. Este ajuste refleja la flexibilidad y adaptabilidad del sistema en la manipulación de diferentes niveles de voltaje según los requisitos específicos de cada operación.

Tabla 3.14 Tabla de verdad del multiplexor.

SELECTOR 1	SELECTOR 0	K_+	K_-	Salida (Señal)
0	0	3	1	A: Senoidal
0	1	5	3	B: Triangular
1	0	7	5	C: Pulsos cuadrados
1	1	9	7	D: Diente de sierra

Estos voltajes se conectan a las ventanas de las 4 NCLR, para la otra entrada de las ventanas que es el voltaje a comprobar, se usan fuentes de voltaje fijos, de 2 V, 4 V, 6 V y 8 V. Por lo tanto, la primera NCLR con un voltaje fijo de 2 V, solo activará su salida cuando ambos selectores estén en un nivel bajo, es decir $K_+ = 3$ y $K_- = 1$, para las demás combinaciones de los selectores este nivel de 2 V estará fuera de la ventana y no conmutará el transistor con la señal senoidal teniendo 0 V en su lugar.

Para tener todas las señales juntas en una sola salida, se utiliza el sumador de la tercera NCLR con ganancias unitarias para cada señal. Sin embargo, la salida del multiplexor sale en una escala de 0 a 1 V como se aprecia en la Figura 3.24 junto a una escala de los selectores. Por lo que se proponen los últimos cambios a la NCLR antes de pasarla a una PCB. En donde se agregan dos potenciómetros en lugar de la resistencia de retroalimentación y de balanceo para poder modificar las ganancias. También se quitó la conexión directa de los transistores para poder energizarlos según se requiera, estos cambios se muestran en la Figura 3.25.

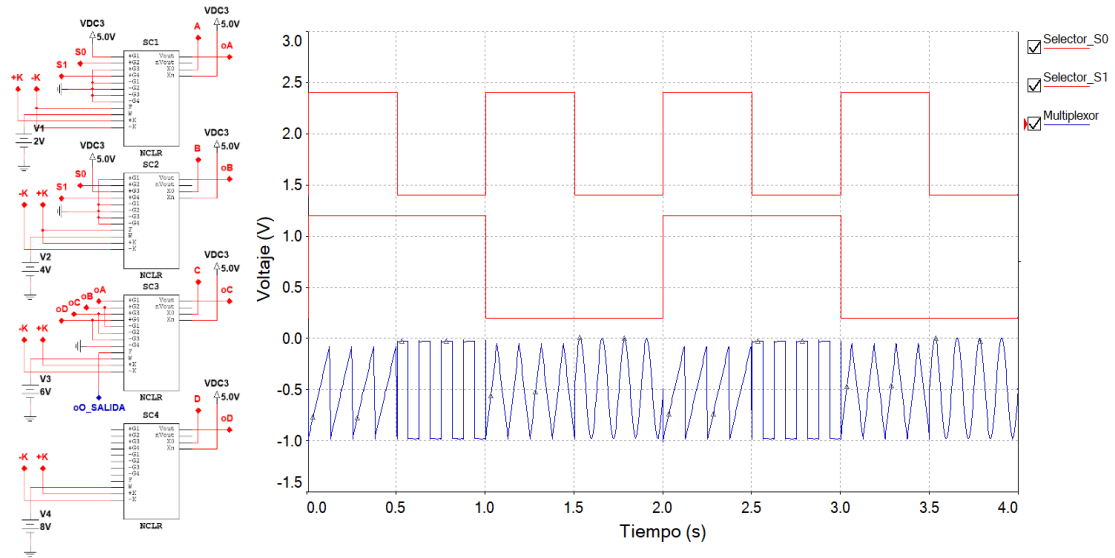


Figura 3.24 Simulación del multiplexor 4 a 1.

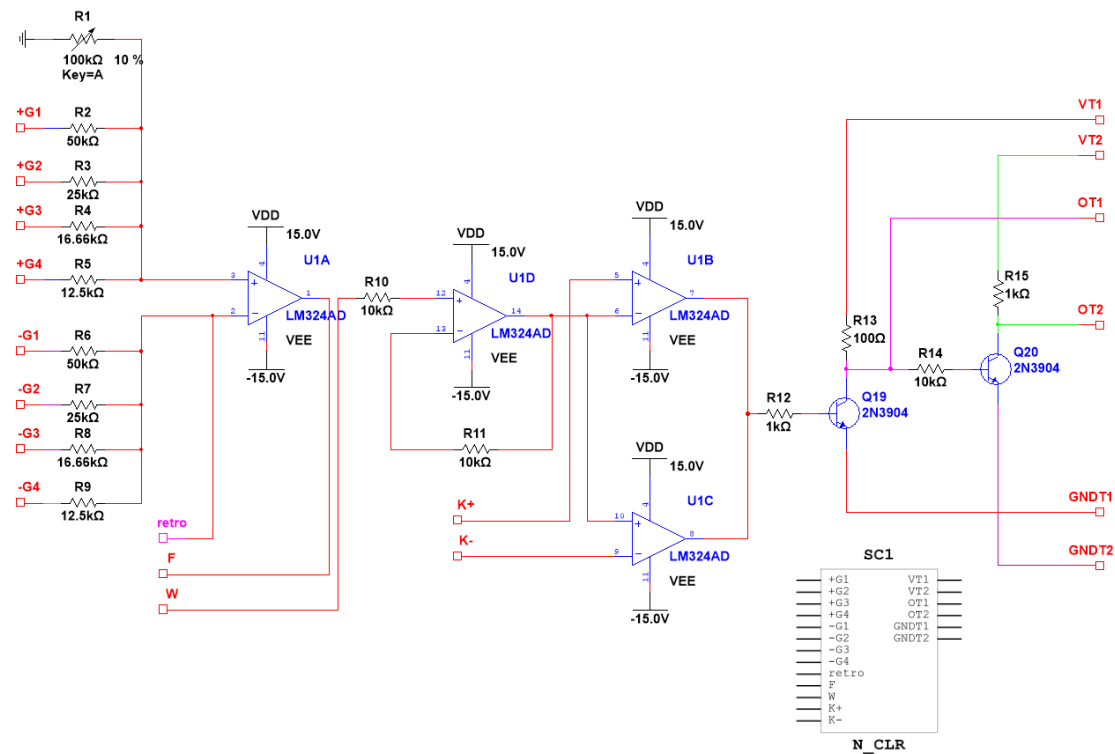


Figura 3.25 Cambios de la NCLR.

3.4.2 Implementación de la NCLR en PCB

Para esta PCB también se utiliza Ultiboard 14.2, pero en esta ocasión además de componentes THT se utilizan resistencias de montaje superficial (SMD del inglés *Surface Mount Device*), ya que, a diferencia del primer PCB con 3 resistencias, la NCLR requiere 14, las resistencias SMD, al ser más pequeñas, ocuparán menos espacio, además de que las resistencias requeridas son poco comerciales y se encontraron con mayor facilidad y a menor costo que las de tecnología THT, en la Tabla 3.15 se detalla los valores finales en resistencias utilizadas para cada tarjeta.

Tabla 3.15 Resistencias de cada tarjeta.

Ubicación	Resistencias		Cantidad	Descripción
	Simulación	Tarjeta		
Sumador restador no inversor	100 k Ω	500 k Ω	2	Potenciómetros para la retroalimentación y balanceo, ambos deben tener el mismo valor
	50 k Ω	402 k Ω	2	Ganancia ± 1
	25 k Ω	200 k Ω	2	Ganancia ± 2
	16.66 k Ω	133 k Ω	2	Ganancia ± 3
	12.5 k Ω	100 k Ω	2	Ganancia ± 4
Seguidor de voltaje	10 k Ω	100 k Ω	2	Solo deben de ser iguales ambas resistencias
Arreglo de transistores	1 k Ω	1 k Ω	2	Limitadora de corriente
	100 Ω	100 Ω	1	Debe ser un valor bajo para el divisor de voltaje
	10 k Ω	100 k Ω	1	Debe ser un valor alto para el divisor de voltaje

Así, al ajustar los potenciómetros a un valor de 400 k Ω las ganancias que tendrá la tarjeta serán: $A_{v1} = \frac{400 \text{ k}\Omega}{402 \text{ k}\Omega} \approx 1$, $A_{v2} = \frac{400 \text{ k}\Omega}{200 \text{ k}\Omega} = 2$, $A_{v3} = \frac{400 \text{ k}\Omega}{133 \text{ k}\Omega} \approx 3$ y $A_{v4} = \frac{400 \text{ k}\Omega}{100 \text{ k}\Omega} = 4$. En cambio, si los potenciómetros se ajustan a un valor de 80 k Ω las ganancias que se tendrán son: $A_{v1} = \frac{80 \text{ k}\Omega}{402 \text{ k}\Omega} \approx \frac{1}{5}$, $A_{v2} = \frac{80 \text{ k}\Omega}{200 \text{ k}\Omega} = \frac{2}{5}$, $A_{v3} = \frac{80 \text{ k}\Omega}{133 \text{ k}\Omega} \approx \frac{3}{5}$ y $A_{v4} = \frac{80 \text{ k}\Omega}{100 \text{ k}\Omega} = \frac{4}{5}$.

Además de las resistencias SMD, otras diferencias respecto al primer PCB que se realizó es que en esta ocasión no se retiró el plano de tierra, se le incluyeron dos agujeros para ajustar mejor la tarjeta a una carcasa y se optó por el uso de conectores en lugar de bloques de terminal que resultaron ser poco prácticos en la reconexión del primer PCB además de ser de un costo elevado. El diseño terminado se muestra en la Figura 3.26, donde se dejaron las entradas del lado izquierdo junto con la alimentación del amplificador, del lado derecho la

salida en fase, junto con la salida invertida. La alimentación positiva de ambos transistores en la parte de arriba y su alimentación a tierra en la parte de abajo.

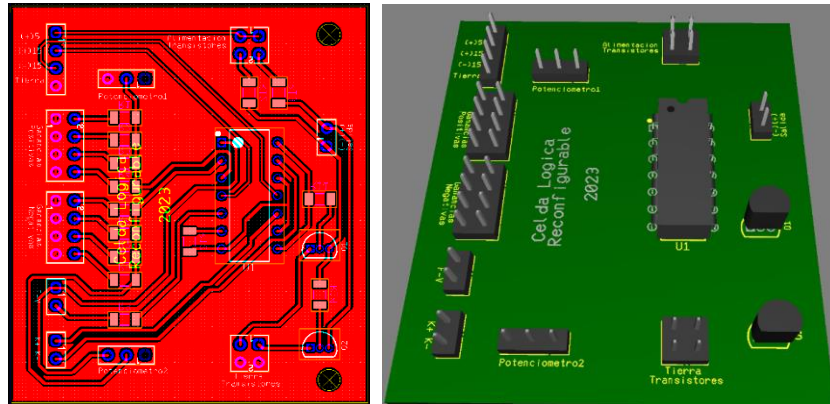


Figura 3.26 Diseño de PCB para la NCLR.

Los costos para las tarjetas se exponen en la Tabla 3.16. En esta ocasión se pidieron a manufacturar 20 tarjetas en la empresa de PCBWay, el costo de cada tarjeta es de se calcula en la ecuación 3.12.

$$\frac{\$1091.03}{20} \approx \$55. \quad (3.12)$$

Tabla 3.16 Material comprado con sus costos.

Descripción	Tienda	Unidades compradas	Costo
Potenciómetro 500 kΩ - \$11.48 (10 unidades)	FSXSEMI	40	\$45.92
Base para IC – \$4.24 (10 unidades)	FengShengXIn	20	\$8.48
IC Amp Op cuádruple LM324 - \$9.18 (10 unidades)	Store	20	\$18.36
Res SMD 1206 133 kΩ - \$12.53 (100 unidades)	DSSRQI	100	\$12.53
Res SMD 1206 402 kΩ - \$12.53 (100 unidades)	Official Store	100	\$12.53
Res SMD 1206 200 kΩ - \$11.13 (100 unidades)	ICGOGO Store	100	\$11.13
Res SMD 1206 100 kΩ - \$11.13 (100 unidades)		100	\$11.13
Res SMD 1206 1 kΩ - \$8.30 (100 unidades)		100	\$8.30
Res SMD 1206 100Ω - \$11.13 (100 unidades)		100	\$11.13
Transistor 2N3904 – \$16.43 (100 unidades)		100	\$16.43
Conector hembra 1x40P 2.54mm - \$21.90 (5 unidades)	Javino Store	5	\$21.90
Conector macho 1x40P 2.54mm – \$13.42 (10 unidades)		10	\$13.42
Conector macho 2x10P 2.54mm - \$21.72 (50 unidades)		50	\$21.72
Jumper 2.54mm - \$9.71 (100 unidades)		100	\$9.71
Costos de envío	AliExpress	X	\$170.40
PCB estándar 48.8 x 56.9 mm Azul	PCBWay	20	\$22.59 USD
Costos de envío		X	\$19.65 USD
Comisión bancaria		X	\$1.98 USD
Descuento por primera compra en PCBWay		X	-\$5.00 USD
		Total:	\$1091.03

Para salvaguardar las tarjetas, se les proporcionaron carcasas mediante la utilización del software SolidWorks 2022 para el diseño tridimensional. Se adaptó la carcasa utilizada previamente en el PCB anterior, conservando las pestañas laterales que permiten la conexión entre las nuevas tarjetas o incluso entre las nuevas y las primeras tarjetas. Se substituyó la posibilidad de separar completamente la base de la tapa por una bisagra. La Figura 3.27 presenta el modelo de las carcasas tanto en posición abierta como cerrada. Una vez finalizado el diseño, el modelo se exporta al software PrusaSlicer 2.6.1 para su impresión en la impresora 3D Creality Ender 3, como se muestra en la Figura 3.28. Por último, se exhibe la tarjeta completa con la carcasa en la Figura 3.29. Este proceso demuestra la atención meticulosa a la protección y presentación física del sistema.

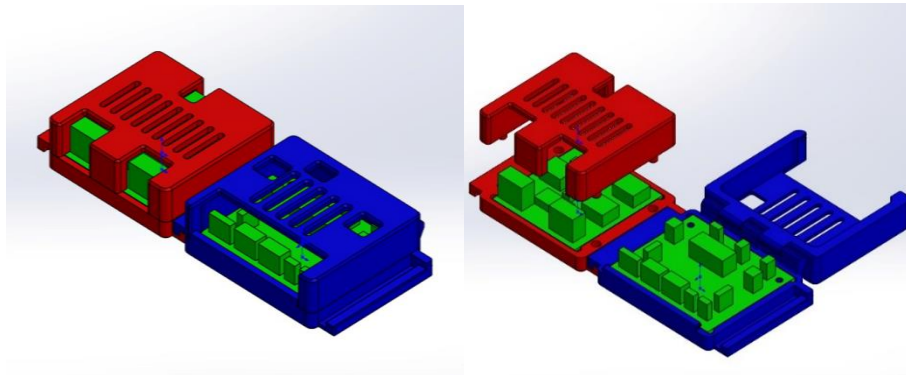


Figura 3.27 Carcasas abiertas y cerradas en SolidWorks.

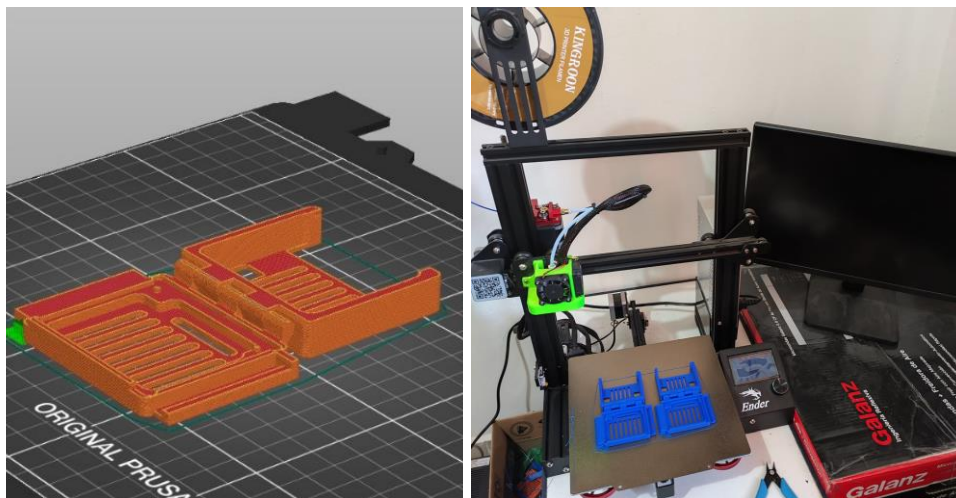


Figura 3.28 Impresión de las carcasas.

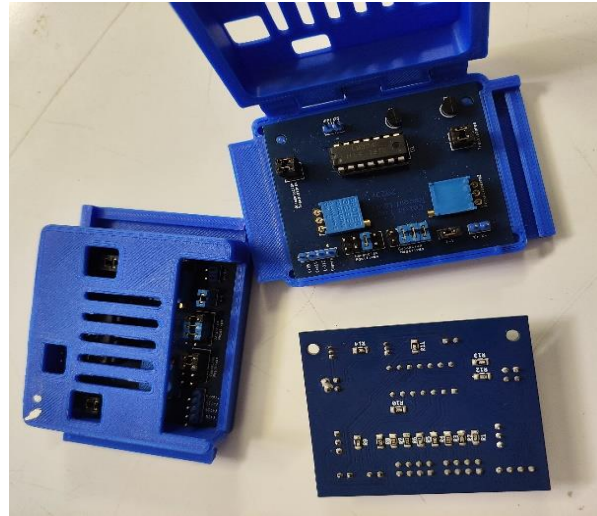


Figura 3.29 Tarjetas terminadas.

Para la validación de las tarjetas se procedió a la implementación y prueba de las compuertas de dos entradas. Los resultados detallados de las 16 compuertas obtenidas se presentan en la Tabla 7.1, disponible en la sección de anexos y apéndices. Una comparativa específica sobre la generación de la compuerta AND se ilustra en la Figura 3.30. En el contexto de la nueva tarjeta, es relevante destacar que la señal resultante de la suma ponderada es positiva. Este resultado se logra mediante el empleo de pesos de $w_1 = 1$ y $w_2 = 2$, junto con un *offset* introducido con $w_3 = 3$. La inclusión de este *offset* tiene como objetivo abarcar la permutación $x_1 = 0$ y $x_2 = 0$ dentro del umbral de acción sin depender de voltajes negativos. Este enfoque estratégico asegura la efectividad y adaptabilidad del sistema para diferentes configuraciones.

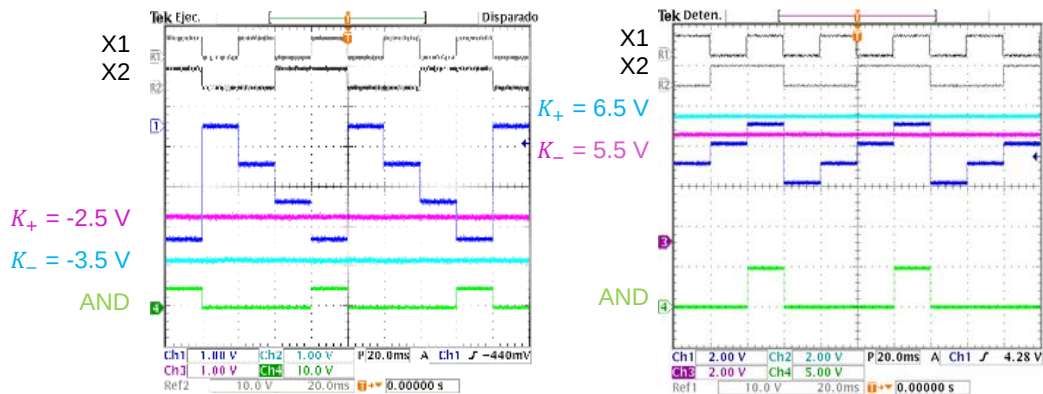


Figura 3.30 Comparativa de la obtención de la compuerta AND.

Posterior a las compuertas se implementaron las operaciones aritméticas de 2 bits, en la Figura 3.31 se muestra el comparador y el multiplexor, mientras que en la Figura 3.32 el sumador y el restador completo.

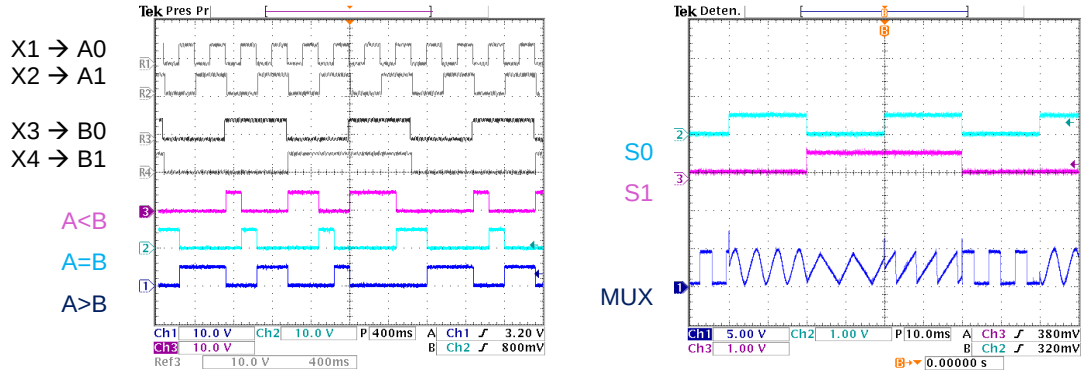


Figura 3.31 Implementación del comparador y el multiplexor.

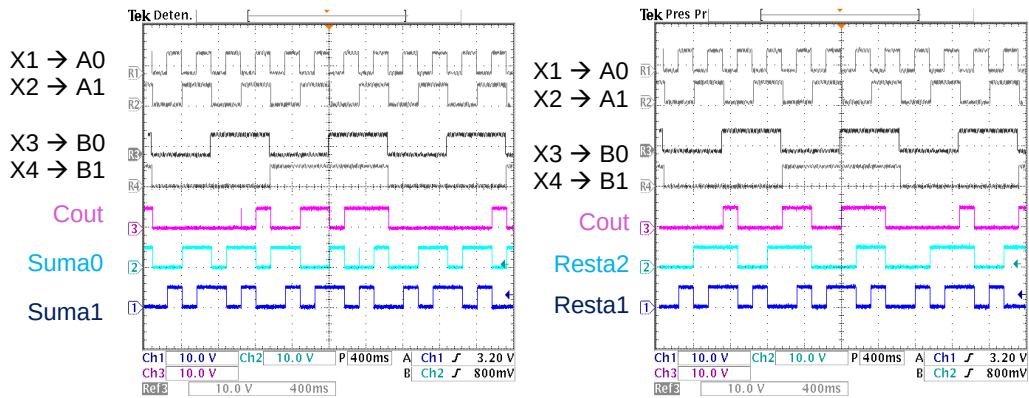


Figura 3.32 Implementación del sumador y restador completo.

De esta forma es como se desarrolló una nueva versión de la Celda Lógica Reconfigurable (NCLR), la cual ha sido diseñada para mejorar ciertos aspectos identificados durante el análisis detallado del circuito utilizando en la literatura, destacando que la NCLR proporciona una base sólida para futuras implementaciones, como la Unidad Lógica Aritmética (ALU), que es el tercer objetivo de esta tesis.

3.5 Diseño de la ALU de 1 bit con 16 funciones

En el diseño de la ALU, se utilizaron las entradas x_1 , x_2 y para las operaciones de suma y resta también se toma en cuenta la entrada C_{in} , se necesitaron de 4 selectores S3, S2, S1 y S0. Para aminorar el uso de fuentes, se procura utilizar los niveles de voltaje de alimentación en los umbrales de acción. A la salida se obtiene las 16 funciones detalladas en la Tabla 3.17.

Tabla 3.17 Funciones de la ALU.

Selector				Salida	
S3	S2	S1	S0	Bit 1	Bit 0
0	0	0	0	Vcc	$x_1 < x_2$
0	0	0	1	Vcc	$x_1 > x_2$
0	0	1	0	Vcc	x_1
0	0	1	1	Vcc	AND
0	1	0	0	Cout +	$x_1 + x_2 + Cin$
0	1	0	1	Cout -	$x_1 - x_2 - Cin$
0	1	1	0	Vcc	XOR
0	1	1	1	Vcc	OR
1	0	0	0	Vcc	$\overline{x_1 < x_2}$
1	0	0	1	Vcc	$\overline{x_1 > x_2}$
1	0	1	0	Vcc	$\overline{x_1}$
1	0	1	1	Vcc	NAND
1	1	0	0	GND	$\overline{x_2}$
1	1	0	1	GND	x_2
1	1	1	0	Vcc	XNOR
1	1	1	1	Vcc	NOR

La ALU se completó utilizando 11 NCLRs, como se ilustra en la Figura 3.33, divididas en 3 secciones: 4 celdas lógicas que realizan las operaciones aritméticas de suma y resta (incluyendo acarreo), 3 NCLRs para el resto de las operaciones, por último, 4 celdas lógicas que combinan las salidas de las demás secciones para solo tener dos salidas, es decir, un multiplexor. Las dos salidas se nombran Bit 0 para las funciones y la Bit 1 para los acarreos de salida. En la sección de anexos, se presenta de manera más detallada el montaje de la ALU en la Figura 7.1

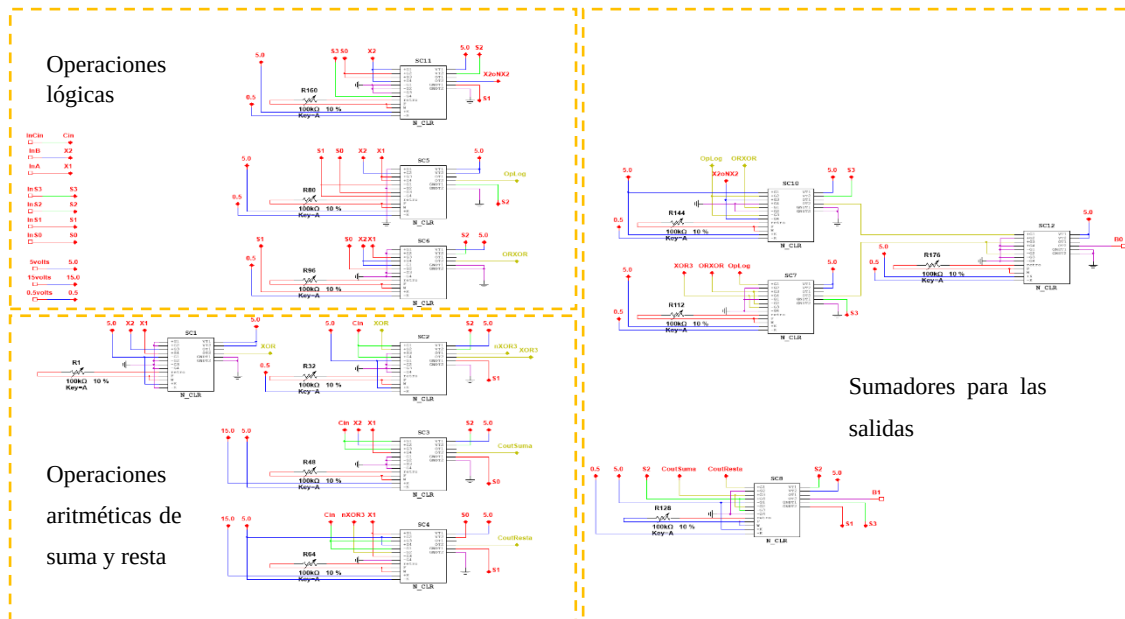


Figura 3.33 ALU de 1 bit utilizando 11 NCLRs.

Las primeras 4 funciones se obtienen de una misma NCLR, con los pesos que se detallan en la Figura 3.34. Para x_1 , se asigna un peso de $w_1 = 7$; para x_2 , un peso de $w_2 = 2$. Además, se utilizan las señales de los selectores 0 y 1 en la suma ponderada con los pesos de -3 y -5 respectivamente. La señal del selector 2 habilita la salida, que debe estar en un nivel bajo.

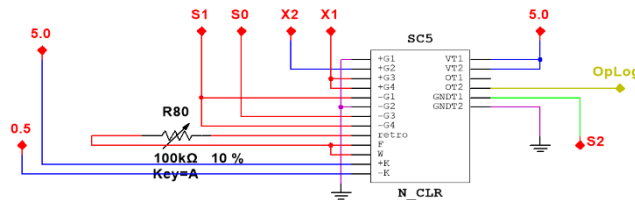


Figura 3.34 NCLR que obtiene 4 operaciones lógicas.

La Tabla 3.18 muestra los valores de la suma ponderada de esta primera NCLR, como el umbral está definido en $K_+ = 5V$ y $K_- = 0.5V$. La salida corresponderá a $x_2 > x_1$ en la permutación 0000 de los selectores, para la permutación 0001 la salida cambiará a $x_1 > x_2$, con la permutación 0010 la salida será igual a x_1 , por último, en la permutación 0011 la salida corresponderá a la compuerta AND. Para el resto de permutaciones con $S_2 = 1$ la salida no estará habilitada, posteriormente la señal de esta NCLR llegará hasta la salida Bit 0 al habilitarse otra NCLR con $S_3 = 0$.

Tabla 3.18 Pesos para la NCLR de 4 operaciones.

S2	S1	S0	x_2	x_1	$g(x) = 7x_1 + 2x_2 - 3S_0 - 5S_1$	Función
0	0	0	0	0	0	$x_1 < x_2$
0	0	0	0	1	7	
0	0	0	1	0	2	
0	0	0	1	1	9	
0	0	1	0	0	-3	$x_1 > x_2$
0	0	1	0	1	4	
0	0	1	1	0	-1	
0	0	1	1	1	6	
0	1	0	0	0	-5	x_1
0	1	0	0	1	2	
0	1	0	1	0	-3	
0	1	0	1	1	4	
0	1	1	0	0	-8	AND
0	1	1	0	1	-1	
0	1	1	1	0	-6	
0	1	1	1	1	1	
1	x	x	x	x	x	x

El resultado de la simulación de esta NCLR se presenta en la Figura 3.35. En dicha figura, se aprecia con mayor claridad cómo los selectores 0 y 1 operan como *offsets* para esta NCLR.

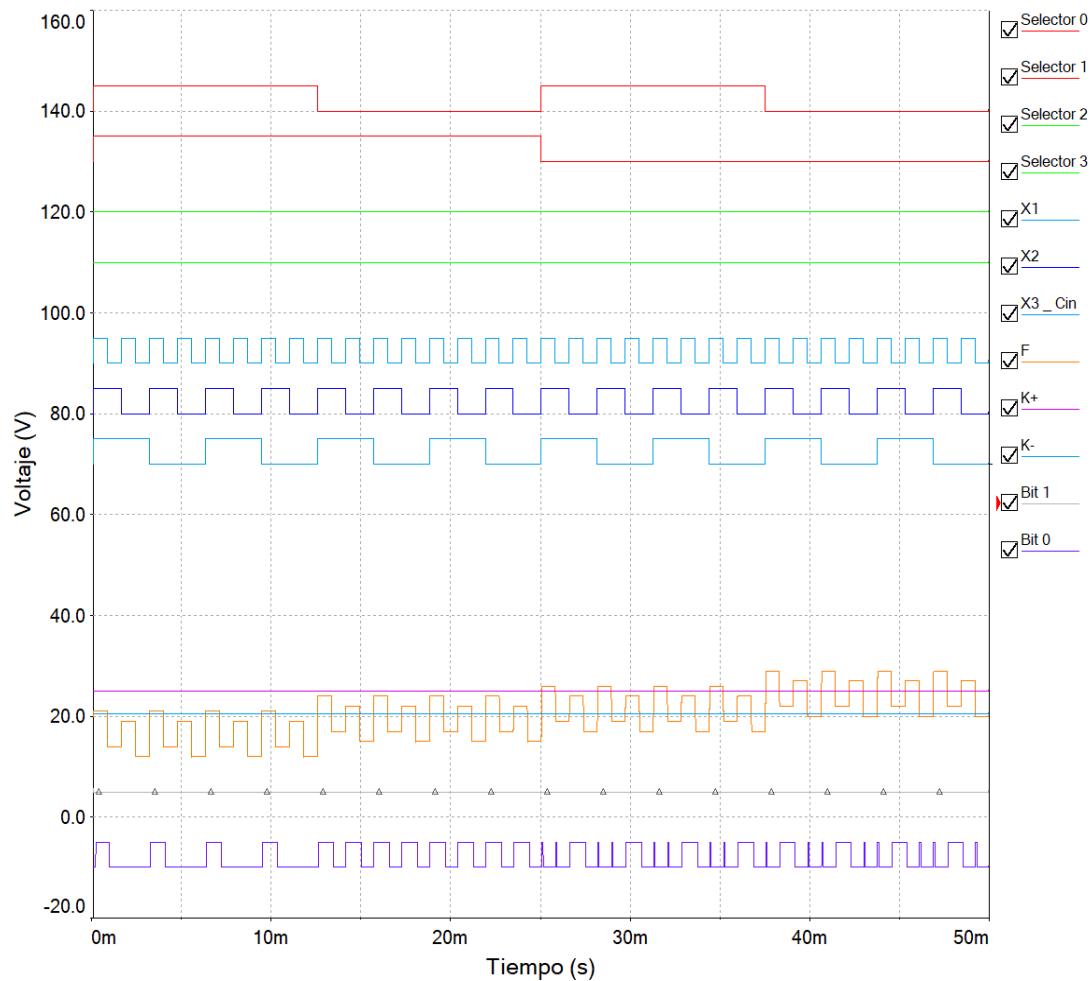


Figura 3.35 Entradas y salidas de la NCLR de 4 operaciones.

Al ajustarse el nivel de la señal, se generan variaciones dentro del umbral de acción, posibilitando así obtener una de las cuatro funciones en la salida.

Las siguientes funciones de la Tabla 3.16 son las operaciones aritméticas. Para la suma y la resta, se hace uso de las dos NCLR de la Figura 3.36, que corresponden a una XOR de tres entradas.

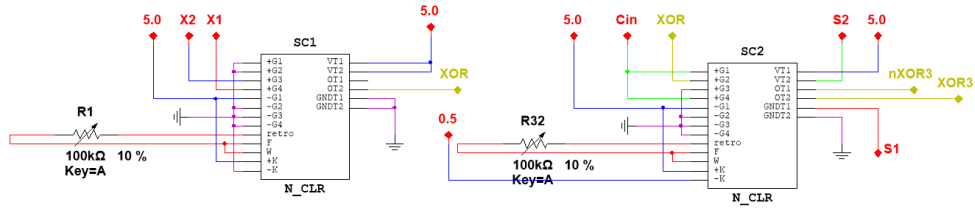


Figura 3.36 NCLRs para la XOR de tres entradas.

En la primera NCLR se realiza la operación XOR entre la entrada x_1 y x_2 , utilizando los pesos de $w_1 = 4$, $w_2 = 3$ y un *offset* en la entrada de $w_0 = -1$, con umbral de $K_+ = 5 V$ y $K_- = 0 V$. Esta salida se lleva a la siguiente NCLR con un peso de 2, la señal C_{in} con un peso de 5 y un *offset* a la entrada de peso -1, también con un umbral de $K_+ = 5 V$ y $K_- = 0 V$.

La Tabla 3.19 y 3.20 muestra los valores que tomarán las sumas ponderadas, resaltando en color aquellos valores que entran dentro del umbral.

Tabla 3.19 Función XOR de la primera NCLR.

offset	x_2	x_1	$g(x) = -1 + 4x_1 + 3x_2$	Función
1	0	0	-1	XOR $x_1 \oplus x_2$
1	0	1	3	
1	1	0	2	
1	1	1	6	

Tabla 3.20 Función XOR de la segunda NCLR.

offset	$x_1 \oplus x_2$	C_{in}	$g(x) = -1 + 2(x_1 \oplus x_2) + 5C_{in}$	Función
1	0	0	-1	XOR $x_1 \oplus x_2 \oplus C_{in}$
1	1	1	6	
1	1	0	1	
1	0	1	4	

Para cada acarreo de salida, se utiliza una NCLR. Para el acarreo de la suma se emplean los pesos de $w_1 = 4$, $w_2 = 2$ y $w_3 = 4$ para C_{in} con umbral de $K_+ = 15 V$ y $K_- = 5 V$. La Tabla 3.21 detalla los valores que tomará la suma ponderada, mientras que la Figura 3.37 muestra la conexión de esta NCLR.

Tabla 3.21 Acarreo de salida de la suma.

C_{in}	x_2	x_1	$g(x) = 4x_1 + 2x_2 + 4C_{in}$	Función
0	0	0	0	C_{out}
0	0	1	4	
0	1	0	2	
0	1	1	6	
1	0	0	4	
1	0	1	8	
1	1	0	6	
1	1	1	10	

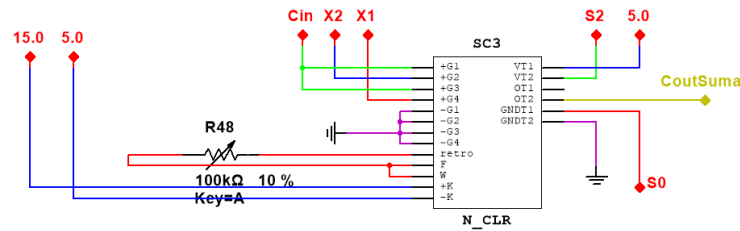


Figura 3.37 Conexión de la NCLR para el acarreo de salida de la suma.

En el acarreo de la resta se utilizan los pesos de $w_1 = -2$, $w_3 = 2$ para C_{in} , -2 para la señal $\overline{x_1 \oplus x_2 \oplus C_{in}}$ y 6 para un *offset*, con umbral de $K_+ = 15V$ y $K_- = 5V$. Los valores de la suma ponderada se tienen en la Tabla 3.22 mientras que la conexión de la NCLR se tiene en la Figura 3.38.

Tabla 3.22 Acarreo de salida de la resta.

<i>offset</i>	$\overline{x_1 \oplus x_2 \oplus C_{in}}$	C_{in}	x_1	$g(x) = 6 - 2x_1 + 2C_{in} - 2(\overline{x_1 \oplus x_2 \oplus C_{in}})$	Función
1	1	0	0	4	C_{out}
1	0	0	1	4	
1	0	0	0	6	
1	1	0	1	2	
1	0	1	0	8	
1	1	1	1	4	
1	1	1	0	6	
1	0	1	1	6	

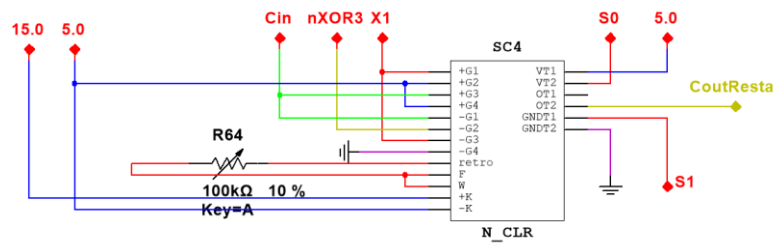


Figura 3.38 Conexión de la NCLR para el acarreo de salida de la resta.

En la Figura 3.39 se exhiben las señales de entrada y salida de estas 4 NCLRs para el sumador y el restador completo, también muestra la operación XOR y la OR cuando el selector 1 cambia de un nivel bajo a uno alto.

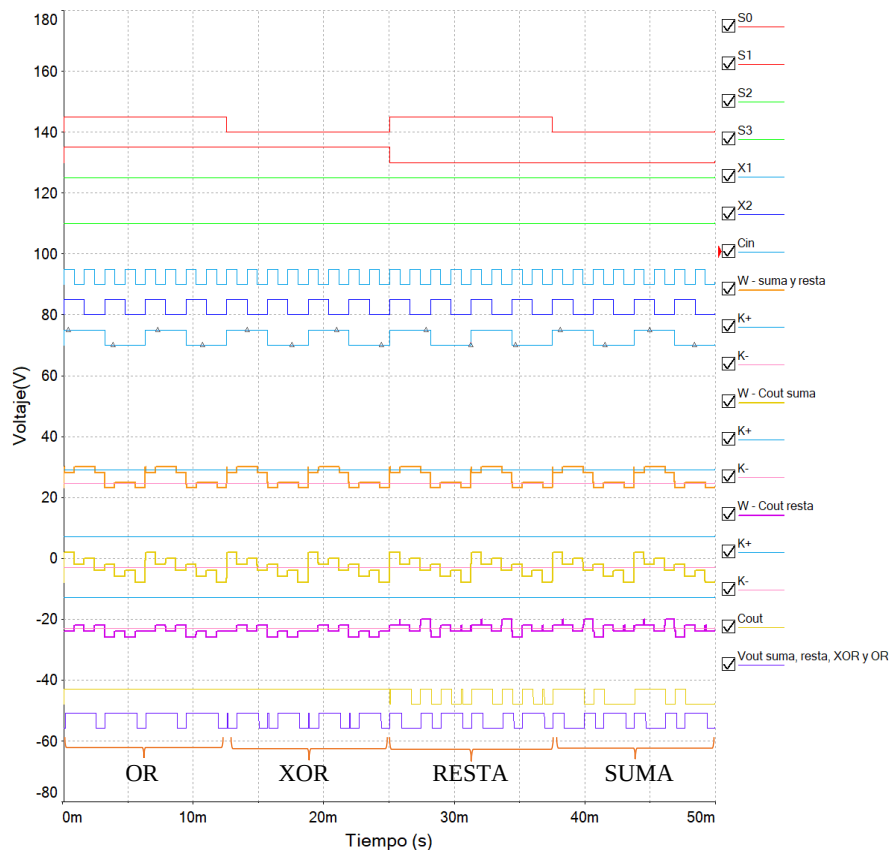


Figura 3.39 Señales de entrada y salida para las operaciones de suma y resta.

Las operaciones OR y XOR presentes en la figura, son realizadas por la NCLR mostrada en la Figura 3.40, en la cual se asignan los pesos de $w_1 = 3$, $w_2 = 3$, la señal del selector 0 se utiliza como *offset* con peso de -2, mientras que los selectores 1 y 2 son utilizados como condicionantes, es decir, la salida de esta NCLR estará habilitada cuando ambos selectores (1 y 2) estén en un nivel alto.

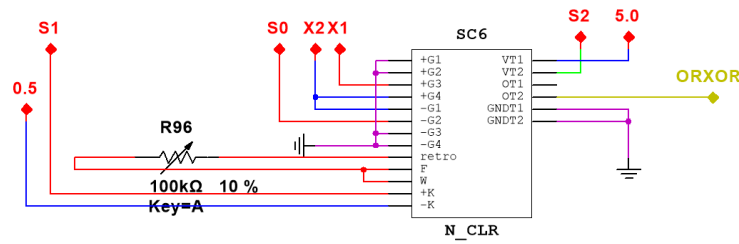


Figura 3.40 NCLR para la operación OR y XOR.

La Tabla 3.23 detalla los valores que tomara la suma ponderada y resalta en color lo que entra en el umbral utilizado de $K_+ = 5V$ y $K_- = 0.5V$, mientras que en la Figura 3.41 muestra estas dos operaciones de manera grafica.

Tabla 3.23 Suma ponderada para las operaciones XOR y OR.

S0	x_2	x_1	$g(x) = 3x_1 + 3x_2 - 2S_0$	Función
0	0	0	0	XOR
0	0	1	3	
0	1	0	3	
0	1	1	6	
1	0	0	-2	OR
1	0	1	1	
1	1	0	1	
1	1	1	4	

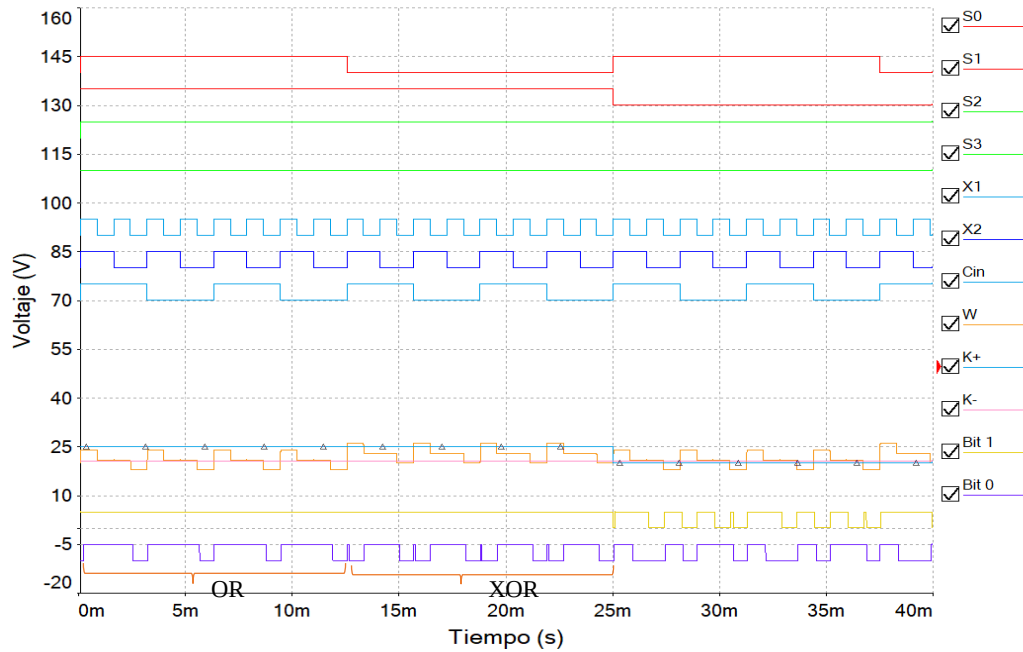


Figura 3.41 Entradas y salidas de la NCLR para las operaciones XOR y OR.

Por último, la NCLR faltante de la sección de operaciones por explicar, es la que obtiene la operación de x_2 y $\overline{x_2}$ presentada en la Figura 3.42 donde utiliza la señal de x_2 junto con los selectores 0 y 3 para la suma ponderada, a la salida utiliza los demás selectores como condicionantes, activándose la salida al tener un nivel alto en el selector 2 y un nivel bajo en el selector 1. La Tabla 3.24 muestra los valores que tomara la suma ponderada, resaltando en color lo que entra en el umbral utilizado de $K_+ = 5.5 V$ y $K_- = 0.5 V$, mientras que en la Figura 3.43 muestra estas dos operaciones de manera gráfica, analizando la salida final Bit 0, corresponde a la negación de esta NCLR, ya que, en la siguiente sección del ALU, a esta señal se le asigna una ganancia negativa.

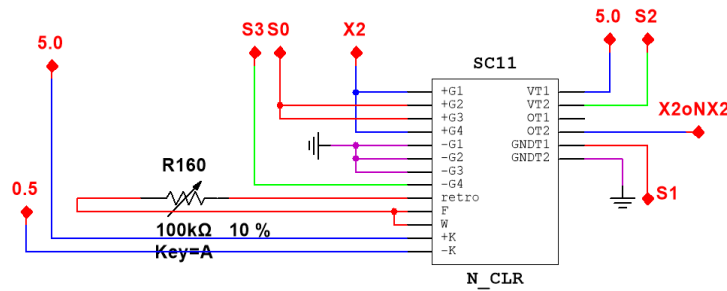


Figura 3.42 NCLR para las operaciones x_2 y $\overline{x_2}$.

Tabla 3.24 Suma ponderada para la operación x_2 y $\overline{x_2}$.

S3	S0	x_2	$g(x) = 5x_2 + 5S_0 - 4S_3$	Función
0	0	0	0	x_2
0	0	1	5	
1	0	0	-4	
1	0	1	1	
0	1	0	5	$\overline{x_2}$
0	1	1	10	
1	1	0	1	
1	1	1	6	

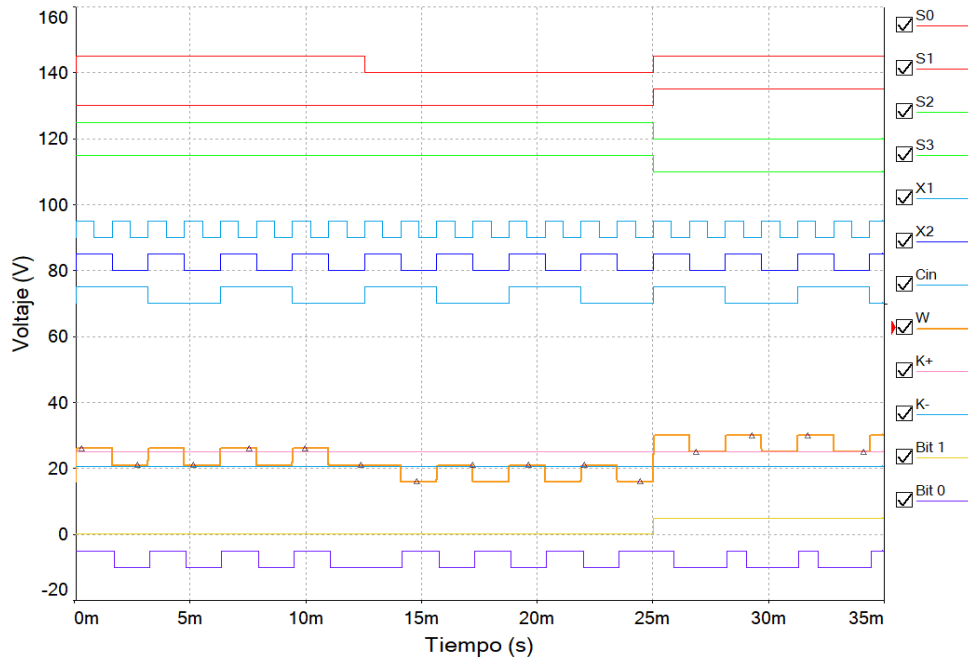


Figura 3.43 Entradas y salidas de la NCLR para las operaciones x_2 y $\overline{x_2}$.

Para la última sección de la ALU, se tienen 4 NCLRs, una para la salida Bit 1 y el resto para la salida Bit 0, en las Figuras 3.44 y 3.45 se exponen las conexiones para la obtención de las salidas Bit 0 y Bit 1, la primera NCLR de la Figura 3.44, es habilitada cuando el selector 3 está en un nivel alto, junta las operaciones lógicas, pero utilizando ganancias negativas, por lo tanto, todas las entradas se niegan, de aquí que se obtengan las operaciones negativas, $\overline{x_2} > \overline{x_1}$, $\overline{x_1} > \overline{x_2}$, $\overline{x_1}$, *NAND*, *XNOR*, *NOR*. Mientras que la segunda NCLR habilitada al tener el selector 3 en un nivel bajo une las operaciones lógicas sin modificarlas junto con la operación de la suma y la resta. Ambas salidas se unen en la tercera NCLR con ganancias unitarias dando lugar a la salida Bit 0. Para la obtención de la salida Bit 1, se utiliza la NCLR de la Figura 3.45, donde se unen los acarrees de salida de la suma y la resta.

Cuando los selectores no están configurados para la operación de suma ni de resta, la salida permanece en un nivel alto, excepto en el caso de las operaciones x_2 y $\overline{x_2}$, donde se registra un nivel bajo. Esta condición se ilustra en la Figura 3.46 donde la salida Bit 1, resaltada en color naranja en la parte inferior, en la mayoría de las 16 operaciones mantiene un nivel alto.

Finalizado el diseño de la ALU se continua con la aplicación de la técnica SPWM utilizando las NCLRs.

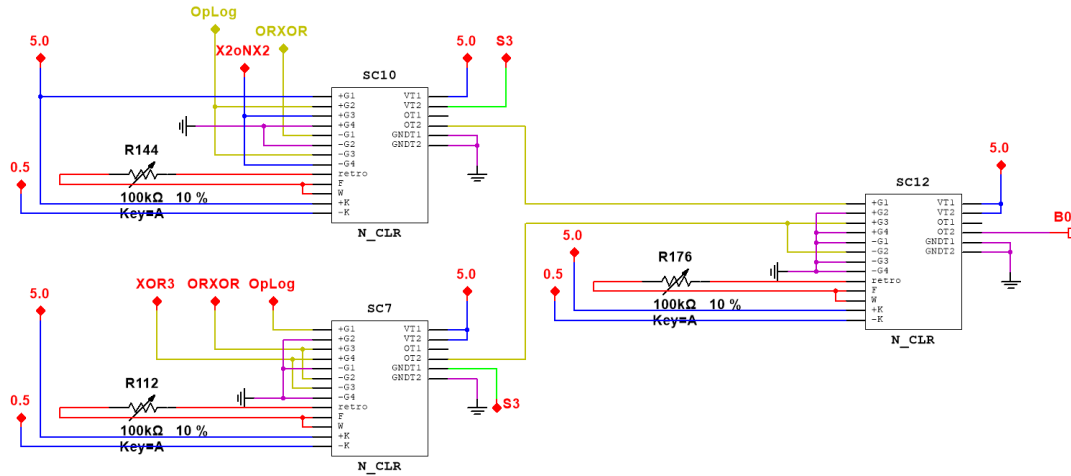


Figura 3.44 NCLRs para la salida Bit 0.

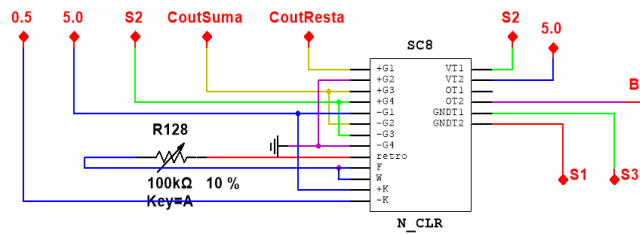


Figura 3.45 NCLR para la salida Bit 1.

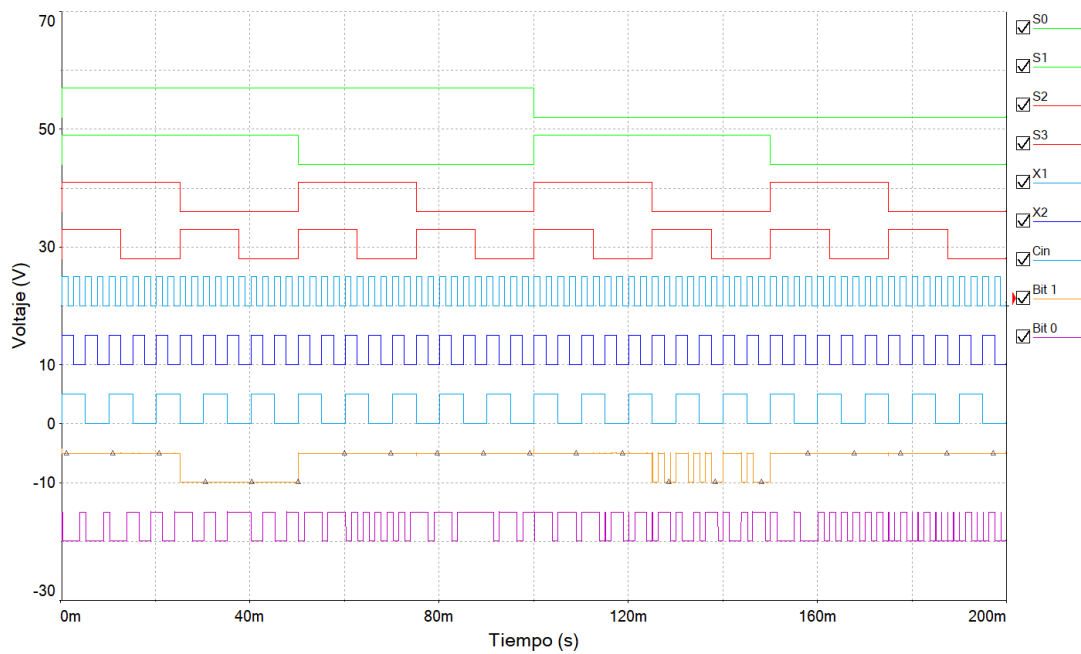


Figura 3.46 Funciones de la ALU.

3.6 Diseño del sistema de conmutación basado en la técnica SPWM

Como se mencionó previamente en el capítulo de fundamentos teóricos, esta técnica es utilizada en la electrónica de potencia para varias aplicaciones, una de estas aplicaciones, en la que se enfocará este documento, es en la conversión de voltaje de Corriente Directa (CD) a voltaje de Corriente Alterna (CA) a través de un inversor que hace uso de dispositivos semiconductores a modo de conmutadores. La conmutación de estos dispositivos está sujeta a diversas técnicas, entre ellas la SPWM multinivel en la que se compara una señal de referencia (senoidal) con varias señales portadoras (comúnmente triangulares).

Para realizar la técnica con las NCLRs, en la comparación se utiliza la parte con la configuración del comparador de ventana de la NCLR y para conseguir los diferentes niveles, se realizan *offsets* en la parte de la suma ponderada (configuración sumador-restador no inversor), es decir, la señal triangular se conecta en la ganancia unitaria, y para el nivel, si se requiere un *offset* de 2 V, la ganancia de 2 se conecta a un voltaje fijo de 5 V, recordando que los generadores utilizados, entregan formas de onda de amplitud de 5 V, por lo que se utiliza el ajuste en los potenciómetros a un valor de 80 k Ω para tener los valores de ganancia de: $\pm \frac{1}{5}$, $\pm \frac{2}{5}$, $\pm \frac{3}{5}$ y $\pm \frac{4}{5}$. Por ejemplo, para el control de conmutación de un inversor multinivel de 5 niveles, utilizando una topología de puente completo en cascada, se requiere de 4 portadoras, 4 comparaciones y 4 negaciones como se muestra en la Figura 3.47.

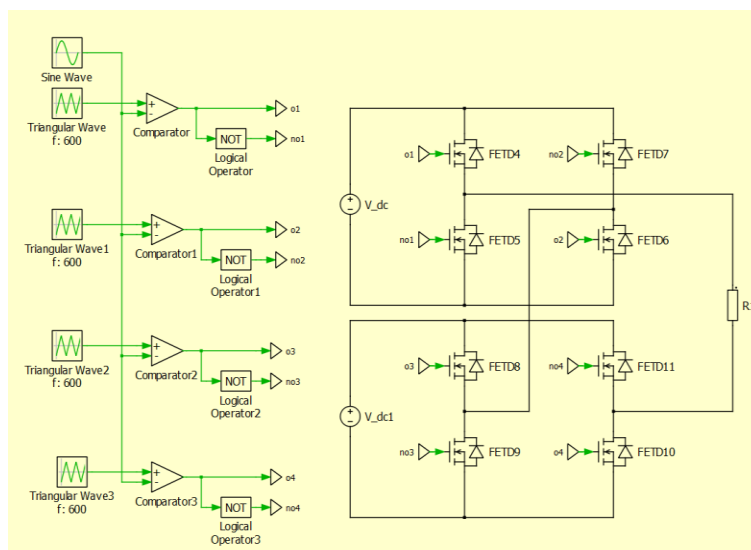


Figura 3.47 Simulación de un inversor de 5 niveles realizada en PLECS®.

Para realizar este control con las NCLRs, la Figura 3.48 muestra la conexión utilizando 4, donde cada una tiene la misma señal portadora triangular con un valor mínimo de 0 V y máximo de 5 V, conectada en la ganancia unitaria positiva. La primera no tiene más conexiones, obteniendo la señal triangular en color rojo en la pantalla del osciloscopio, la segunda NCLR tiene un voltaje fijo de 5 V conectado a la ganancia +2 y -1, lo que resulta en un *offset* de 1 V para la señal portadora mostrada en la pantalla del osciloscopio en color verde. La tercera NCLR además de la portadora, tiene conectada a su ganancia +2 un voltaje fijo de 5 V, por lo tanto, la señal portadora obtiene un *offset* de 2 V como se visualiza en la pantalla del osciloscopio en color azul cian. La cuarta NCLR además de la portadora, en su ganancia +3 se conecta el mismo voltaje fijo de 5 V, elevando la portadora triangular 3 V como se observa en la pantalla del osciloscopio en color amarillo. Como solo se realizó cambio de nivel a las 4 portadoras resultantes, es decir, sin cambio de fase, con esta conexión se aplicaría el modo de Disposición en Fase (PD).

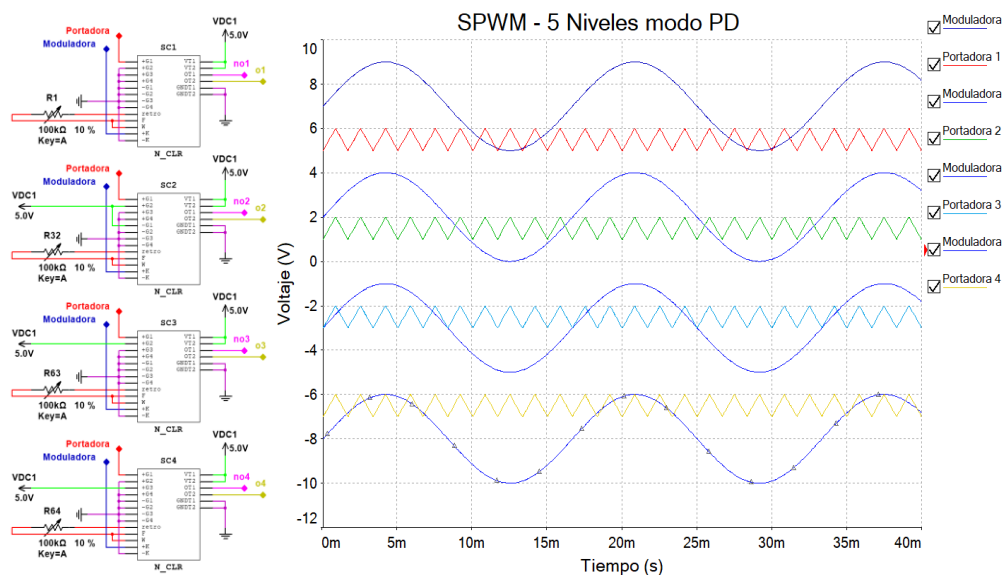


Figura 3.48 Conexión para un control de SPWM modo PD.

Para las comparaciones se define a la señal moduladora como límite superior del umbral de acción (K_+), mientras que el límite inferior (K_-) se establece mediante el nivel de tierra, la Figura 3.49 muestra las 4 comparaciones realizadas en la simulación de la Figura 3.48. En la Figura 3.50 se muestra la unión de estas comparaciones, es decir, reconstrucción de la señal senoidal utilizando una 5ta NCLR con las salidas o1, o2, o3 y o4. De las mismas 4 NCLRs se obtienen las negaciones de estas 4 salidas llamadas no1, no2, no3 y no4, teniendo

así las señales necesarias para el control de un inversor de 5 niveles como el de la simulación de PLECS mostrada anteriormente en la Figura 3.47.

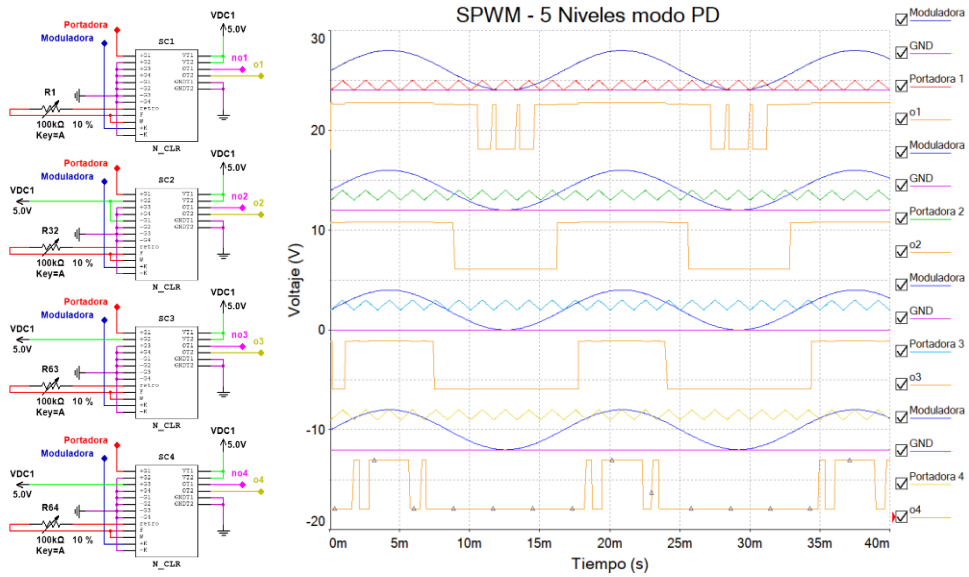


Figura 3.49 Comparaciones del modo PD.

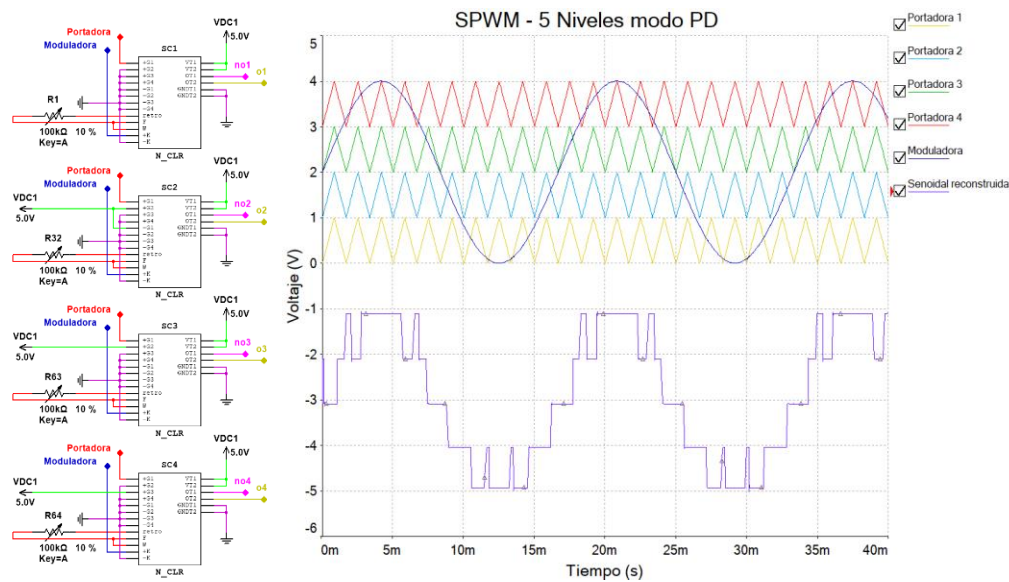


Figura 3.50 Reconstrucción de la señal senoidal utilizando el modo PD.

Para analizar la reconstrucción de esta técnica se mide el índice de Distorsión Armónica Total (THD) para la tensión, retomando la simulación del inversor de 5 niveles en el software PLECS, se midió el THD utilizando el modo PD, con una frecuencia de moduladora de 60 Hz. Para las portadoras, se emplearon frecuencias de 600 Hz, 1200 Hz, 1800 Hz, 2400 Hz y 3000 Hz, equivalentes a índices de frecuencia (m_f) de 10, 20, 30, 40 y 50. Las mediciones

también se realizaron para 3, 7 y 9 niveles. En la Tabla 3.25, se enlistan los valores obtenidos. Al analizar la tabla, se observa que el nivel de THD mejora al aumentar el número de niveles y la frecuencia.

Tabla 3.25 THD obtenido en simulación.

Niveles	THD (%)				
	600Hz	1200Hz	1800Hz	2400Hz	3000Hz
3	31.7	30.0	30.0	28.0	28.0
5	19.1	17.6	17.6	17.2	16.2
7	13.0	12.4	11.6	10.8	9.9
9	10.8	9.8	8.8	8.6	8.1

La Figura 3.51 muestra los cambios realizados en la simulación para obtener nueve niveles. Se optó por medir el índice de THD en PLECS en lugar del software Multisim debido a que PLECS está especializado en aplicaciones de electrónica de potencia. Además, PLECS permite almacenar información del espectro de Fourier para calcular la Tabla 3.25. En esta Tabla 3.25, se tuvieron en cuenta consideraciones como el número de armónicos (52) y los voltajes recomendados que puede medir el analizador de calidad de energía Fluke 43B, utilizado en la implementación de laboratorio.

Conforme al estándar IEEE 519, el valor máximo de THD para tensión en instalaciones generales es del 5%. Al no haber alcanzado este objetivo, se decidió incorporar un filtro pasivo pasa bajas de segundo orden RC. Un filtro es un circuito que de entrada tiene una o varias señales alternas de diferentes frecuencias, y su salida se diseña para dejar pasar señales con frecuencias deseadas y rechazar o atenuar el resto. Un filtro pasivo está formado por resistencias, condensadores y/o bobinas (componentes pasivos). Si el circuito del filtro consta de una única célula básica, se considera un filtro de primer orden. Será de segundo orden si está compuesto por dos células, de tercer orden si son tres células, y así sucesivamente.

El parámetro de frecuencia de corte en filtros se refiere a la frecuencia en la cual la ganancia en tensión del filtro cae de 1 a 0.707. Expresado en decibelios (dB), esto implica una reducción de la ganancia en 3 dB. Los filtros pasa bajas y pasa altas solo tienen una frecuencia de corte, mientras que en los filtros pasa banda y rechaza banda poseen dos

frecuencias de corte diferentes [44]. La Figura 3.52 ilustra la adición del filtro a la simulación de 5 niveles.

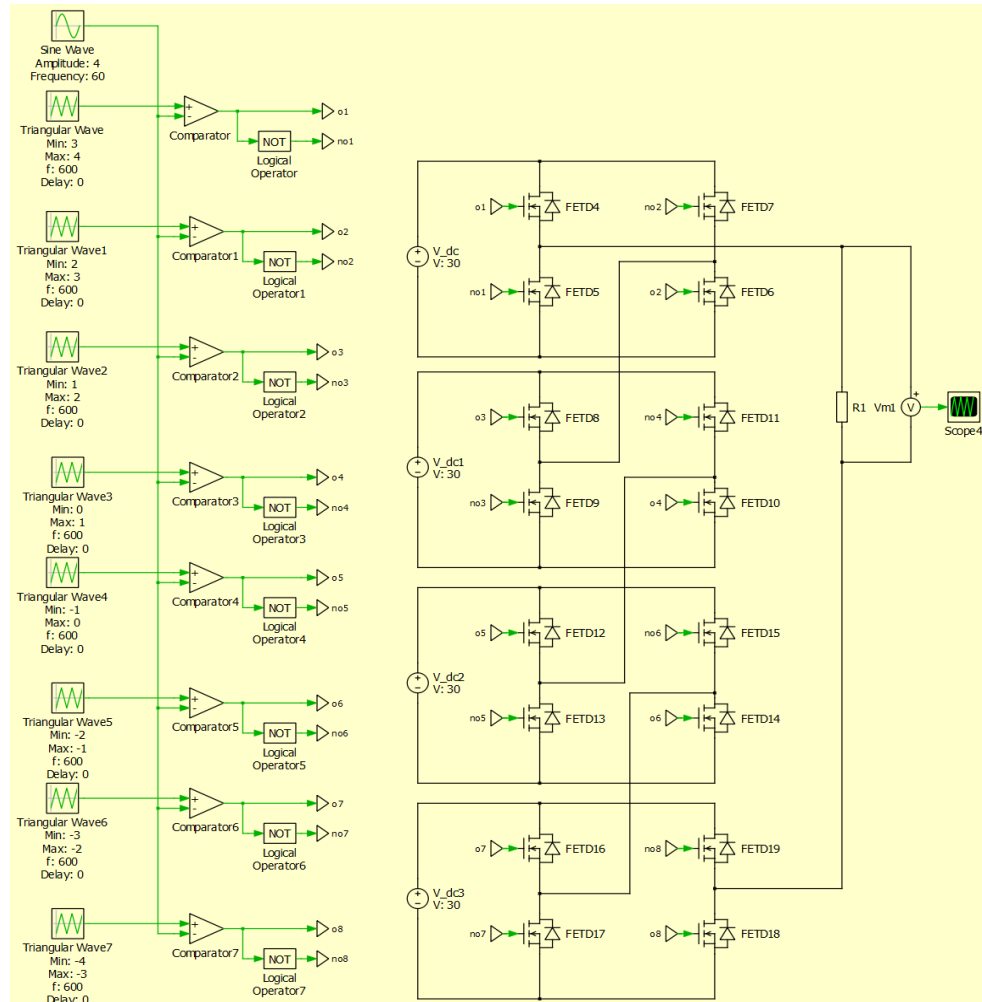


Figura 3.51 Simulación del inversor realizado en PLECS® aumentado a 9 niveles.

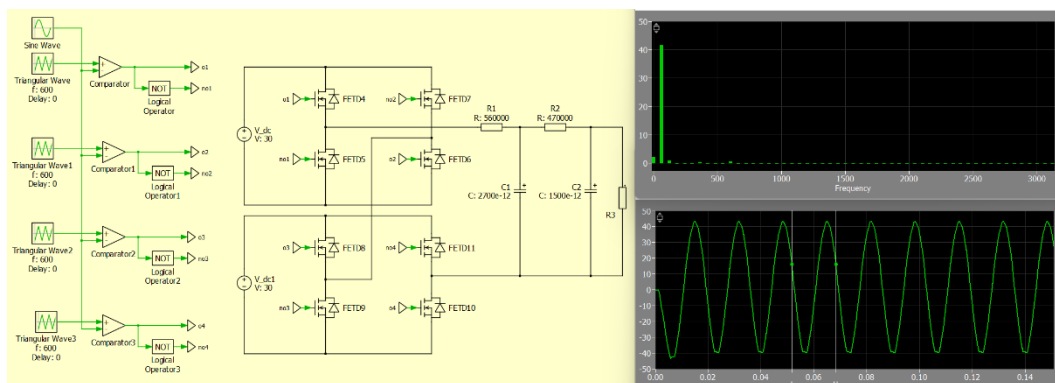


Figura 3.52 Adición del filtro pasivo a la simulación en PLECS®.

Previo al filtro con los 5 niveles en modo PD y a una frecuencia para las portadoras de 600 Hz, se obtuvo un THD del 19.1% y posterior al uso del filtro el THD mejora a un 2.8%, alcanzando así las recomendaciones del estándar. Para el diseño del filtro se utilizaron las ecuaciones 3.13 a la 3.16.

$$k = \sqrt{\frac{1}{2Q^2} - 1 + \sqrt{\left(\frac{1}{2Q^2} - 1\right)^2 + 1}} \quad (3.13)$$

$$R_1 = \frac{1 - 4Q^2}{4\pi k f_c Q C_2} \quad (3.14)$$

$$R_2 = \frac{Q}{\pi k f_c C_2} \quad (3.15)$$

$$C_1 = \frac{C_2}{1 - 4Q^2} \quad (3.16)$$

donde Q es el factor de calidad el cual debe ser menor a 0.5, eligiendo $Q = \frac{1}{3}$, f_c se refiere a la frecuencia de corte, que se establece en 60 Hz, por último, se establece el valor del capacitor 2 con 1500 pF. Por lo que los valores de los demás componentes son los siguientes:

$$k = \sqrt{\frac{1}{2\left(\frac{1}{3}\right)^2} - 1 + \sqrt{\left(\frac{1}{2\left(\frac{1}{3}\right)^2} - 1\right)^2 + 1}} = \sqrt{3.5 + \sqrt{13.25}} = 2.67209 \quad (3.17)$$

$$R_1 = \frac{1 - 4\left(\frac{1}{3}\right)^2}{4\pi(2.67209)(60)\left(\frac{1}{3}\right)(1500 \times 10^{-12})} = 551500 \, \Omega \quad (3.18)$$

$$R_2 = \frac{\left(\frac{1}{3}\right)}{\pi(2.67209)(60)(1500 \times 10^{-12})} = 441200 \, \Omega \quad (3.19)$$

$$C_1 = \frac{1500 \times 10^{-12}}{1 - 4\left(\frac{1}{3}\right)^2} = 2700 \, pF \quad (3.20)$$

Los valores de las resistencias, se redondearon a los valores comerciales de: $R_1 = 560 \, k\Omega$ y $R_2 = 470 \, k\Omega$.

Además del modo PD, con las NCLRs se puede implementar los modos de Disposición Opuesta de Fase (POD) y Disposición Opuesta Alterna de Fase (APOD). Para el modo POD las conexiones para las NCLRs se muestran en la Figura 3.53, en donde la tercera y cuarta NCLR permanecen con las mismas conexiones que el modo PD, mientras que en la primera y segunda NCLR la señal portadora ahora es conectada a la ganancia unitaria negativa, para así conseguir reconfigurar la señal y obtenerla en contrafase. Para el modo APOD, la manera de realizar las conexiones con las NCLRs se muestra en la Figura 3.54, utilizando la ganancia unitaria negativa para la señal portadora en la primer y tercer NCLR.

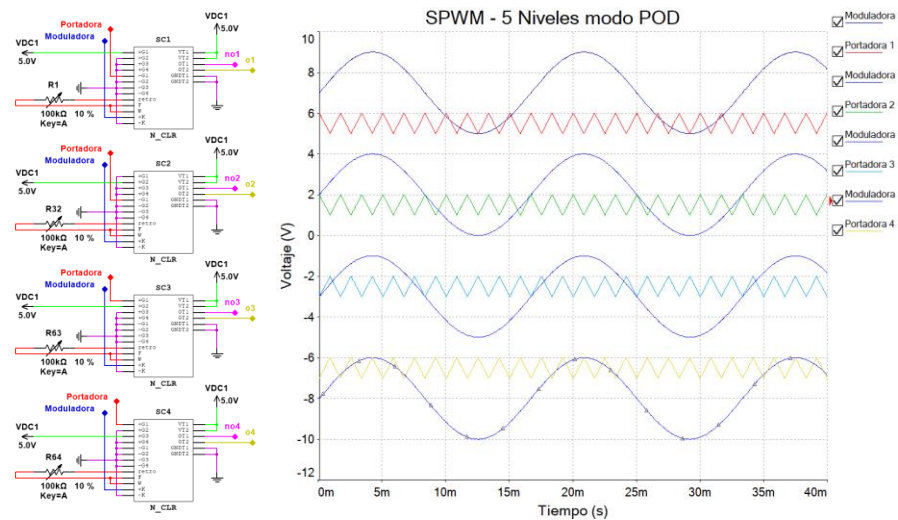


Figura 3.53 Conexión para un control de SPWM modo POD.

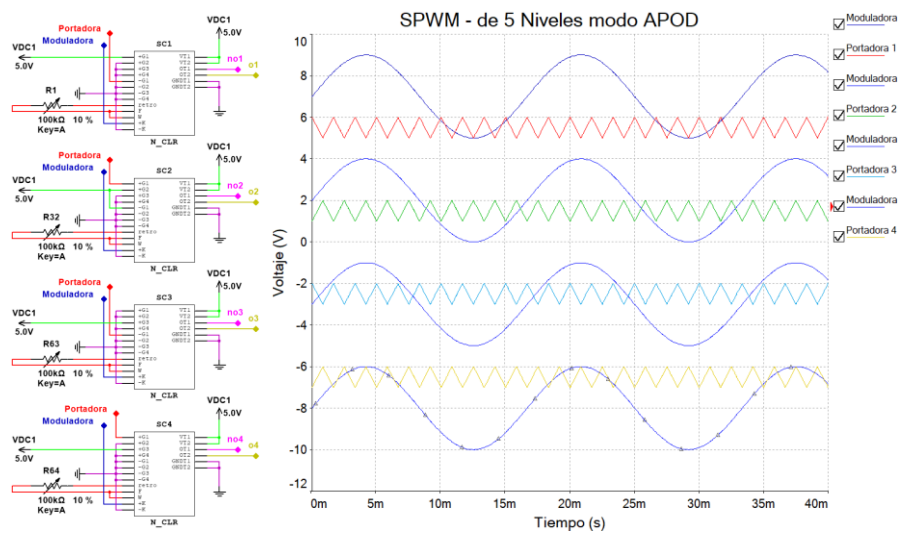


Figura 3.54 Conexión para un control de SPWM modo APOD.

Por último, las reconstrucciones de las señales sinusoidales con estos modos, se ilustran en la Figura 3.55 para el modo POD y en la Figura 3.56 para el modo APOD.

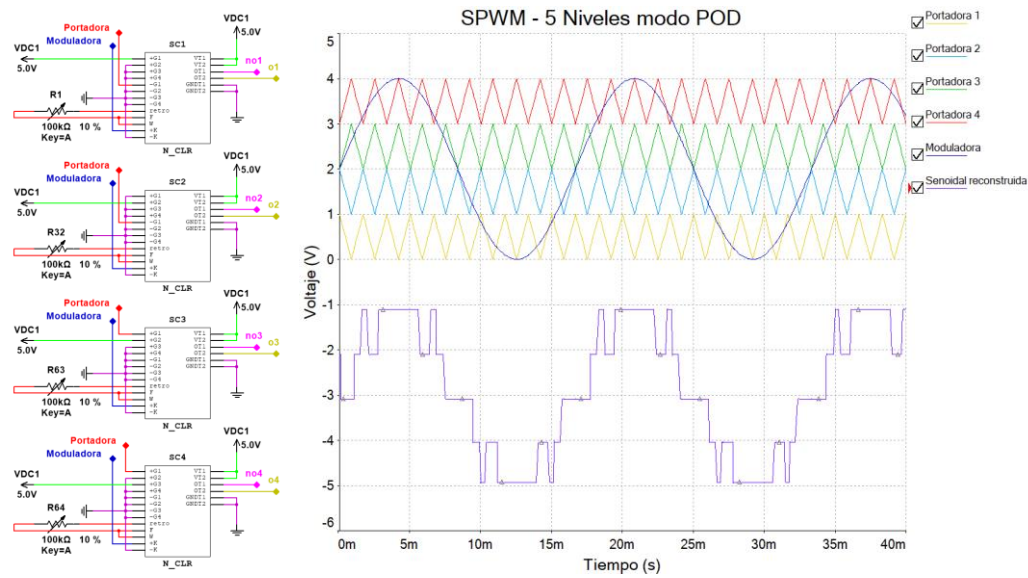


Figura 3.55 Reconstrucción de la señal senoidal utilizando el modo POD.

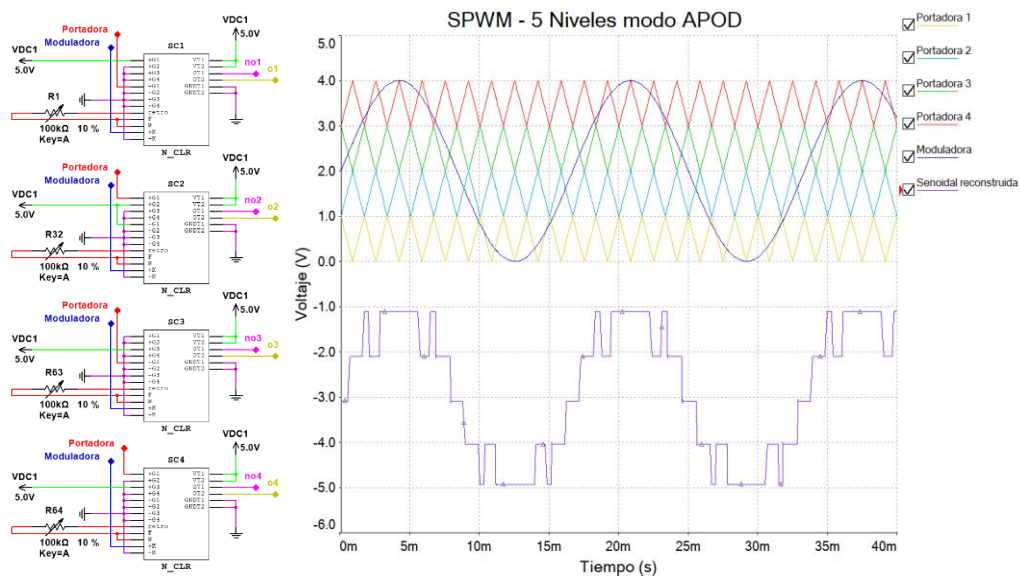


Figura 3.56 Reconstrucción de la señal senoidal utilizando el modo APOD.

Capítulo 4

DESARROLLO Y RESULTADOS

En este capítulo, se presentan los resultados experimentales de la implementación de la ALU obtenidos en el laboratorio, así como la aplicación de la técnica SPWM.

4.1 Implementación de la ALU

El armado de la ALU se ilustra en la Figura 4.1 para la cual se utilizan 2 fuentes de voltaje, un osciloscopio y generadores de trenes de pulso para las señales de entrada x_1 , x_2 y C_{in} , mientras que los selectores se ajustaron manualmente a un nivel alto o a un nivel bajo.

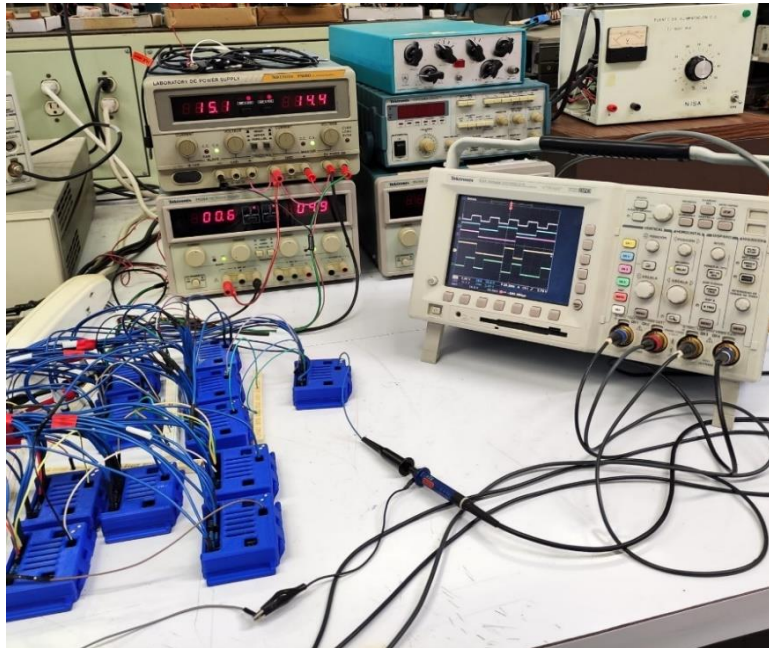


Figura 4.1 Implementación del ALU en laboratorio.

En la Tabla 4.1 se detallan los resultados de las 16 funciones de la ALU, observados en el osciloscopio. La señal x_1 se muestra en la parte superior de la captura de osciloscopio en color azul rey o negro, con una frecuencia del doble que la de la señal x_2 , que se presenta en color azul cian y con el doble de la frecuencia que la señal C_{in} en color violeta. Finalmente, la salida del ALU se visualiza en la parte inferior en color verde. Para las operaciones de suma y resta, también se muestra el acarreo de salida en color azul rey.

IV. DESARROLLO Y RESULTADOS

Tabla 4.1 Funciones del ALU.

	Operación	Selectores	Osciloscopio
1	$x_1 < x_2$	S0 = 0 S1 = 0 S2 = 0 S3 = 0	
2	$x_1 > x_2$	S0 = 1 S1 = 0 S2 = 0 S3 = 0	
3	x_1	S0 = 0 S1 = 1 S2 = 0 S3 = 0	
4	AND	S0 = 1 S1 = 1 S2 = 0 S3 = 0	

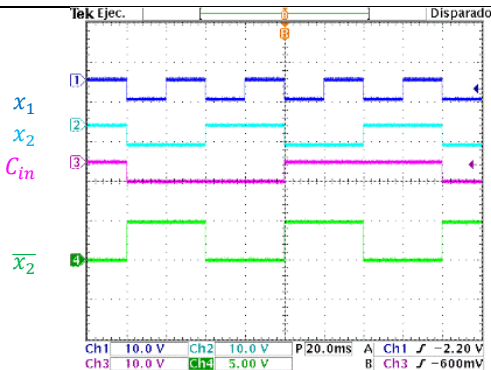
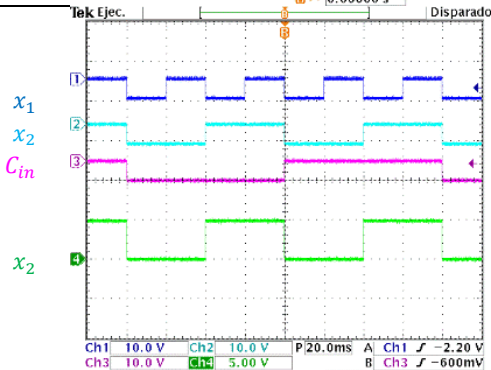
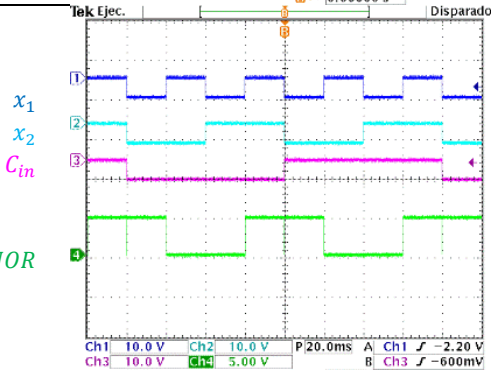
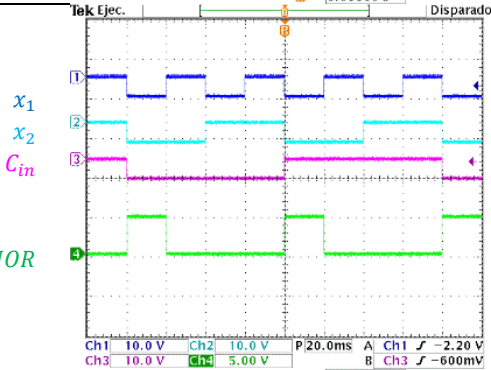
IV. DESARROLLO Y RESULTADOS

5	$x_1 + x_2 + C_{in}$	$S0 = 0$ $S1 = 0$ $S2 = 1$ $S3 = 0$	x_1 x_2 C_{in} C_{out} $x_1 + x_2 + C_{in}$
6	$x_1 - x_2 - C_{in}$	$S0 = 1$ $S1 = 0$ $S2 = 1$ $S3 = 0$	x_1 x_2 C_{in} C_{out} $x_1 - x_2 - C_{in}$
7	XOR	$S0 = 0$ $S1 = 1$ $S2 = 1$ $S3 = 0$	x_1 x_2 C_{in} XOR
8	OR	$S0 = 1$ $S1 = 1$ $S2 = 1$ $S3 = 0$	x_1 x_2 C_{in} OR

IV. DESARROLLO Y RESULTADOS

9	$\overline{x_1 < x_2}$	$S0 = 0$ $S1 = 0$ $S2 = 0$ $S3 = 1$	x_1 x_2 C_{in} $\overline{x_1 > x_2}$
10	$\overline{x_1 > x_2}$	$S0 = 1$ $S1 = 0$ $S2 = 0$ $S3 = 1$	x_1 x_2 C_{in} $\overline{x_1 > x_2}$
11	$\overline{x_1}$	$S0 = 0$ $S1 = 1$ $S2 = 0$ $S3 = 1$	x_1 x_2 C_{in} $\overline{x_1}$
12	NAND	$S0 = 1$ $S1 = 1$ $S2 = 0$ $S3 = 1$	x_1 x_2 C_{in} NAND

IV. DESARROLLO Y RESULTADOS

13	$\overline{x_2}$	$S0 = 0$ $S1 = 0$ $S2 = 1$ $S3 = 1$	 Timing diagram for test case 13. The diagram shows four signals: x_1 (blue), x_2 (cyan), C_{in} (magenta), and $\overline{x_2}$ (green). The output $\overline{x_2}$ is high when x_2 is low and low when x_2 is high, independent of x_1 and C_{in}. The scope settings are: Ch1 10.0 V, Ch2 10.0 V, Ch3 10.0 V, P 20.0ms, A Ch1 f -2.20 V, B Ch3 f -600mV, 0.00000 s.
14	x_2	$S0 = 1$ $S1 = 0$ $S2 = 1$ $S3 = 1$	 Timing diagram for test case 14. The diagram shows four signals: x_1 (blue), x_2 (cyan), C_{in} (magenta), and x_2 (green). The output x_2 is identical to the input x_2. The scope settings are: Ch1 10.0 V, Ch2 10.0 V, Ch3 10.0 V, P 20.0ms, A Ch1 f -2.20 V, B Ch3 f -600mV, 0.00000 s.
15	XNOR	$S0 = 0$ $S1 = 1$ $S2 = 1$ $S3 = 1$	 Timing diagram for test case 15. The diagram shows four signals: x_1 (blue), x_2 (cyan), C_{in} (magenta), and XNOR (green). The output XNOR is high when x_1 and x_2 are different and low when they are the same. The scope settings are: Ch1 10.0 V, Ch2 10.0 V, Ch3 10.0 V, P 20.0ms, A Ch1 f -2.20 V, B Ch3 f -600mV, 0.00000 s.
16	NOR	$S0 = 1$ $S1 = 1$ $S2 = 1$ $S3 = 1$	 Timing diagram for test case 16. The diagram shows four signals: x_1 (blue), x_2 (cyan), C_{in} (magenta), and NOR (green). The output NOR is high only when both x_1 and x_2 are low. The scope settings are: Ch1 10.0 V, Ch2 10.0 V, Ch3 10.0 V, P 20.0ms, A Ch1 f -2.20 V, B Ch3 f -600mV, 0.00000 s.

Como se evidenció en las simulaciones de la ALU, los valores de voltaje utilizados para los 11 umbrales de acción fueron: 0 V, 0.5 V, 5 V, 5.5 V y 15 V. De éstos, 0 V (GND), 5 V y 15 V se emplean para la alimentación de las tarjetas, además de -15 V, dando un total de 6 niveles diferentes de voltaje para la ALU. Es relevante destacar que esta configuración contrasta con la ALU analógica de un bit presentada en [33], la cual, a pesar de utilizar un esquema reconfigurable similar, emplea 11 niveles de voltaje diferentes. Sin embargo, es interesante observar que, a pesar de contar con menos niveles de voltaje, la ALU diseñada en esta tesis realiza 16 funciones frente a las 8 funciones de la ALU presentada en [33], lo que podría sugerir una eficiencia en términos de complejidad y recursos utilizados para obtener un conjunto específico de funciones en la ALU.

4.2 Implementación de la técnica SPWM

El equipo necesario para la aplicación de la técnica SPWM, se muestra en la Figura 4.2, como son el osciloscopio, una fuente para energizar las tarjetas, un generador de funciones para la onda senoidal moduladora y otro generador para la señal triangular portadora principal.

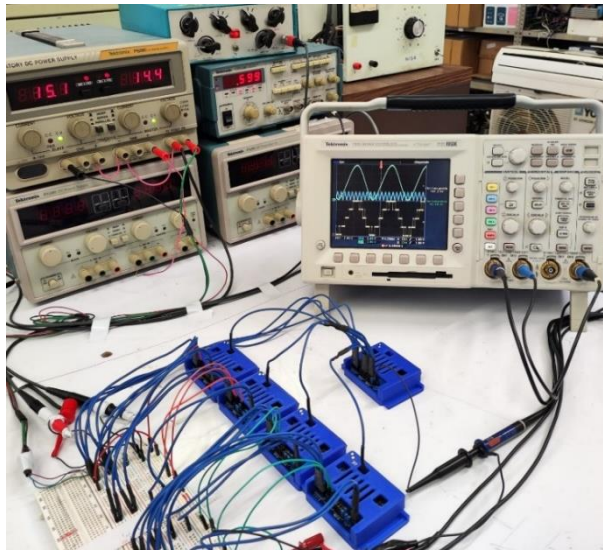


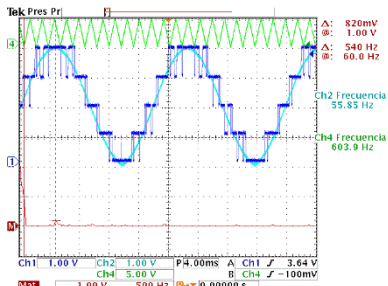
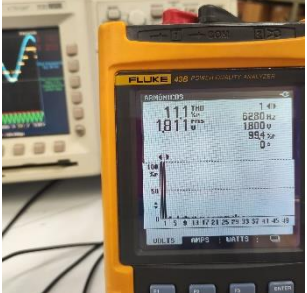
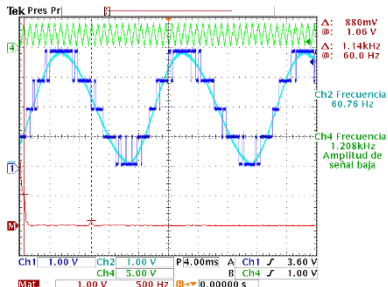
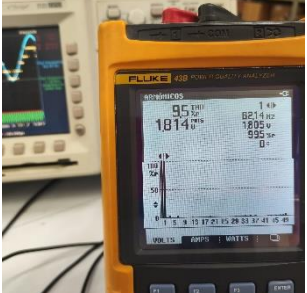
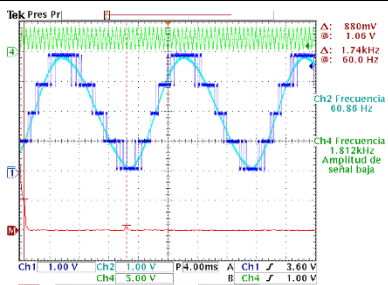
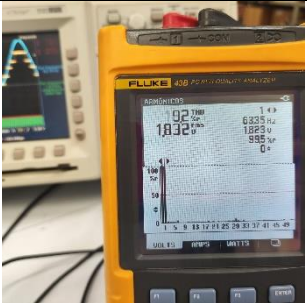
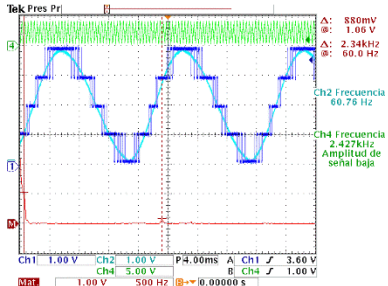
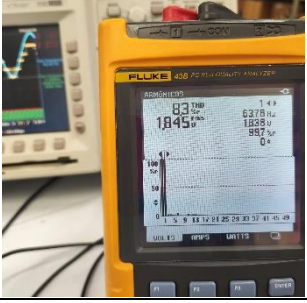
Figura 4.2 Implementación de la técnica SPMW con 5 niveles.

Otro equipo utilizado y no mostrado en la figura es el analizador de la calidad de la energía, con el que se midió el índice de THD de la tensión para las configuraciones con 3, 5, 7 y 9 niveles y con las diferentes frecuencias de portadora: 600 Hz, 1200Hz, 1800 Hz, 2400 Hz y 3000 Hz.

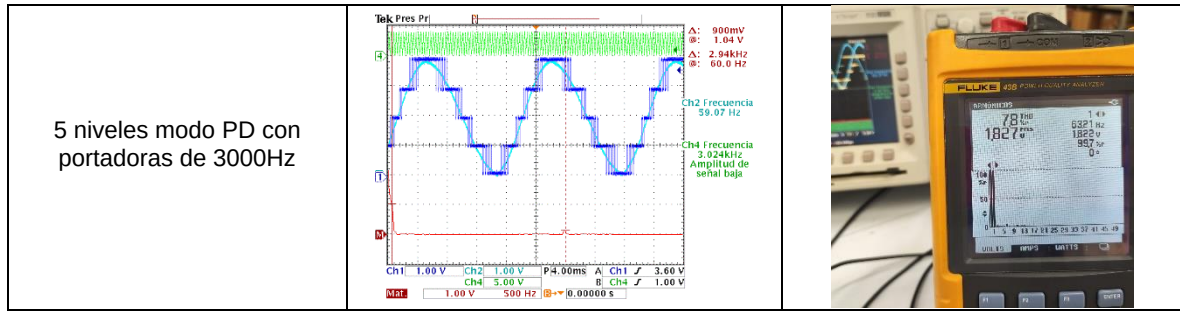
IV. DESARROLLO Y RESULTADOS

En la Tabla 4.2 se detalla la señal reconstruida en osciloscopio junto a su espectro de Fourier y en el analizador de calidad de la energía el índice THD que se midió, esto para los diferentes valores de frecuencia para las portadoras y 5 niveles.

Tabla 4.2 Resultados para 5 niveles y 600 Hz en portadoras.

Descripción	Resultados en osciloscopio	Resultados en analizador
5 niveles modo PD con portadoras de 600Hz		
5 niveles modo PD con portadoras de 1200Hz		
5 niveles modo PD con portadoras de 1800Hz		
5 niveles modo PD con portadoras de 2400Hz		

IV. DESARROLLO Y RESULTADOS



El resto de capturas y fotografías de las lecturas tomadas en osciloscopio y analizador de calidad de la energía para la aplicación del SPWM, se documentan en la sección de anexos y apéndices desde la Tabla 7.2 hasta la 7.6, mientras que en la siguiente Tabla 4.3 se resume las lecturas tomadas del índice THD para la tensión. Mostrando que, al igual que en simulación, se tienen mejoras en el índice con frecuencias altas y con un mayor número de niveles.

Tabla 4.3 THD obtenido en laboratorio.

Niveles	THD (%)				
	600Hz	1200Hz	1800Hz	2400Hz	3000Hz
3	22.3	21.9	17.7	17.5	15.5
5	11.1	9.5	9.2	8.3	7.8
7	9.4	8.5	8.2	7.5	7.2
9	8.9	8.2	7.6	7.0	6.2

Para alcanzar las recomendaciones del estándar IEEE 519, se utiliza el filtro diseñado en simulación, consiguiendo valores de componentes cercanos se agrega el filtro al armado para el SPWM de 5 niveles ilustrado en la Figura 4.3. Lo obtenido en el osciloscopio se ilustra en la Figura 4.4, siendo la señal filtrada de color rosa, la cual pierde potencia, ya que la señal reconstruida en color azul rey ocupa 4 divisiones de amplitud, mientras que la señal rosa ocupa casi 3 divisiones, además la señal filtrada muestra un atraso. Sin embargo, su THD para la tensión mejora significativamente.



Figura 4.3 Adición del filtro de segundo orden RC.

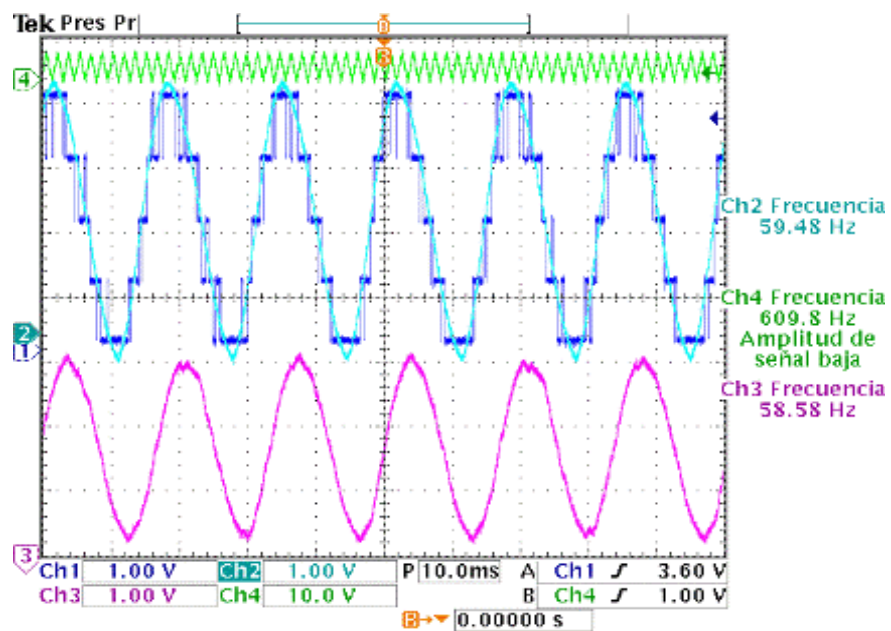


Figura 4.4 Reconstrucción utilizando el filtro.

La Figura 4.5 muestra las lecturas de THD de tensión con filtro y del lado derecho el THD después del filtro, teniendo inicialmente un 11.1% y mejorando hasta un 4.8% con el filtro.

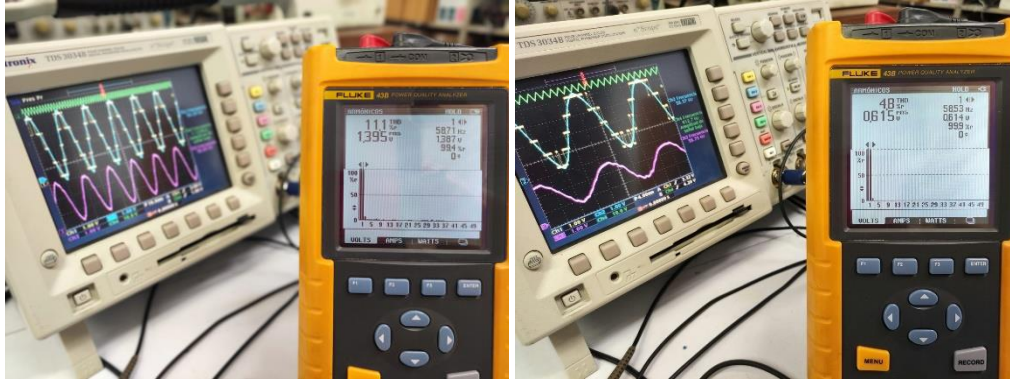


Figura 4.5 Índice THD sin y con el filtro.

La elección de incorporar un filtro en lugar de aumentar los niveles o utilizar una frecuencia más alta se basa en varias consideraciones. Aunque el diseño modular de las tarjetas permitía la adición o eliminación de niveles de manera sencilla, se optó por no aumentar la frecuencia más allá de 3000 Hz. Esto se debe a que, al continuar con incrementos de 600Hz, una frecuencia de 3600 Hz correspondería a un índice de $m_f = \frac{3600}{60} = 60$, y los armónicos generados a esta frecuencia no serían medidos por el analizador de calidad de la energía, que solo puede medir hasta 52 armónicos como máximo.

Además, la elección de no utilizar una frecuencia muy alta se fundamenta en la preocupación por el estrés y desgaste que esto podría ocasionar en los transistores utilizados para la conmutación. Tampoco se agregaron más niveles porque el máximo *offset* que se puede lograr con la ganancia unitaria para la portadora es de 9 V, es decir, la suma de las ganancias positivas libres ($4 + 3 + 2 = 9$). Esto se logra utilizando el mismo nivel de voltaje (5 V) que se empleó para realizar otros *offsets*.

Para conseguir un *offset* mayor, se podría considerar el uso de una fuente adicional de 10 V o modificar la forma de realizar la comparación. En el caso de utilizar voltajes negativos, se tendrían disponibles las ganancias negativas, lo que permitiría realizar *offsets* de ± 9 V. Cabe destacar que, en este enfoque, las ventanas del lado negativo podrían requerir una conexión diferente para su correcto funcionamiento.

El modo POD y el modo APOD también se implementaron en laboratorio, en la Figura 4.6 se ilustra la disposición de las portadoras para cada modo.

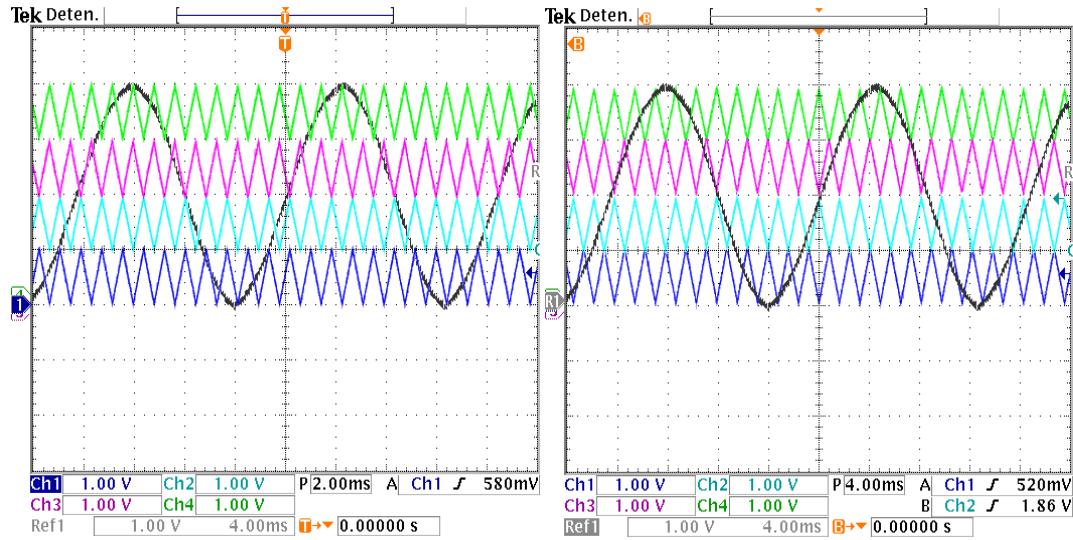


Figura 4.6 Acomodo de las portadoras para el modo POD y el modo APOD.

La diferencia entre los modos POD y APOD contra el PD, se aprecia analizando el espectro de Fourier visualizado en la Figura 4.7. En este análisis, se observa la ausencia de un pico en el armónico veintavo, influenciado por un $m_f = \frac{1200}{60} = 20$. Sin embargo, se detectan picos en las proximidades de este valor. En el modo APOD, estos picos exhiben una separación más significativa en comparación con el modo POD.

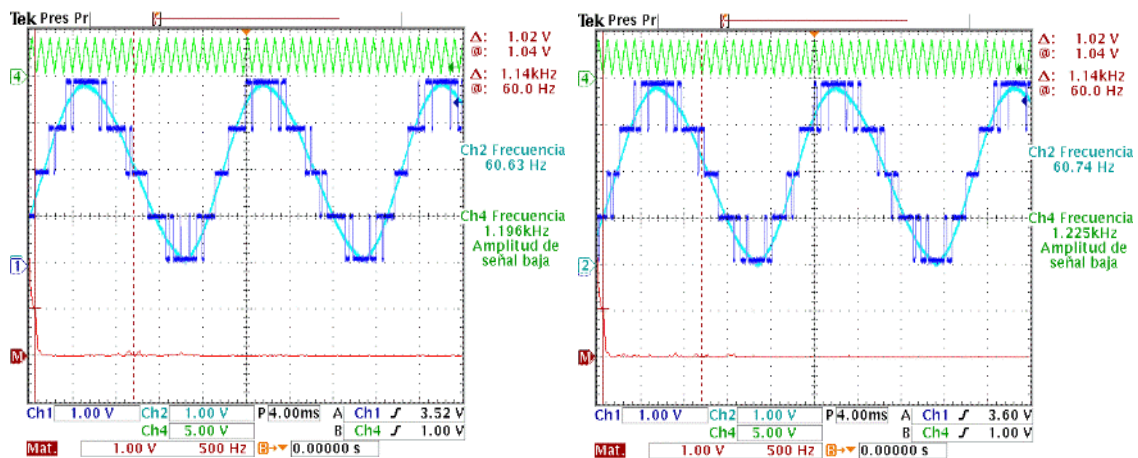


Figura 4.7 Espectro de Fourier con los modos POD y APOD.

Capítulo 5

CONCLUSIONES

En este capítulo se exponen las conclusiones obtenidas al analizar los resultados de las implementaciones en laboratorio. Asimismo, se sugieren posibles direcciones para futuras investigaciones con el fin de avanzar en el desarrollo de este tema.

5.1 Observaciones del trabajo realizado

Durante el estudio del estado del arte, se identificaron diversos circuitos para CLRs. Al trabajar con ellos y considerar los requisitos de la ALU, se propuso un nuevo circuito. Las simulaciones involucraron operaciones lógicas y aritméticas por separado, lo que sugiere que la celda propuesta puede aplicarse a otras aplicaciones además de la ALU y la técnica SPWM. Se destacó un multiplexor similar al presentado en [45], pero con la distinción de utilizar menos niveles de voltajes para los umbrales de acción.

5.1.1 Conclusiones destacadas

- **Logro de Objetivos:** Los objetivos establecidos para el desarrollo de la NCLR se han cumplido exitosamente. La integración de múltiples celdas permitió la ejecución de operaciones lógicas y aritméticas, como suma, resta y comparación. La implementación de la ALU con sus 16 funciones y su aplicación en la técnica SPWM se llevó a cabo de manera precisa.
- **Versatilidad en Diseños:** El primer diseño de sumador completo y restador completo, son diferentes de los utilizados en la ALU, por lo tanto, la NCLR proporciona flexibilidad para ajustar los pesos de las señales de entrada, dependiendo de los valores de voltaje disponibles para el circuito de comparador de ventana, permitiendo adaptabilidad en distintos contextos.
- **Eficiencia en la Técnica SPWM:** Las NCLRs demostraron un rendimiento adecuado al realizar *offsets* y comparaciones en la técnica SPWM. El modo PD se destacó al mejorar el índice THD mediante el incremento del número de niveles y la frecuencia de las portadoras. La implementación de los modos POD y APOD se llevó a cabo de

manera fluida, sugiriendo la versatilidad de la tarjeta para otras técnicas de modulación.

Estas conclusiones resaltan el éxito en el logro de metas específicas, la versatilidad de los diseños implementados y la eficacia de la NCLR en aplicaciones prácticas como la técnica SPWM.

5.2 Trabajos a futuro

Con el objetivo de dar seguimiento a la investigación presentada en este trabajo de tesis, se proponen los siguientes aspectos:

- Validar experimentalmente el funcionamiento de la NCLR con diferentes encapsulados de amplificadores cuádruples, a pesar de que en simulación se obtuvieron resultados similares con diferentes modelos (LM324, TL074, LM348 Y TL084).
- Explorar la posibilidad de utilizar solo los 4 niveles requeridos para la alimentación (0 V, 5 V y ± 15 V) en las etapas de comparadores de ventanas de la ALU, buscando alternativas de pesos.
- Desarrollar una herramienta de software para agilizar el cálculo de pesos en la asignación, complementando el enfoque empírico utilizado en esta tesis.
- Explorar otros modos de SPWM con la NCLR, como el corrimiento de fase de multiportadoras (PSPWM) o la modificación de la forma de onda triangular de las portadoras.

Capítulo 6

REFERENCIAS

- [1] E. Rolf, “Architectural trade-offs in dynamically reconfigurable processors”, Swiss Federal Institute of Technology Zurich, Switzerland, 2004.
- [2] R. Tessier y W. Burleson, “Reconfigurable computing for digital signal processing: A survey”, *J VLSI Signal Process Syst Signal Image Video Technol*, vol. 28, núm. 1–2, 2001, doi: 10.1023/A:1008155020711.
- [3] I. Roman, “Desarrollo de una herramienta para el diseño de sistemas reconfigurables”, Instituto Politécnico Nacional, México D.F., 2009.
- [4] G. Estrin, “Reconfigurable computer origins: The UCLA fixed-plus-variable (F+V) structure computer”, *IEEE Annals of the History of Computing*, vol. 24, núm. 4. 2002. doi: 10.1109/MAHC.2002.1114865.
- [5] K. Murali, S. Sinha, y W. L. Ditto, “Construction of a reconfigurable dynamic logic cell”, en *Pramana - Journal of Physics*, 2005. doi: 10.1007/bf02704569.
- [6] C. Otero, “Adiós a la crisis de los semiconductores, pero en 2023”, *BeTech*, España, el 29 de noviembre de 2021.
- [7] L. Jóźwiak, N. Nedjah, y M. Figueroa, “Modern development methods and tools for embedded reconfigurable systems: A survey”, *Integration, the VLSI Journal*, vol. 43, núm. 1. 2010. doi: 10.1016/j.vlsi.2009.06.002.
- [8] G. Estrin y C. R. Viswanathan, “Organization of a ‘Fixed-Plus-Variable’ Structure Computer for Computation of Eigenvalues and Eigenvectors of Real Symmetric Matrices”, *Journal of the ACM (JACM)*, vol. 9, núm. 1, 1962, doi: 10.1145/321105.321110.
- [9] C. Bobda, *Introduction to reconfigurable computing: Architectures, algorithms, and applications*. 2008. doi: 10.1007/978-1-4020-6100-4.
- [10] F. J. Rammig, “A concept for the editing of hardware resulting in an automatic hardware-editor”, en *Proceedings - Design Automation Conference*, 1977.
- [11] H. Peng, G. Hu, L. Li, Y. Yang, y J. Xiao, “Constructing dynamic multiple-input multiple-output logic gates”, *Math Probl Eng*, vol. 2011, 2011, doi: 10.1155/2011/380345.
- [12] A. Rothenbuhler, T. Tran, E. H. B. Smith, V. Saxena, y K. A. Campbell, “Reconfigurable threshold logic gates using memristive devices”, *Journal of Low Power Electronics and Applications*, vol. 3, núm. 2, 2013, doi: 10.3390/jlpea3020174.

- [13] X. Yuan y W. Liu, "Implementation and improvement of dynamic logic gates based on cellular neural networks", en *Proceedings of the 5th International Workshop on Chaos-Fractals Theories and Applications, IWCFTA 2012*, 2012. doi: 10.1109/IWCFTA.2012.30.
- [14] M. Sharad, D. Fan, y K. Roy, "Ultra-low Energy, High-Performance Dynamic Resistive Threshold Logic", ago. 2013.
- [15] R. L. Boylestad y L. Nashelsky, *Electrónica: teoría de circuitos y dispositivos electrónicos - Robert L. Boylestad, Louis Nashelsky*. 2009.
- [16] R. F. Coughlin y F. F. Driscoll, *Amplificadores operacionales y circuitos integrados lineales*, 5ta ed. Edo. de México: Pearson Hall, 1999.
- [17] M. Morris Mano, *DISEÑO DIGITAL*, 3ra ed. México: Pearson Educación, 2003.
- [18] D. J. López y G. A. Camacho, "Evaluación experimental del contenido armónico en los algoritmos de modulación PWM de inversores trifásicos", Universidad del Cauca, Facultad de ingeniería electrónica y telecomunicaciones, Colombia, Popayán, 2008.
- [19] C. A. Londoño, "Análisis y simulación de algunas estrategias de control SPWM y SVPWM en corriente para un puente inversor", Universidad Tecnológica de Pereira, Colombia, 2008.
- [20] J. A. Estrada, "Modulador PWM en FPGA para un Inversor Multinivel en Cascada", Centro Nacional de Investigación y Desarrollo Tecnológico (CENIDET), Cuernavaca, Morelos, 2009.
- [21] A. Moreno, "Relación Entre el Número de Conmutaciones y la Calidad de la Forma de Onda de Tensión en Inversores Multinivel Asimétricos", Tecnológico Nacional de México, Cuernavaca, Morelos, 2014.
- [22] A. González, "Estudio de Técnicas de Optimización para la Minimización de THD en Inversores Multinivel", Tecnológico Nacional de México, Cuernavaca, Morelos, 2016.
- [23] S. Sinha y W. L. Ditto, "Dynamics based computation", *Phys Rev Lett*, vol. 81, núm. 10, 1998, doi: 10.1103/PhysRevLett.81.2156.
- [24] S. Sinha y W. L. Ditto, "Computing with distributed chaos", *Phys Rev E Stat Phys Plasmas Fluids Relat Interdiscip Topics*, vol. 60, núm. 1, 1999, doi: 10.1103/PhysRevE.60.363.
- [25] T. Munakata, S. Sinha, y W. L. Ditto, "Chaos computing: Implementation of fundamental logical gates by chaotic elements", *IEEE Transactions on Circuits and Systems I: Fundamental Theory and Applications*, vol. 49, núm. 11, 2002, doi: 10.1109/TCSI.2002.804551.

- [26] K. Murali, S. Sinha, y W. L. Ditto, “Implementation of NOR gate by a chaotic Chua’s circuit”, *Int J Bifurcat Chaos*, vol. 13, núm. 9, 2003, doi: 10.1142/S0218127403008053.
- [27] H. Peng, Y. Yang, L. Li, y H. Luo, “Harnessing piecewise-linear systems to construct dynamic logic architecture”, *Chaos*, vol. 18, núm. 3, 2008, doi: 10.1063/1.2953494.
- [28] K. Murali, A. Miliotis, W. L. Ditto, y S. Sinha, “Logic from nonlinear dynamical evolution”, *Physics Letters, Section A: General, Atomic and Solid State Physics*, vol. 373, núm. 15, 2009, doi: 10.1016/j.physleta.2009.02.026.
- [29] D. N. Guerra, A. R. Bulsara, W. L. Ditto, S. Sinha, K. Murali, y P. Mohanty, “A noise-assisted reprogrammable nanomechanical logic gate”, *Nano Lett*, vol. 10, núm. 4, 2010, doi: 10.1021/nl9034175.
- [30] H. Peng, F. Liu, L. Li, Y. Yang, y X. Wang, “Dynamic logic architecture based on piecewise-linear systems”, *Physics Letters, Section A: General, Atomic and Solid State Physics*, vol. 374, núm. 13–14, 2010, doi: 10.1016/j.physleta.2010.01.031.
- [31] L. Li *et al.*, “A reconfigurable logic cell based on a simple dynamical system”, *Math Probl Eng*, vol. 2013, 2013, doi: 10.1155/2013/735189.
- [32] T. Ibrayev, I. Fedorova, A. K. Maan, y A. P. James, “Memristive operational amplifiers”, en *Procedia Computer Science*, 2014. doi: 10.1016/j.procs.2014.11.092.
- [33] R. E. Lozoya, “Celdas Lógicas Reconfigurables”, Universidad Autónoma de San Luis Potosí, San Luis Potosí, México, 2017.
- [34] R. Rivera, “Diseño e implementación de arreglos de compuertas dinámicas programables en campo y su aplicación en redes Booleanas”, Instituto Potosino de Investigación Científica y Tecnológica, A.C., San Luis Potosí, 2018.
- [35] B. Cerda, “Diseño de un Circuito Electrónico para una Red No Linear Celular Reconfigurable”, Universidad Autónoma de San Luis Potosí, San Luis Potosí, México, 2018.
- [36] M. Sarkar, R. Chakraborty, G. S. Taki, y A. K. Chakraborty, “Design of basic logic gates using optical threshold logic”, *Engineering Research Express*, vol. 3, núm. 3, 2021, doi: 10.1088/2631-8695/ac1903.
- [37] K. and D. W. L. and S. S. Murali, “Reconfigurable Noise-Assisted Logic Gates Exploiting Nonlinear Transformation of Input Signals”, *American Physical Society*, vol. 18, núm. 1, jul. 2022.
- [38] E. Bárcenas, “Análisis y desarrollo de un inversor multinivel”, Centro Nacional de Investigación y Desarrollo Tecnológico (CENIDET), Cuernavaca, Morelos, 2002.

- [39] B. Chavarría, “Inversor Multinivel en Cascada Monofásico con control de Balance Energético”, Tecnológico Nacional de México, Cuernavaca, Morelos, México, 2020.
- [40] A. Mendoza, “Diseño de un Acondicionador de Potencia Push - Pull para Fuentes de Energía Renovables (Celdas de Combustible y Solar - Fotovoltaica) ”, Instituto Tecnológico de Chihuahua, Chihuahua, Chih., 2005.
- [41] A. Lizárraga, “Diseño y construcción de un convertidor CD/CA con modulación de ancho de pulso por vector de espacio (MAPVE) en aplicaciones rurales e industriales utilizando celdas fotovoltaicas (solar)”, Instituto Tecnológico de Chihuahua, Chihuahua, Chih., 2005.
- [42] D. R. López, “Inversor trifásico con modulación de ancho de pulso sinusoidal (MAPS) en aplicaciones de fuentes de energía renovables (solar-fotovoltaicas)”, Instituto Tecnológico de Chihuahua, Chihuahua, Chih., 2005.
- [43] L. O. Jáquez, “Prototipo de inversor trifásico por modulación sinusoidal para experimentación e interconexión a la red de distribución eléctrica”, Instituto Tecnológico de Chihuahua, Chihuahua, Chih., 2017.
- [44] E. M. Sáenz, J. P. de la cruz, y H. S. Garzón, “Filtros Pasivos”, en *Fundamentos de circuitos eléctricos II*, 2020. doi: 10.2307/j.ctv16zjj7z.11.
- [45] R. E. Lozoya-Ponce, I. Campos-Cantón, y R. O. Lozoya-Ponce, “Estructura reconfigurable: Comparador/multiplexor/demultiplexor”, *Revista Mexicana de Fisica*, vol. 59, núm. 2, 2013.

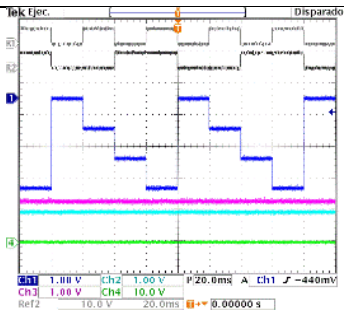
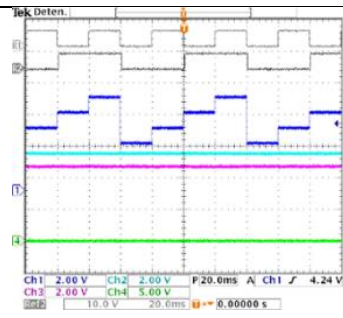
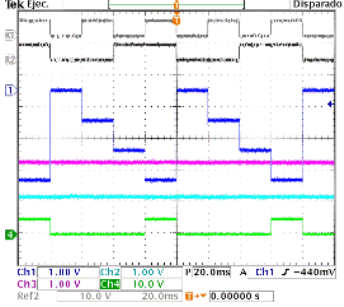
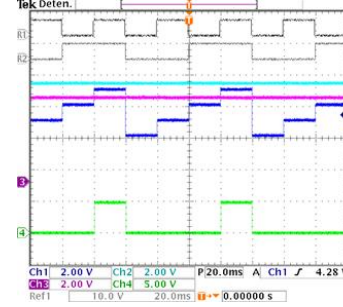
Capítulo 7

ANEXOS Y APÉNDICES

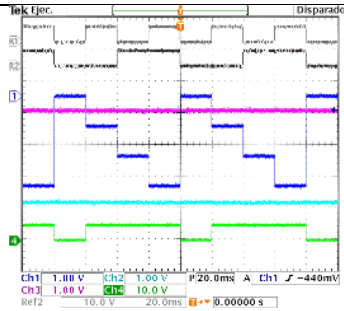
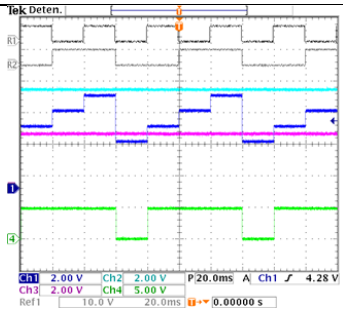
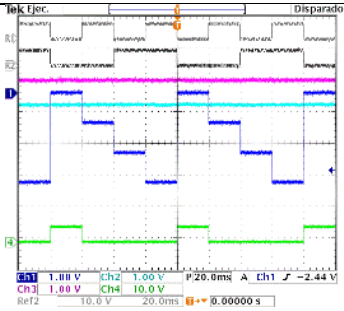
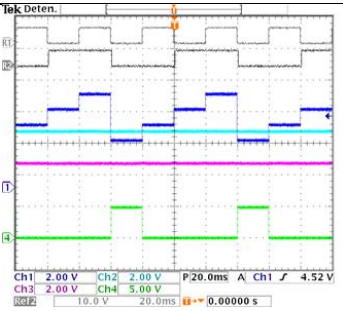
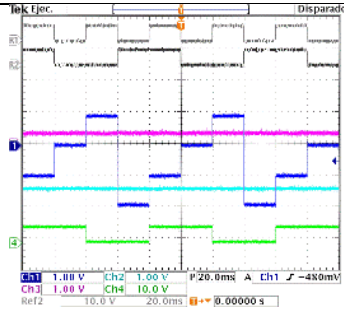
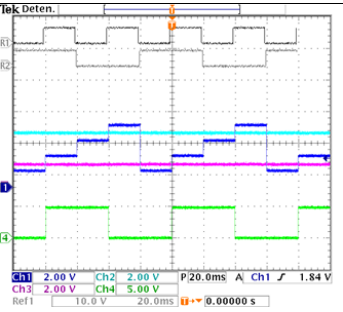
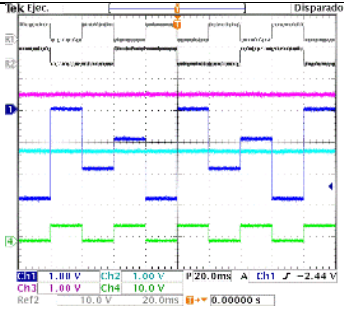
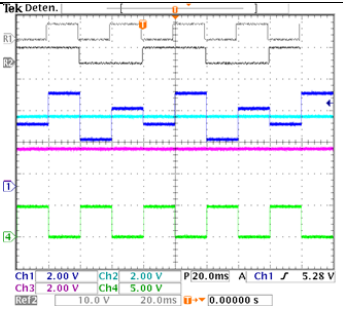
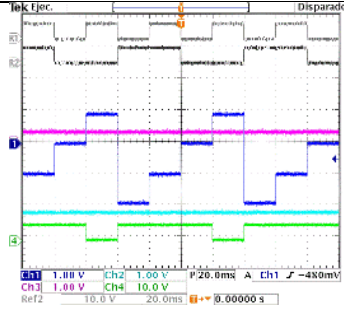
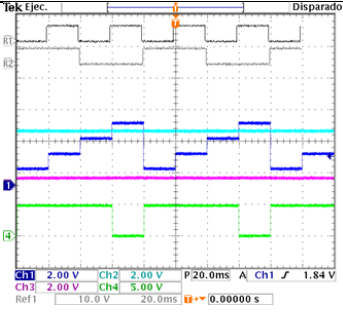
En esta sección, se brinda una extensión del cuerpo del trabajo para obtener una visión integral de los acontecimientos.

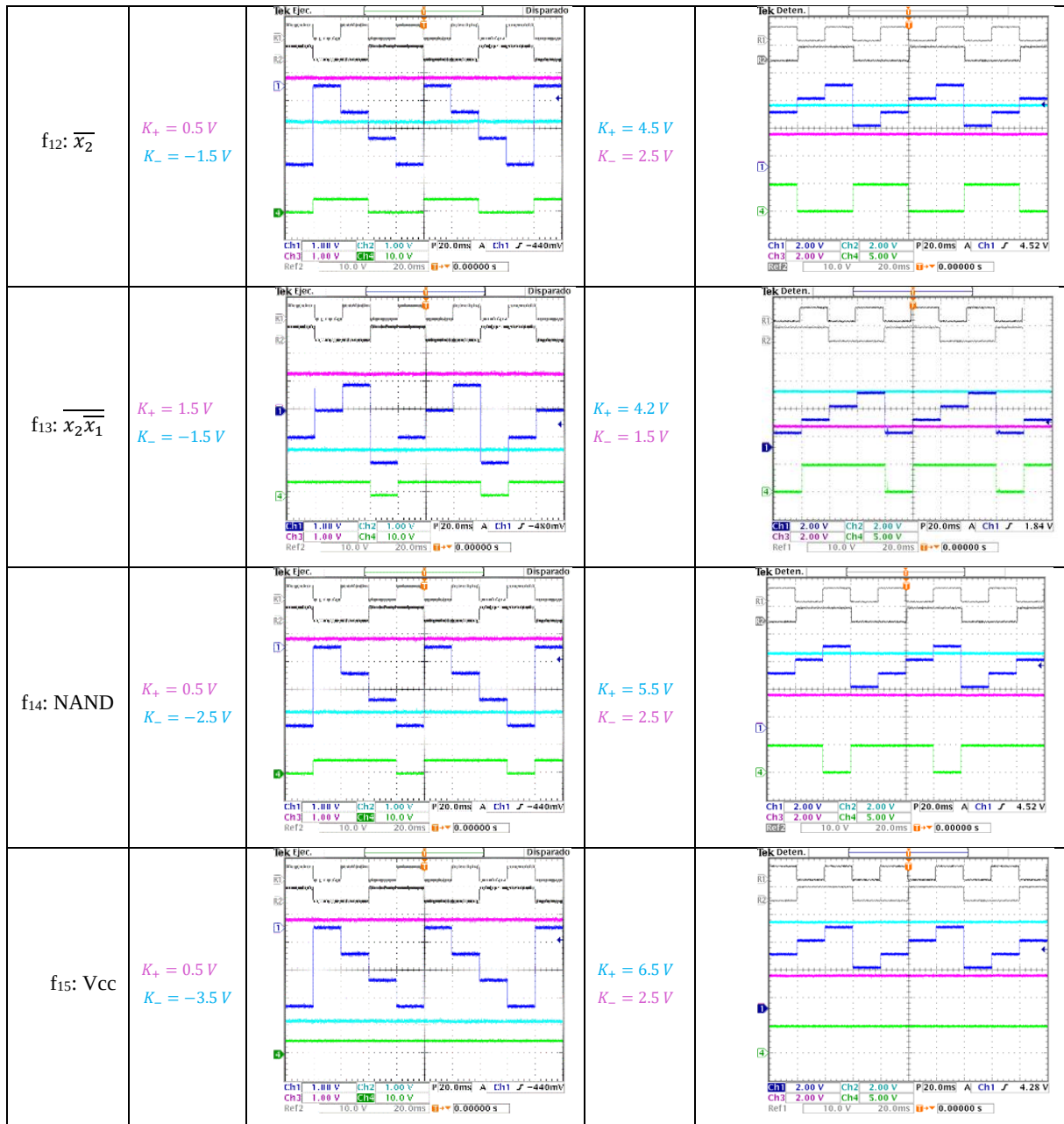
La Tabla 7.1 contiene la obtención de las 16 compuertas con las dos tarjetas realizadas, como ventaja de la NCLR es que solo utiliza fuentes de voltaje positivas, mientras la CLR necesita en su mayoría voltajes negativos, pero en ciertas compuertas como la f_8 correspondiente a la compuerta NOR, necesita voltaje positivo. Además, para las compuertas que necesita el uso de una ganancia negativa, es decir, en f_9 , f_{11} y f_{13} , con la CLR se utilizó un arreglo externo a la tarjeta, mientras que la NCLR tiene ganancias negativas disponibles, por lo que no necesita este arreglo externo.

Tabla 7.1 Obtención de compuertas con ambas tarjetas.

Compuerta		CLR		NCLR
f_0 : GND	$K_+ = -3.5\text{ V}$ $K_- = -4\text{ V}$		$K_+ = 2.5\text{ V}$ $K_- = 2\text{ V}$	
f_1 : AND	$K_+ = -2.5\text{ V}$ $K_- = -3.5\text{ V}$		$K_+ = 6.5\text{ V}$ $K_- = 5.5\text{ V}$	

$f_2: x_2 \bar{x}_1$	$K_+ = -1.5 V$ $K_- = -2.5 V$		$K_+ = 5.5 V$ $K_- = 4.5 V$	
$f_3: x_2$	$K_+ = -1.5 V$ $K_- = -3.5 V$		$K_+ = 6.5 V$ $K_- = 4.5 V$	
$f_4: \bar{x}_2 x_1$	$K_+ = -0.5 V$ $K_- = -1.5 V$		$K_+ = 4.5 V$ $K_- = 3.5 V$	
$f_5: x_1$	$K_+ = -1.5 V$ $K_- = -3.5 V$		$K_+ = 6.5 V$ $K_- = 4.5 V$	
$f_6: \text{XOR}$	$K_+ = -0.5 V$ $K_- = -2.5 V$		$K_+ = 5.5 V$ $K_- = 3.5 V$	

f_7 : OR	$K_+ = -0.5\text{ V}$ $K_- = -3.5\text{ V}$		$K_+ = 6.5\text{ V}$ $K_- = 3.5\text{ V}$	
f_8 : NOR	$K_+ = 0.5\text{ V}$ $K_- = -3.5\text{ V}$		$K_+ = 3.5\text{ V}$ $K_- = 2\text{ V}$	
f_9 : XNOR	$K_+ = 0.5\text{ V}$ $K_- = -1.5\text{ V}$		$K_+ = 3.5\text{ V}$ $K_- = 1.5\text{ V}$	
f_{10} : $\overline{x_1}$	$K_+ = 0.5\text{ V}$ $K_- = -1.5\text{ V}$		$K_+ = 2.5\text{ V}$ $K_- = 4.5\text{ V}$	
f_{11} : $\overline{x_2 x_1}$	$K_+ = 0.5\text{ V}$ $K_- = -2.5\text{ V}$		$K_+ = 3.5\text{ V}$ $K_- = 0.5\text{ V}$	



La Figura 7.1 exhibe el armado completo de la ALU a una escala mayor que la mostrada en la sección 3.5.

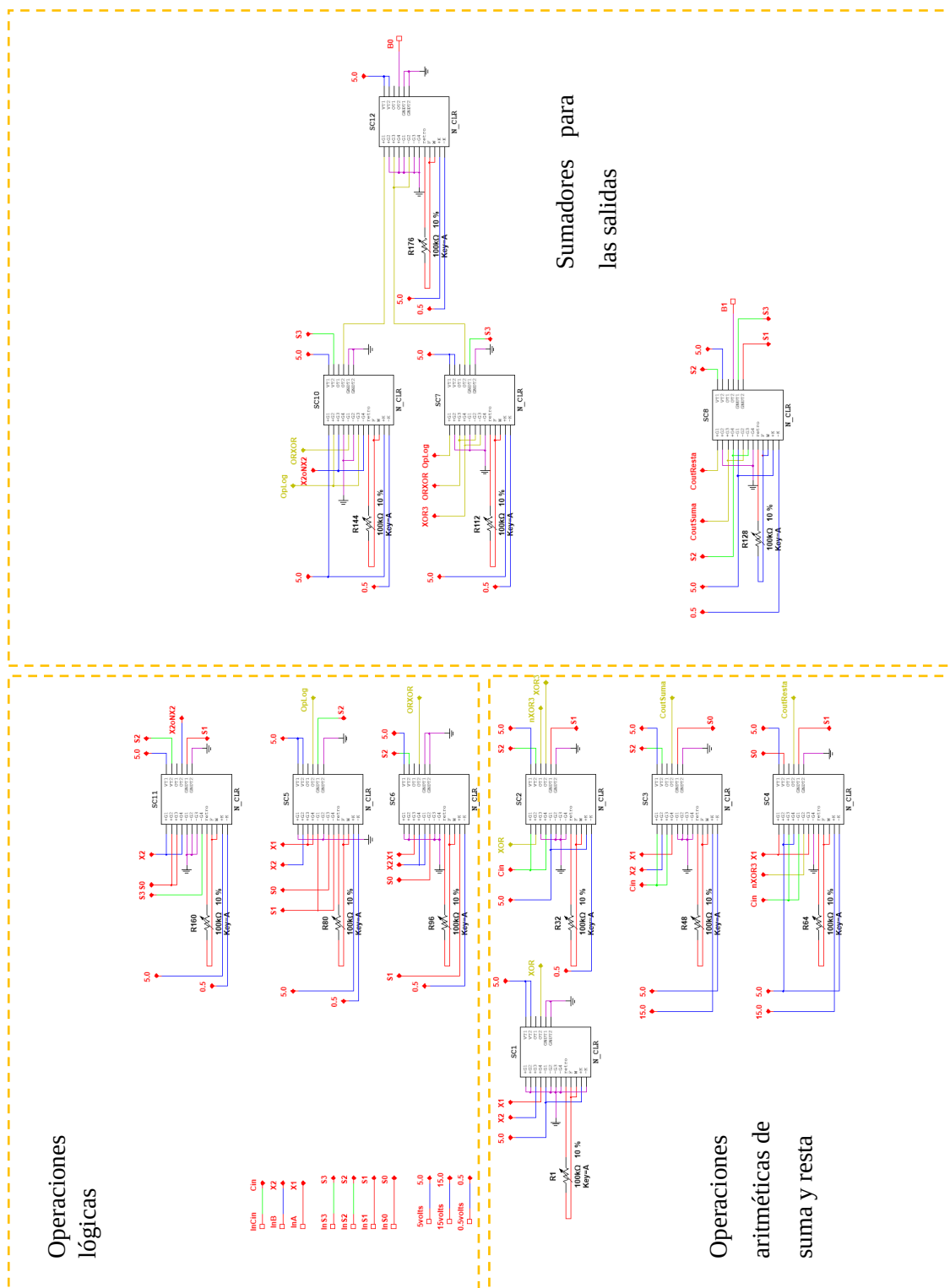


Figura 7.1 ALU de 1 bit utilizando 11 NCLRs.

Para la aplicación de la técnica SPMW, se utilizaron distintos parámetros en cuanto niveles (3, 5, 7 y 9) y frecuencias utilizadas para las portadoras (600 Hz, 1200 Hz, 1800 Hz, 2400 Hz y 3000 Hz), mientras que la señal moduladora se mantuvo en 60 Hz. La Tabla 7.2 contiene el acomodo de las señales triangulares en osciloscopio para obtener los distintos niveles, mientras que desde la Tabla 7.3 a la 7.6 se muestran las reconstrucciones de las señales senoidales en osciloscopio junto con el índice THD obtenido en el analizador de calidad de la energía.

Tabla 7.2 Portadoras.

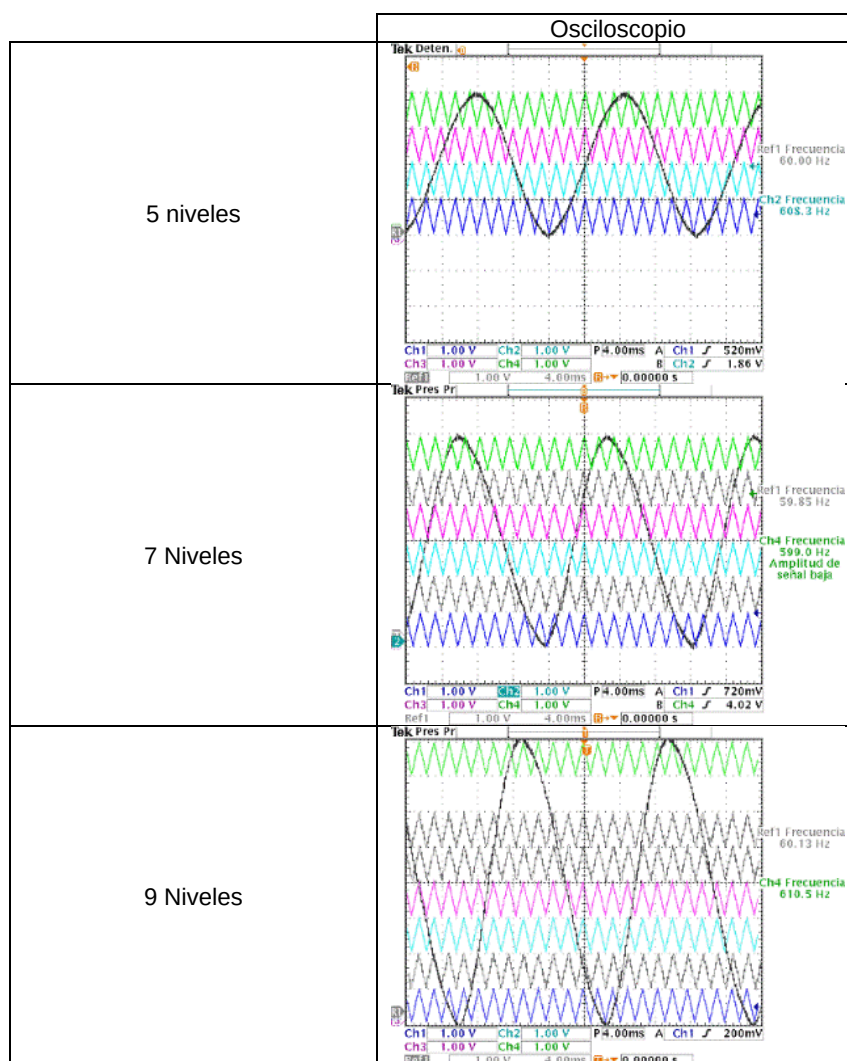


Tabla 7.3 Resultados con 3 niveles en modo PD.

Descripción	Resultados en osciloscopio	Resultados en analizador
3 niveles modo PD con portadoras de 600Hz		
3 niveles modo PD con portadoras de 1200Hz		
3 niveles modo PD con portadoras de 1800Hz		
3 niveles modo PD con portadoras de 2400Hz		
3 niveles modo PD con portadoras de 3000Hz		

Tabla 7.4 Resultados con 5 niveles en modo PD.

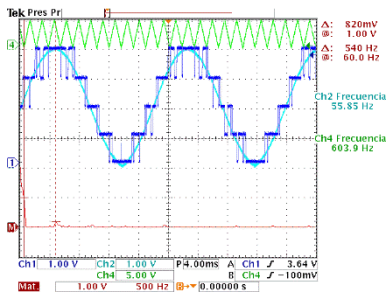
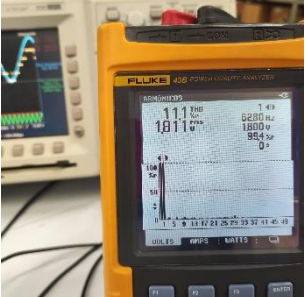
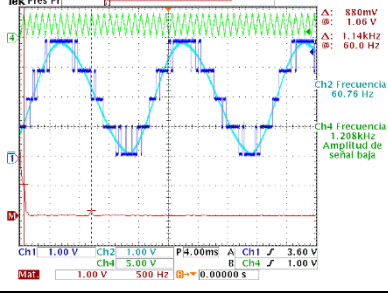
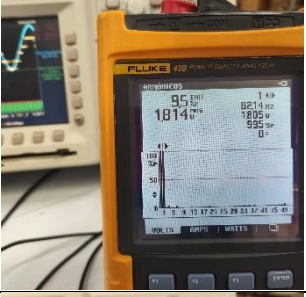
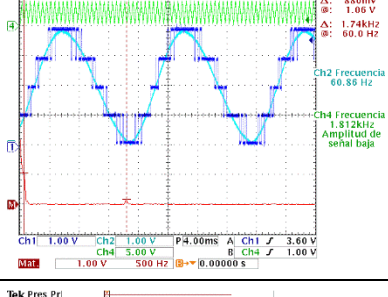
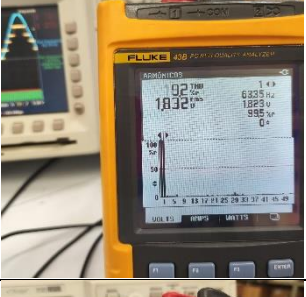
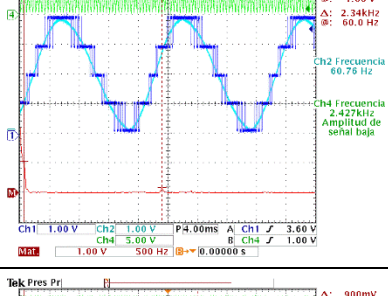
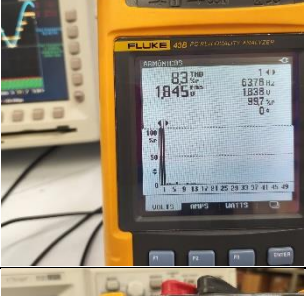
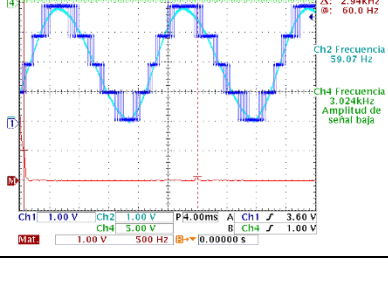
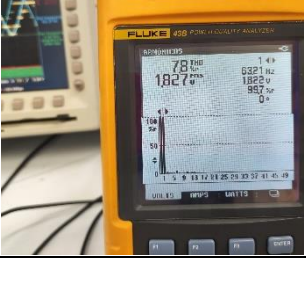
Descripción	Resultados en osciloscopio	Resultados en analizador
5 niveles modo PD con portadoras de 600Hz		
5 niveles modo PD con portadoras de 1200Hz		
5 niveles modo PD con portadoras de 1800Hz		
5 niveles modo PD con portadoras de 2400Hz		
5 niveles modo PD con portadoras de 3000Hz		

Tabla 7.5 Resultados con 7 niveles en modo PD.

Descripción	Resultados en osciloscopio	Resultados en analizador
7 niveles modo PD con portadoras de 600Hz		
7 niveles modo PD con portadoras de 1200Hz		
7 niveles modo PD con portadoras de 1800Hz		
7 niveles modo PD con portadoras de 2400Hz		
7 niveles modo PD con portadoras de 3000Hz		

Tabla 7.6 Resultados con 9 niveles en modo PD.

Descripción	Resultados en osciloscopio	Resultados en analizador
9 niveles modo PD con portadoras de 600Hz		
9 niveles modo PD con portadoras de 1200Hz		
9 niveles modo PD con portadoras de 1800Hz		
9 niveles modo PD con portadoras de 2400Hz		
9 niveles modo PD con portadoras de 3000Hz		