



EDUCACIÓN
SECRETARÍA DE EDUCACIÓN PÚBLICA



TECNOLÓGICO
NACIONAL DE MÉXICO

Tecnológico Nacional de México

**Centro Nacional de Investigación
y Desarrollo Tecnológico**

TESIS DE DOCTORADO

**Desacoplamiento activo en sistemas conectados a
red: Capacitores Conmutados Apilados**

presentada por

M. C. Omar Rodríguez Benítez

como requisito para la obtención del grado de
Doctor en Ciencias en Ingeniería Electrónica

Director de tesis

Dr. Mario Ponce Silva

Codirector de tesis

Dr. Ricardo Eliu Lozoya Ponce

Cuernavaca, Morelos, México. Enero de 2026.

 Centro Nacional de Investigación y Desarrollo Tecnológico	ACEPTACIÓN DE IMPRESIÓN DEL DOCUMENTO DE TESIS DOCTORAL		Código: CENIDET-AC-006-D20
			Revisión: 0
	Referencia a la Norma ISO 9001:2008 7.1, 7.2.1, 7.5.1, 7.6, 8.1, 8.2.4		Página 1 de 1

Cuernavaca, Mor., a 12 de enero de 2026

Dr. Carlos Manuel Astorga Zaragoza
Subdirector Académico
Presente

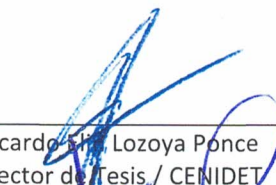
At'n: Dr. Juan Reyes Reyes
Presidente del Claustro Doctoral
del Departamento De Ingeniería Electrónica

Los abajo firmantes, miembros del Comité Tutorial del estudiante **OMAR RODRIGUEZ BENITEZ** manifiestan que después de haber revisado el documento de tesis titulado **"ANÁLISIS AL USO DE CAPACITORES CONMUTADOS APILADOS APLICADOS A SISTEMAS FOTOVOLTAICOS INTERCONECTADOS A LA RED ELECTRICA"**, realizado bajo la dirección del **Dr. Mario Ponce Silva** y la codirección del **Dr. Ricardo Eliú Lozoya Ponce**, el trabajo se ACEPTA para proceder a su impresión.

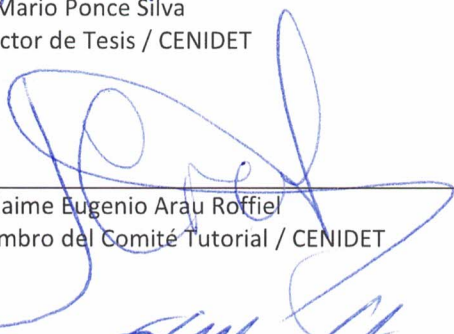
ATENTAMENTE



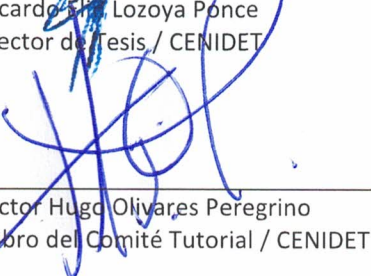
Dr. Mario Ponce Silva
Director de Tesis / CENIDET



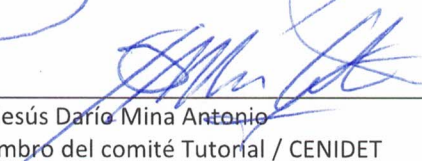
Dr. Ricardo Eliú Lozoya Ponce
Codirector de Tesis / CENIDET



Dr. Jaime Eugenio Arau Roffiel
Miembro del Comité Tutorial / CENIDET



Dr. Víctor Hugo Olivares Peregrino
Miembro del Comité Tutorial / CENIDET



Dr. Jesús Darío Mina Antonio
Miembro del comité Tutorial / CENIDET

c.c.p: Mtra. Verónica Sotelo Boyas/ jefa del Departamento de Servicios Escolares.
c.c.p: Dr. Jarniel García Morales / jefe del Departamento de Ingeniería Electrónica.
c.c.p: Expediente.



Centro Nacional de Investigación y Desarrollo Tecnológico
Subdirección Académica

Cuernavaca Mor, **14/enero/2026**

Oficio No. SAC/007/2026

Asunto: Autorización de impresión de tesis

OMAR RODRIGUEZ BENITEZ
CANDIDATO AL GRADO DE DOCTOR EN CIENCIAS
EN INGENIERÍA ELECTRÓNICA
P R E S E N T E

Por este conducto, tengo el agrado de comunicarle que el Comité Tutorial asignado a su trabajo de tesis titulado **"ANÁLISIS AL USO DE CAPACITORES CONMUTADOS APILADOS APLICADOS A SISTEMAS FOTOVOLTAICOS INTERCONECTADOS A LA RED ELÉCTRICA"**, ha informado a esta Subdirección Académica, que están de acuerdo con el trabajo presentado. Por lo anterior, se le autoriza a que proceda con la impresión definitiva de su trabajo de tesis.

Esperando que el logro del mismo sea acorde con sus aspiraciones profesionales, reciba un cordial saludo.

ATENTAMENTE

Excelencia en Educación Tecnológica®

"Conocimiento y Tecnología al servicio de México"

CARLOS MANUEL ASTORGA ZARAGOZA
SUBDIRECTOR ACADÉMICO



c.c.p. Departamento de Ingeniería Electrónica
Departamento de Servicios Escolares

CMAZ/lmz



2026
año de
Margarita
Maza

cenidet
Centro Nacional de Investigación
y Desarrollo Tecnológico



Interior Internado Palmira S/N, Col. Palmira,
C.P. 62490, Cuernavaca, Morelos Tel. 01 (777) 3627770, ext. 4106,
e-mail: acad_cenidet@tecnm.mx | cenidet.tecnm.mx

Dedicatoria

Para mi esposa,
cuyo amor ha sido brújula, refugio y
raíz.

Y para mis hijos,
que transforman el tiempo en tesoro
y la vida en un acto de significado
infinito.

Este trabajo es para ustedes,
porque en cada esfuerzo, cada duda y
cada logro,
siempre estuvieron presentes como mi
mayor motivación.

Agradecimientos

A mis padres, por enseñarme que la constancia abre caminos y que la fortaleza se construye con trabajo y amor.

A mi hermano, cuya presencia ha sido un regalo invaluable. Gracias por acompañarme siempre y por tu apoyo incondicional.

A mi esposa y mis hijos, por su amor, respaldo y por dar sentido a cada esfuerzo.

A mi asesor, el Dr. Mario Ponce Silva, por su guía y la confianza depositada en mí durante el desarrollo de este trabajo. Su orientación ha sido fundamental para concluir este proyecto.

A mi codirector, el Dr. Ricardo Eliú Lozoya Ponce, por sus valiosas aportaciones, su calidez y su disposición constante.

A mi comité revisor:

Dr. Jesús Darío Mina Antonio, por sus observaciones precisas y constructivas; el Dr. Jaime Eugenio Araú Roffiel, por su perspectiva crítica y sus sugerencias para enriquecer la calidad académica del documento, al Dr. Víctor Hugo Olivares Peregrino, por su acompañamiento y comentarios que contribuyeron significativamente a la solidez del trabajo.

A mis amigos Juan, Erick, Óscar, Kenia, Rafa y Oswi, cuya alegría y compañía hicieron este camino más ligero. Gracias por las risas y por estar siempre en el momento justo.

Al TecNM/CENIDET, por abrirme sus puertas, por el espacio académico que me permitió crecer y por ofrecerme un lugar donde la investigación se convierte en vocación.

Al CONAHCYT, por el apoyo económico brindado durante mis estudios y por hacer posible que este proyecto se desarrollara con dedicación plena. Su respaldo ha sido fundamental para recorrer este camino y para seguir avanzando hacia lo que venga.

A todos, gracias por caminar conmigo hasta aquí.

Resumen

En esta tesis se presenta un sistema de desacoplamiento activo basado en capacitores conmutados apilados (SSC) integrado a un convertidor Cuk con puerto de corriente alterna (CA), con el fin de reducir las fluctuaciones de potencia a doble frecuencia y mejorar la estabilidad del bus de corriente continua (CD) en aplicaciones CD-CA compactas. El desarrollo se llevó a cabo mediante simulaciones detalladas en PSPICE, empleando distintos arreglos capacitivos y comparando el desempeño del sistema con arquitecturas tradicionales basadas en capacitores electrolíticos, así como con soluciones reportadas en la literatura reciente.

Los resultados muestran que la topología SSC es capaz de reemplazar un capacitor electrolítico de 600 μF por un arreglo modular de cuatro capacitores de 15 μF , manteniendo un rizo de voltaje menor al 5%, un voltaje estable de 210 V y una potencia alternante de aproximadamente 370 W a 120 Hz. La versión mejorada del SSC, basada en un rediseño con regresión de energía, alcanza una capacitancia equivalente de 36 μF , reduce el volumen pasivo, disminuye la resistencia serie y mejora la eficiencia energética del sistema.

Así mismo, se realizó una comparación técnica con diferentes topologías de microinversores reportadas en la literatura, destacando que el SSC logra una eficiencia del 94% con solo 10 dispositivos de conmutación, ofreciendo una alternativa compacta, robusta y de elevada densidad energética. Los resultados confirman que la arquitectura SSC proporciona una gestión efectiva del flujo energético y una respuesta dinámica superior frente a las variaciones de potencia, consolidándose como una opción viable para sistemas monofásicos conectados a red donde el volumen, el costo y la fiabilidad son factores críticos.

Finalmente, la tesis establece las bases para el desarrollo de sistemas de desacoplamiento activo más eficientes, proponiendo líneas de investigación futuras que incluyen prototipado experimental, nuevos materiales dieléctricos y estrategias de control avanzado para potenciar el desempeño del SSC en aplicaciones de electrónica de potencia de próxima generación.

Abstract

This thesis proposes, models, and validates an active power decoupling system based on Stacked Switched Capacitors (SSC) integrated into a Ćuk converter with an AC port, aiming to mitigate double-frequency power oscillations and enhance the stability of the DC bus in compact DC–AC applications. The system was analyzed through detailed PSPICE simulations, which evaluated different capacitor configurations and compared their performance with that of conventional electrolytic-based decoupling stages and recent approaches reported in the literature.

The results demonstrate that the SSC topology can replace a 600 μF electrolytic capacitor with a modular arrangement of four 15 μF capacitors, while maintaining a voltage ripple below 5%, a stable output voltage of 210 V, and an alternating power of approximately 370 W at 120 Hz. The improved SSC version, designed using an energy-regression approach, achieves an equivalent capacitance of 36 μF , reduces passive volume, lowers ESR, and increases the overall energy efficiency of the system.

A technical comparison with state-of-the-art microinverter topologies reveals that the SSC achieves 94% efficiency using only 10 switching devices, offering a compact, robust, and high-power-density alternative. The results confirm that the SSC architecture enables effective energy flow management and superior dynamic response under power pulsations, making it a viable solution for single-phase grid-connected converters where size, cost, and reliability are critical factors.

This thesis lays the groundwork for the future development of advanced active decoupling systems and outlines several potential research directions, including experimental prototyping, the use of advanced dielectric materials, and the implementation of modern control strategies further to enhance SSC performance in next-generation power electronic applications.

Contenido

Dedicatoria	ii
Agradecimientos	iii
Resumen	iv
Abstract	v
Contenido	vi
Listado de figuras	ix
Listado de tablas	xi
Acrónimos	xii
Nomenclatura	xiii
Capítulo 1. Introducción	1
1.1. Antecedentes	1
1.1.1 Efectos de la fluctuación de voltaje	2
1.1.2 Métodos Pasivos	3
1.1.3 Esquemas convencionales reportados	3
1.1.4 Métodos Activos	4
1.1.5 Desacoplamiento de potencia activa con capacitores conmutados apilados (SSC)..	5
1.1.6 Configuración unipolar	6
1.1.7 Configuración bipolar.....	7
1.1.8 Arquitecturas SSC en sistema de desacoplamiento	7
1.1.9 Desacoplamiento de potencia activa con capacitancia variable (VCAPD)	10
1.2 Inversor integrado con puerto de rizo (RP-MII).....	15
1.2.1 Configuraciones del RP-MII.....	16
1.2.3 Topologías avanzadas del RP-MII	18
1.2.4 Comparativa de desempeño del RP-MII	20
1.2.5 Comparación de las arquitecturas	21
1.3 Planteamiento del problema	22

1.4 Hipótesis.....	23
1.5 Objetivos	23
1.5.1 Objetivo general.....	23
1.5.2 Objetivos específicos	23
1.6 Justificación.....	23
1.7 Metodología de desarrollo	24
1.8 Contribución	25
1.9 Limitaciones del trabajo de tesis	26
1.9.1 Contenido del documento de tesis.....	27
Capítulo 2. Marco Teórico	28
2.1 Fundamentos de los sistemas electrónicos de potencia	28
2.1.2 Estructura y limitaciones de los capacitores electrolíticos.....	29
2.1.3 Avance en materiales y nuevas configuraciones de capacitores	30
2.1.4 Materiales de los electrodos	30
2.1.5 Electrolitos sólidos y poliméricos	31
2.1.6 Electrolitos híbridos y alternativos	31
2.1.7 De la mejora de materiales a la reconfiguración arquitectónica	31
2.1.8 Principio de funcionamiento del desacoplamiento activo	31
2.1.9 Arquitectura SSC	32
2.2 Estructura general de la arquitectura.....	32
2.2.1 Clasificación de la arquitectura.....	32
2.2.2 Principio de operación	33
Capítulo 3. Diseño del sistema propuesto	35
3.1 Impacto de la regresión de energía en el dimensionamiento del capacitor de enlace CD (DC-link) y consideraciones para la arquitectura	35
3.1.1 Consideraciones para la arquitectura.....	36
Capítulo 4. Resultados.....	38
4.1 Caso de estudio: convertidor Cuk.....	38

4.2 Resultados de simulación del convertidor Cuk.....	39
4.3 Operación del convertidor Cuk con puerto de CA.....	40
4.4 Resultados de simulación del convertidor Cuk con la arquitectura SSC	42
Capítulo 5. Conclusiones.....	50

Listado de figuras

Figura 1. Esquema convencional de un panel conectado a red [6].....	1
Figura 2. Clasificación de las técnicas de desacoplamiento [19].	3
Figura 3. Esquema básico de la arquitectura SSC [46].	5
Figura 4. Arquitecturas: (a) unipolar, (b) bipolar.	6
Figura 5. Arquitectura bipolar reportada.	8
Figura 6. Arquitectura SSC completo.....	8
Figura 7. Esquema de la arquitectura VCAPD [58].	11
Figura 8. Almacenamiento de energía en modo bipolar.....	12
Figura 9. Sistema con doble capacitor.....	12
Figura 10. Almacenamiento con inversor puente completo.	13
Figura 11. Sistema VCAPD: a) VCAPD ordinario, b) circuito equivalente.	13
Figura 12. Sistema de control en El VCAPD.	14
Figura 13. VCAPD aplicado un inversor fotovoltaico [63].....	14
Figura 14. Estructura general del RP-MII.	16
Figura 15. Enfoques de conexión del puerto de rizo [67].	17
Figura 16. Inversor de enlace con puerto de rizo integrado.	17
Figura 17. RP-MII aplicado a un convertidor flyback.....	18
Figura 18. RP-MII multipuerto.....	19
Figura 19. Puerto de rizo en convertidor flyback.	19
Figura 20. Modo carga y descarga del RP-MII.	20
Figura 21. Esquema a bloques presentado en [72].	20
Figura 22. Esquema de la arquitectura SSC.	22
Figura 23. Fallas en sistemas conectados a red.	24
Figura 24. Potencia instantánea en los puertos de CD y CA.....	28
Figura 25. Estructura interna de un capacitor electrolítico de aluminio [76].	29
Figura 26. Esquema de la arquitectura SSC [85].....	32
Figura 27. Arquitectura unipolar.	33
Figura 28. Arquitectura SSC bipolar.	33

Figura 29. Operación de los capacitores [88].	34
Figura 30. Flujos de corriente en el enlace [91].	35
Figura 31. Voltajes iniciales y finales [88].	37
Figura 32. Convertidor Cuk.	40
Figura 33. Resultado del convertidor Cuk.	40
Figura 34. Convertidor Cuk operando con puerto de CA.	41
Figura 35. Potencia de CA.	41
Figura 36. Rizo de voltaje en el enlace.	42
Figura 37. Convertidor Cuk con arquitectura SSC unipolar.	43
Figura 38. Potencia en CA.	44
Figura 39. Rizo de voltaje en el bus de CD.	44
Figura 40. Voltaje en el bus de CD	46
Figura 41. Potencia en CA.	46

Listado de tablas

Tabla 1. Efectos de la ondulación de potencia de CA.	2
Tabla 2. Revisión de sistemas pasivos	4
Tabla 3. Principales arquitecturas SSC reportadas en la bibliografía; (η) eficiencia, (V_{pp}) Tensión de ondulación de salida, (R_c) Capacitancia requerida, (R_{ec}) Capacitancia resultante, (R_{edc}) Reducción de la capacitancia.....	9
Tabla 4. Características generales del método SSC aplicado al APD	10
Tabla 5. Arquitecturas VCAPD reportadas en la literatura.	15
Tabla 6. RP-MII reportados en la literatura.....	21
Tabla 7. Parámetros de diseño	38
Tabla 8. Metodología de diseño	39
Tabla 9. Parámetros de diseño del sistema SSC.....	42
Tabla 10. Metodología de diseño para el sistema SSC.	43
Tabla 11. Parámetros de diseño del sistema SSC.....	45
Tabla 12. Metodología de diseño para el sistema SSC.	45
Tabla 13. Energía en las diferentes arquitecturas de enlace [92].	47
Tabla 14. Comparativa con topologías recietes.....	48

Acrónimos

CD	Corriente directa.
CA	Corriente alterna.
FV	Fotovoltaico.
MPPT	Seguimiento del punto de máxima potencia, por sus siglas en inglés <i>Maximum Power Point Tracking</i> .
CSC	Convertidor Fuente de corriente, por sus siglas en inglés <i>Current Source Converter</i> .
VCAPD	Desacoplamiento activo mediante capacitancia variable.
SSC	Capacitores conmutados apilados por sus siglas en inglés <i>Stacked Switched Capacitors</i> .
RP-MII	Inversor integrado con puerto de rizo.
PPD	Desacoplamiento pasivo por sus siglas en inglés <i>Passive Power Decoupling</i> .
APD	Desacoplamiento activo por sus siglas en inglés <i>Active Power Decoupling</i> .
EBR	Relacion de amortiguamiento de energía por sus siglas en inglés <i>Energy Buffering Ratio</i> .
ESR	Resistencia serie equivalente por sus siglas en inglés <i>Equivalent Series Resistance</i> .
PWM	Modulación por ancho de pulsos, por sus siglas en inglés <i>Pulse Width Modulation</i> .
THD	Distorsión armónica total, por sus siglas en inglés <i>Total Harmonic Distortion</i> .
VSI	Inversor fuente de voltaje, por sus siglas en inglés <i>Voltage Source Inverter</i> .
PLL	Lazo de fijación de fase, por sus siglas en inglés <i>Phase Locked Loop</i> .

Nomenclatura

C_p	Capacitor de acoplamiento
C_e	Capacitor de enlace
L	Inductor del filtro
E_{cap}	Capacitor electrolítico
C_n	Capacitor principal arquitectura unipolar
S_1	Interruptor del bloque principal
C_1	Capacitor principal
S_2, S_m	Interruptores de soporte
$S_{H1}...S_{H4}$	Interruptores del puente H del bloque de soporte
C_{1b}	Capacitor principal arquitectura bipolar
C_{2b}	Capacitor de soporte arquitectura bipolar
R_s	Resistencia de la fuente
C_2, C_m	Capacitores de soporte
S_{p2}	Interruptor del circuito de precarga
C_{21}	Capacitor de precarga
T_b	Relación de amortiguamiento
R_v	Relación de ondulación
V_{max}	Voltaje máximo del bus de CD
V_{min}	Voltaje mínimo del bus de CD
V_{nom}	Voltaje nominal del bus de CD

T_5, T_6	Rama adicional al puente H
n	Número de capacitores principales
m	Número de capacitores de soporte
V_{bus}	Voltaje del bus de CD
P	Potencia
V_{pp}	Voltaje de ondulación de salida
R_c	Capacitancia requerida
R_{cc}	Capacitancia resultante
R_{edc}	Reducción de la capacitancia
R_v	Relación de ondulación
L_c	Inductor de suavizado
L_b	Inductor de la fase b
L_a	Inductor de la fase a
V_{lc}	Voltaje en el inductor de la fase c
V_{lb}	Voltaje en el inductor de la fase b
V_{la}	Voltaje en el inductor de la fase a
C_{cx}	Capacitor variable
V_{cx}	Voltaje en el capacitor variable
C_{cd}	Capacitor de enlace en VCAPD
i_a	Corriente en la fase a
i_b	Corriente en la fase b
L_{ac}, C_{ac}	Carga en el inversor
i_c	Corriente en la fase c
η	Eficiencia

Capítulo 1. Introducción

1.1. Antecedentes

El creciente interés por la generación de energía mediante fuentes renovables ha impulsado el desarrollo de sistemas eléctricos más eficientes, confiables y sostenibles. Entre estas tecnologías, la energía solar fotovoltaica (FV) se ha consolidado como una de las alternativas más prometedoras, debido a la disminución en los costos de los módulos, la facilidad de instalación y su amplia adaptabilidad a diferentes escalas, desde aplicaciones residenciales hasta plantas de gran capacidad [1, 2].

Los sistemas fotovoltaicos pueden clasificarse principalmente en autónomos y conectados a red [3]. Los primeros operan de manera independiente del sistema eléctrico convencional, empleando baterías para almacenar la energía generada y garantizar su disponibilidad cuando no hay irradiación solar [4]. En cambio, los sistemas conectados a red se integran directamente con la red eléctrica, lo que permite al usuario consumir la energía generada y, en caso de excedente, inyectarla al sistema público de distribución [5].

Una aplicación típica de paneles fotovoltaicos interconectados a red, se muestra en la Figura 1. La primera etapa incluye un capacitor (C_p) de acoplamiento que atenúa las ondulaciones de baja frecuencia en la salida del panel. La segunda etapa corresponde a un convertidor CD-CD, que eleva el nivel de voltaje generado para adaptarlo a las siguientes etapas. La tercera etapa es un capacitor de desacoplamiento (C_e), que típicamente utiliza un capacitor electrolítico para almacenar la energía asociada a las ondulaciones generadas durante la conversión de corriente directa a corriente alterna. La cuarta etapa es un inversor CD-CA, encargado de convertir la señal de corriente directa en corriente alterna para su inyección a la red. Finalmente, la quinta etapa es un filtro L , diseñado para suavizar la señal sinusoidal y garantizar que cumpla con los estándares de calidad antes de ser alimentada a la red eléctrica.

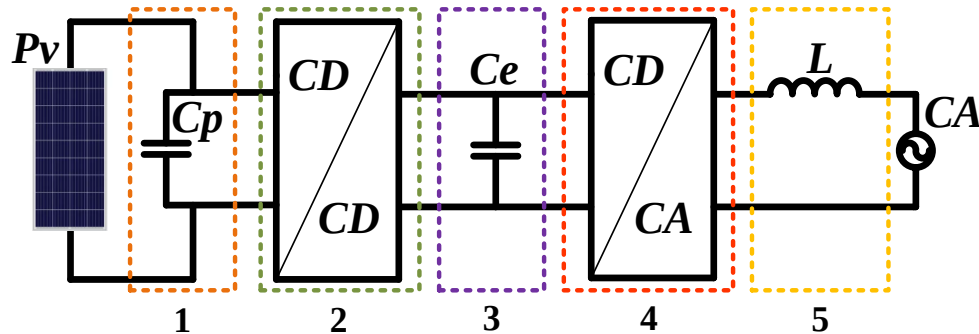


Figura 1. Esquema convencional de un sistema conectado a red [6].

En la etapa de enlace de corriente directa (CD) (etapa 3), los capacitores electrolíticos se utilizan comúnmente para almacenar energía y estabilizar las fluctuaciones de voltaje. No obstante, estos componentes presentan limitaciones que afectan directamente el rendimiento del sistema. Entre ellas se incluyen la baja vida útil, el gran volumen físico, la restricción térmica y la disminución de la eficiencia energética. Además, su degradación se ve acelerada

por el sobrevoltaje y las altas temperaturas de operación, ya que, por cada incremento de 10 °C, la vida útil del capacitor se reduce aproximadamente a la mitad [7].

A pesar de los avances en nuevos materiales y electrolitos, los capacitores electrolíticos continúan siendo un punto crítico en los sistemas de conversión de potencia [8-10]. Estas limitaciones no solo incrementan los costos de mantenimiento, sino que también reducen la confiabilidad del sistema y dificultan la implementación de arquitecturas compactas y de larga vida operativa.

1.1.1 Efectos de la fluctuación de voltaje

Las ondulaciones de potencia presentes en el enlace de CD afectan la estabilidad del sistema y la calidad de la energía inyectada a la red [11]. Diversos estudios han propuesto estrategias de desacoplamiento de potencia, tanto pasivas como activas, con el fin de mitigar dichas fluctuaciones y extender la vida útil de los componentes. La Tabla 1 resume algunos de los efectos más relevantes de la ondulación en distintas partes del sistema.

Tabla 1. Efectos de la ondulación de potencia de CA.

Sistema	Efecto en el sistema	Causa y restricción	Referencia
Capacitor de enlace	Baja vida útil del capacitor	Gran resistencia serie equivalente	[12]
MPPT	Baja eficiencia	Alto rizo de oscilación	[13]
Baterías	Afectan a los electrodos y al electrolito	Calentamiento por histéresis	[14]
LEDs	Efecto de “Flicker”, fatiga visual.	El parpadeo debe limitarse al 10%	[15]

Para reducir el excedente de energía en el componente de enlace en aplicaciones interconectadas a la red eléctrica, los métodos de desacoplamiento de potencia, normalmente se hacen incluyendo interruptores activos, así como unidades para almacenar energía [16]. Estos sistemas se utilizan en cualquier aplicación que requiera la conversión CA-CD y CD-CA. Los sistemas de desacoplamiento de potencia se clasifican en dos: independientes, los cuales funcionan aparte del convertidor original y dependientes [17, 18], los cuales comparten los semiconductores del convertidor.

Estos sistemas también son conocidos como método de desacoplamiento pasivo y el método de desacoplamiento activo, mismos que se muestran en la Figura 2.

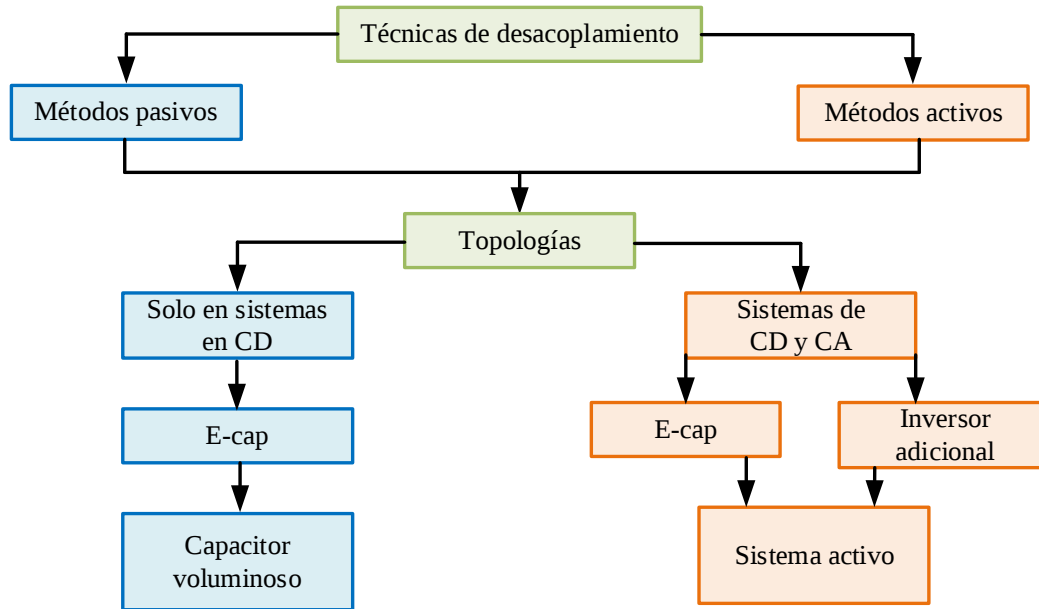


Figura 2. Clasificación de las técnicas de desacoplamiento [19].

1.1.2 Métodos Pasivos

Los métodos pasivos suelen aplicar componentes voluminosos [20], mientras que los activos ofrecen muchas características atractivas, como un tamaño relativamente pequeño y una alta confiabilidad. Estos se basan principalmente en desviar la ondulación de potencia a otro almacenamiento de energía, pero con un menor tamaño, aumentando la vida útil mediante un circuito de conmutación activo adicional sin afectar el tamaño y la viabilidad del sistema [21].

1.1.3 Esquemas convencionales reportados

Entre los métodos pasivos, una alternativa interesante para reducir el uso de capacitores electrolíticos es el convertidor alimentado en corriente (CSC) el cual presenta ventajas notables como una función inherente de refuerzo de tensión [22, 23], una protección intrínseca contra cortocircuitos y una corriente de entrada continua. Estas características lo convierten en una opción atractiva para aplicaciones en energías renovables. No obstante, el CSC presenta desventajas significativas, entre ellas el uso de un inductor de gran tamaño, una eficiencia relativamente baja, un control complejo y una densidad de potencia reducida [24].

Otros métodos pasivos se resumen en la Tabla 2, donde se comparan diferentes estrategias de desacoplamiento en función de sus ventajas y desventajas técnicas.

Tabla 2. Revisión de sistemas pasivos

Tipo de desacoplamiento	Ventajas	Desventajas	Referencia
El filtro resonante LC	Compensa la ondulación de potencia al doble de la frecuencia de la red	Sensible a distorsiones de voltaje, presenta oscilaciones y aumenta el peso y tamaño del sistema	[17, 25-28]
Inversores boost, buck y buck-boost	Ofrecen baja distorsión de corriente alterna, alta eficiencia y reducido volumen	No garantizan estabilidad en la inyección de corriente hacia la red	[29, 30]
Inversor tipo flyback	Permite una inyección de corriente estable y de bajo volumen	Baja eficiencia por pérdidas en los semiconductores y limitado a potencias menores de 150 W	[19, 20, 31, 32]

Aunque los métodos pasivos ofrecen simplicidad y robustez, su aplicación suele implicar una reducción de la densidad de energía y un aumento del tamaño físico de los componentes, lo que limita su uso en sistemas compactos o de alta potencia.

A diferencia de los métodos pasivos convencionales, se han desarrollado configuraciones alternativas de filtros activos de desacoplamiento que buscan reducir de manera significativa el tamaño y la energía almacenada en los capacitores del bus de CD. Entre las principales topologías propuestas destacan los capacitores conmutados apilados (SSC) [33, 34], el desacoplamiento activo mediante capacitancia variable (VCAPD) [35] y el puerto de rizo (RP-MII) [36].

1.1.4 Métodos Activos

El primer enfoque, basado en un sistema de capacitores conmutados apilados (SSC) con una arquitectura unipolar o bipolar, sustituye al capacitor electrolítico mediante una gestión activa de la energía almacenada en los capacitores conmutados [37]. El segundo método, VCAPD, emplea un capacitor adicional para almacenar el rizado de potencia, evitando así que se propague al bus de CD [38]. Finalmente, el método RP-MII introduce un tercer puerto en el enlace de CD cuya función es cancelar el rizado de potencia, absorbiendo aproximadamente una tercera parte de la energía total del sistema [39].

Estas estrategias presentan densidades energéticas comparables, requieren una capacitancia de enlace muy reducida y pueden aplicarse en convertidores CD-CD. En términos generales, permiten alcanzar un desacoplamiento activo sin necesidad de emplear capacitores de gran tamaño.

En una revisión breve, uno de los principales inconvenientes de los métodos pasivos de desacoplamiento de potencia (PPD) radica en la necesidad de utilizar valores casi infinitos de inductancia y capacitancia para mantener voltajes y corrientes aproximadamente constantes en el bus de CD [40]. Esto se traduce en un aumento considerable del volumen, peso y costo del sistema. Por el contrario, los métodos activos (APD) han demostrado, según

[41, 42], permitir un incremento de hasta un 50% en la densidad de potencia, convirtiéndose en soluciones atractivas para eliminar el rizado de potencia de doble frecuencia en sistemas monofásicos.

1.1.5 Desacoplamiento de potencia activa con capacitores conmutados apilados (SSC)

Las arquitecturas basadas en capacitores conmutados SSC constituyen una alternativa prometedora para el desacoplamiento activo de potencia, ya que permiten mejorar el aprovechamiento energético y eliminar el uso de capacitores electrolíticos. En este enfoque, los capacitores se reconfiguran dinámicamente entre combinaciones en serie y antiserie, logrando compensar el flujo de energía mediante el intercambio secuencial de carga entre ellos [43].

El principio de funcionamiento de las arquitecturas SSC se basa en que cada capacitor actúa como un pequeño buffer de energía, capaz de absorber y entregar potencia dentro de un rango de voltaje. Esto permite mantener la tensión del bus de CD en un valor estable y aprovechar al máximo la capacidad de almacenamiento energético [44]. Una estrategia adicional para incrementar la densidad de energía consiste en mejorar las relaciones de capacitancia entre los distintos capacitores que integran el buffer [45, 46].

Dentro de las arquitecturas SSC se distinguen dos bloques fundamentales:

- El bloque principal o “backbone”, encargado de almacenar la mayor parte de la energía total.
- El bloque de soporte o “supporting capacitors”, cuya función es mantener el voltaje total del bus dentro del rango deseado.

La Figura 3 muestra el esquema general de una arquitectura SSC típica, en la cual ambos bloques trabajan de manera coordinada para estabilizar el enlace de CD.

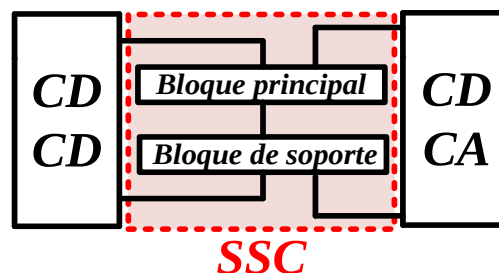


Figura 3. Esquema básico de la arquitectura SSC [46].

En la Figura 4 se presentan las dos configuraciones generales de las arquitecturas SSC: unipolar (Figura 3a) y bipolar (Figura 3b) [47, 48].

- La configuración unipolar se recomienda para aplicaciones de baja potencia y está conformada por capacitores y conmutadores conectados en serie.
- La configuración bipolar, en cambio, se emplea en sistemas de alta potencia y permite conexiones en serie o anti serie, integrando un puente H (H-bridge) que posibilita la carga bidireccional de los capacitores.

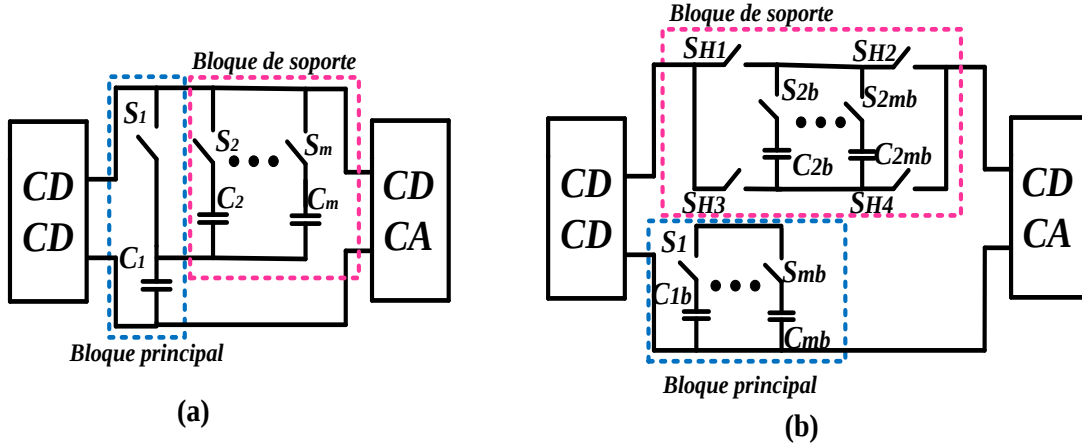


Figura 4. Arquitecturas: (a) unipolar, (b) bipolar.

1.1.6 Configuración unipolar

El esquema unipolar mostrado en la Figura 4 (a) está compuesto por un capacitor principal (C_1), un conjunto de capacitores de soporte ($C_2 \dots C_m$) y un conjunto de interruptores ($S_2, S_3 \dots S_m$). Esta estructura es conocida como arquitectura unipolar 1– m , en la cual todos los capacitores poseen valores iguales de capacitancia, aunque con diferentes niveles de tensión nominal.

Durante la operación, cuando el sistema inicia, el interruptor S_1 se activa y los demás permanecen abiertos, permitiendo que el capacitor principal C_1 se cargue hasta alcanzar el voltaje nominal del bus de CD. Una vez alcanzado este valor, S_1 se apaga y se activa S_2 , iniciando la carga del capacitor de soporte C_2 . Este proceso continúa secuencialmente hasta que todos los capacitores se cargan y descargan de manera alternada durante un ciclo completo. En la fase de descarga, los interruptores se activan en orden inverso, garantizando un flujo de energía equilibrado.

De acuerdo con la literatura, para una arquitectura unipolar 1– m , la relación de amortiguamiento de energía se define mediante la siguiente ecuación [49]:

$$\Gamma_b = \frac{C_1((1+R_v^2) - (1-mR_v^2)) + (mR_v)^2}{C_1(1+R_v)^2 + C_2(1+2^2+3^2+\dots+m^2)R_v^2} \quad (1)$$

Donde la relación de ondulación (R_v) se expresa como:

$$R_v = \frac{V_{\max} - V_{\min}}{2 \cdot V_{\text{nom}}} \quad (2)$$

En estas ecuaciones, $V_{\max}$, $V_{\min}$ y V_{nom} representan los valores máximo, mínimo y nominal del voltaje del bus de CD, respectivamente.

1.1.7 Configuración bipolar

La arquitectura bipolar presentada en la Figura 4 (b) está formada por un conjunto de n capacitores principales (C_{1b} , C_{mb}), m capacitores de soporte (C_{2b} , C_{2mb}) y un número total de interruptores igual a $(n+m+4)$. Esta configuración, denominada arquitectura bipolar $n-m$, se caracteriza porque todos los capacitores poseen igual capacitancia, pero diferentes niveles de voltaje nominal.

La principal ventaja de esta configuración es su capacidad de almacenamiento energético, la cual puede alcanzar hasta un 71,1% de la energía pico total [50]. Además, la arquitectura permite ampliar fácilmente el número de capacitores principales y de soporte según los requerimientos de potencia y capacidad del sistema.

En el diseño bipolar, tanto los capacitores de soporte como los principales presentan los mismos valores de capacitancia, pero distintos niveles de voltaje. Los capacitores de soporte se integran en un puente en H, lo que permite su carga bidireccional y, por tanto, un control más preciso del flujo energético.

Gracias a este proceso de carga y descarga eficiente, la densidad energética del sistema aumenta significativamente, al tiempo que se mejoran los niveles de voltaje en cada capacitor. Es importante destacar que el voltaje nominal de los capacitores depende directamente del voltaje del bus (V_{bus}), por lo que su correcta selección resulta fundamental para garantizar la estabilidad y seguridad del sistema.

Para ambas configuraciones (unipolar y bipolar), los capacitores deben precargarse siguiendo una secuencia específica, de manera que al inicio del ciclo de descarga todos los elementos alcancen su nivel máximo de energía. Durante la operación, el capacitor principal se descarga primero, una vez que el voltaje del enlace CD alcanza su valor mínimo permitido, los capacitores de soporte comienzan a cargarse y descargarse de forma alternada, asegurando que los capacitores utilizados en el ciclo previo se recarguen de manera independiente.

1.1.8 Arquitecturas SSC en sistema de desacoplamiento

La arquitectura SSC logra una mayor eficiencia energética y una notable reducción del capacitor de enlace, gracias al uso efectivo de la energía almacenada. El parámetro de relación de amortiguamiento de energía (EBR) cuantifica la energía total extraída del búfer; cuanto mayor sea el EBR, menor será el requerimiento de almacenamiento pasivo, permitiendo reducir considerablemente el volumen del capacitor.

En [43], se presenta una arquitectura bipolar SSC diseñada para mejorar la eficiencia en sistemas de alta potencia (2 kW), donde se implementa una estrategia de control de corriente pico constante y frecuencia variable, alcanzando un rendimiento del 90% mediante el uso de semiconductores de carburo de silicio (SiC), como se muestra en la Figura 5.

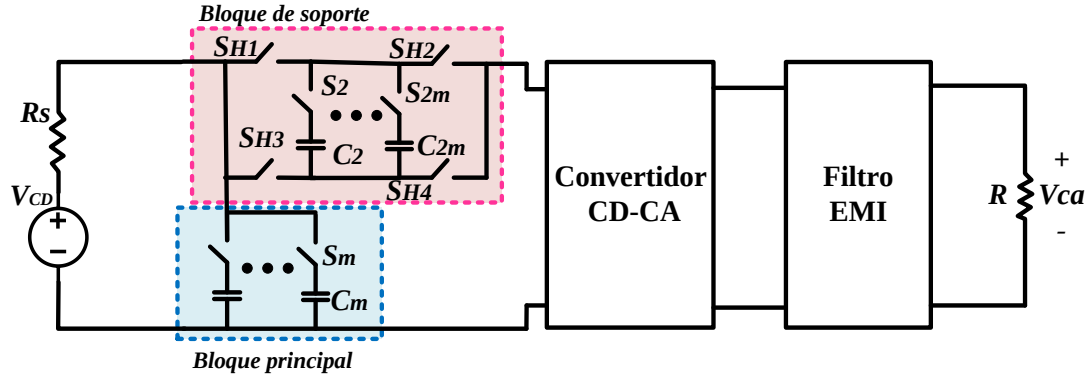


Figura 5. Arquitectura bipolar reportada.

Este esquema integra bloques de soporte y respaldo junto con un inversor CD-CA y un filtro de salida. El control híbrido permite que una parte del convertidor conmute a alta frecuencia para dar forma a la corriente de salida, mientras que el resto opera a la frecuencia de línea, reduciendo pérdidas por conmutación y simplificando el diseño del filtro EMI.

Otros estudios, como [51], proponen una metodología de relaciones de capacitancia para aumentar la densidad de energía efectiva. Al mejorar la proporción de capacitancias y el número de capacitores, se logra aumentar la densidad energética y reducir hasta en 17% el volumen pasivo en arquitecturas unipolares 1-2 y 1-10 con rizo de 5% en el bus CD. La Figura 6 presenta un sistema SSC completo que integra circuito de precarga, control y etapa PFC.

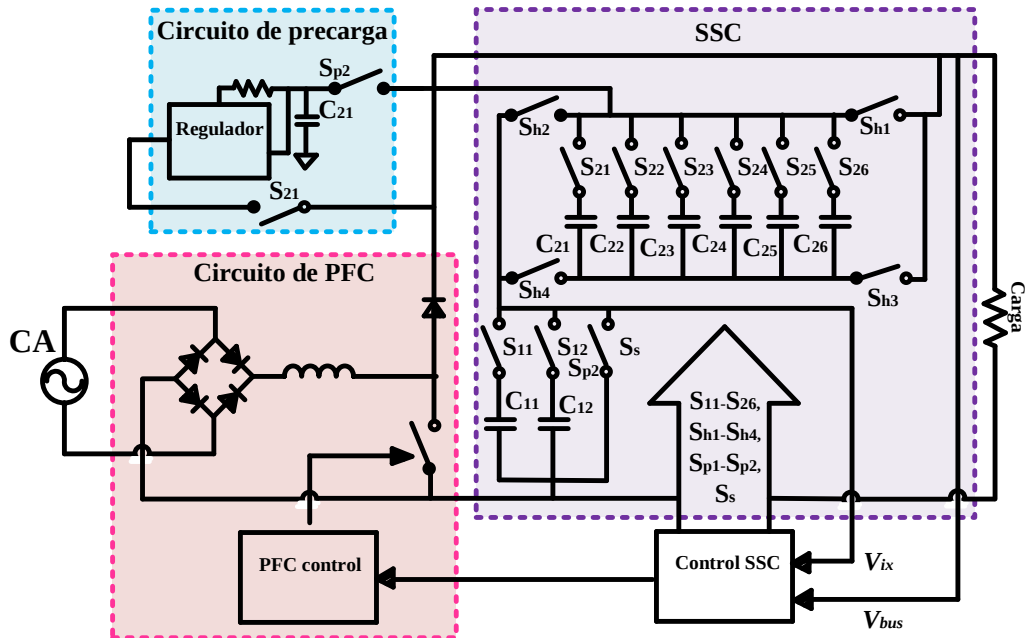


Figura 6. Arquitectura SSC completo.

En general, la arquitectura SSC ha demostrado reducciones de capacitancia de hasta 7.5 veces y eficiencias superiores al 98%, como se resume en la Tabla 3.

Tabla 3. Principales arquitecturas SSC reportadas en la bibliografía; (η) eficiencia, (V_{pp}) Tensión de ondulación de salida, (C_r) Capacitancia requerida, (C_{res}) Capacitancia resultante, (C_{red}) Reducción de la capacitancia.

Ref	P (kW)	η (%)	(V_{pp})	(C_r) (μF)	(C_{res}) (μF)	(C_{red})	Sistema SSC	Aplicación	Logros principales
[43]	2	90	1.5	7200	960	7.5	Unipolar	Inversor CD-CA	El volumen físico del sistema disminuyó de 40 a 17 in ³ .
[47]	0.08	-	21	720	560	1.2	Stacked	Convertidor CD-CD	Presenta una metodología para aumentar la densidad energética.
[52]	0.13	95.2	32	34.97	17.6	1.98	Con conmutación simétrica	Inversor CD- CA	Limita la ondulación de voltaje mientras se utiliza una gran parte de la energía de los capacitores.
[53]	92	-	10	1248	624	2	Multinivel	Alta potencia	Menos pérdidas de potencia y una reducción del 60% en el volumen pasivo.
[54]	0.06	93	5	141	47.2	3	Reconfigurable	Convertidor CD-CD	Amplio rango de atenuación del rizo y ondulación.
[55]	0.13	97.2	32	40	17.6	2.2	Patrones de conmutación	Inversor CD-CA	Logra una mayor densidad energética mediante la modificación de los patrones de conmutación y la aplicación de menos capacitores e interruptores que arquitecturas similares.
[56]	0.3	98.5	20	980	280	3.5	Relación de capacitancias	Convertidor CD-CD	Presenta una metodología de la relación de capacitancia.

Los resultados resumidos en la Tabla 3 permiten observar que las arquitecturas SSC alcanzan altos niveles de eficiencia y reducciones significativas en la capacitancia requerida, confirmando su efectividad en la compensación del rizo de potencia y en la optimización del volumen pasivo. No obstante, además de los parámetros cuantitativos, resulta esencial identificar los aspectos cualitativos que determinan su desempeño global. En este sentido, la

Tabla 4 presenta una síntesis comparativa de las principales ventajas y desventajas del método SSC aplicado al desacoplamiento activo de potencia, destacando sus fortalezas tecnológicas y las limitaciones asociadas a su implementación práctica.

Tabla 4. Características generales del método SSC aplicado al APD

Ventajas	Desventajas
Reducción significativa del tamaño del capacitor.	Requiere gran cantidad de interruptores y capacitores.
Alta eficiencia en aplicaciones CD–CA y CA–CD de baja potencia.	Complejidad en el diseño y control.
Menor volumen total del sistema.	Dependencia crítica de la relación de capacitancias.
Mantiene un voltaje de enlace CD reducido.	Mayor número de componentes incrementa tasa de fallas.
Duplica la densidad energética efectiva.	
Alta eficiencia de conversión comparada con soluciones magnéticas.	
Elimina pérdidas magnéticas (sin inductores).	
Baja frecuencia de conmutación, menores pérdidas por conmutación.	

En resumen, las arquitecturas SSC unipolares y bipolares representan una alternativa sólida y eficiente dentro de los APD. Su capacidad para mantener un bus de CD estable con capacitores de película, suprimir el rizo de potencia y aumentar la densidad energética sin recurrir a elementos magnéticos, las posiciona como una de las soluciones más prometedoras para aplicaciones fotovoltaicas y de conversión de energía.

1.1.9 Desacoplamiento de potencia activa con capacitancia variable (VCAPD)

La arquitectura VCAPD emplea un principio diferente de desacoplamiento activo. Este método se fundamenta en un sistema de almacenamiento capacitivo de energía, conformado por un capacitor de enlace (C_{cd}), un puente completo de conmutación (T_1 – T_4) y una rama adicional (T_5 y T_6) que integra un capacitor variable de almacenamiento de energía (C_{cx}) junto con un inductor de suavizado (L_c), tal como se muestra en la Figura 7.

El sistema de control del VCAPD está compuesto por un lazo interno de corriente y un lazo externo de control resonante proporcional, el cual regula dinámicamente el voltaje del capacitor de almacenamiento [57]. De esta forma, el rizo de potencia se compensa mediante el control preciso del voltaje o corriente del capacitor, logrando un equilibrio entre estabilidad y rendimiento armónico.

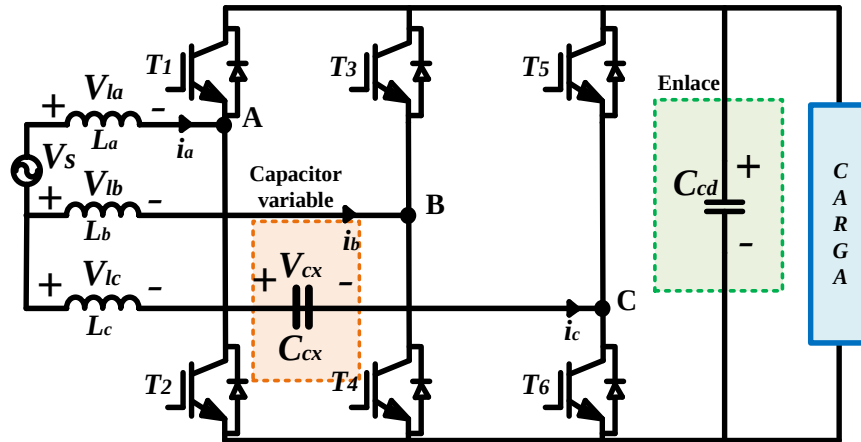


Figura 7. Esquema de la arquitectura VCAPD [58].

En este esquema, la referencia de voltaje del capacitor (V_{cx}) se comporta como una señal senoidal con la misma frecuencia que la fuente de CA, garantizando una compensación efectiva del rizo. Gracias al uso de un capacitor como principal elemento de almacenamiento en lugar de inductores, el sistema presenta una mayor eficiencia eléctrica y menor esfuerzo de corriente en los brazos del rectificador, lo que contribuye a una mayor vida útil de los dispositivos de potencia.

Durante el diseño, la selección de la frecuencia de resonancia LC es un aspecto clave, ya que determina tanto el ancho de banda del sistema como la magnitud de la atenuación del rizo. Diversos estudios han mostrado que, mediante un ajuste adecuado, la capacitancia total requerida puede reducirse hasta en un 80% respecto a soluciones pasivas convencionales.

Entre las principales ventajas del método VCAPD se destacan:

- Alta eficiencia en comparación con los sistemas basados en almacenamiento inductivo.
- Menor exigencia de frecuencia de conmutación y ancho de banda de control.
- Aprovechamiento completo de la capacidad de almacenamiento del capacitor.
- Reducción del esfuerzo de corriente sobre los dispositivos semiconductores.

En conjunto, estas características hacen del VCAPD una solución robusta para aplicaciones en las que se requiere una compensación dinámica del rizo de potencia y una respuesta estable ante perturbaciones del bus de CD, por lo que es de amplio interés conocer su comportamiento en diversas aplicaciones [59].

En la Figura 8, se muestra un esquema representativo conformado por un inversor en puente completo (S_1 - S_4) y un medio puente adicional (S_5 y S_6), que actúan sobre el capacitor de almacenamiento C_d y el inductor L_{cs} . En esta configuración [60], la potencia pulsante al doble de la frecuencia 2ω se transfiere al capacitor, cuyo voltaje se controla como una combinación de un componente continuo con un segundo armónico.

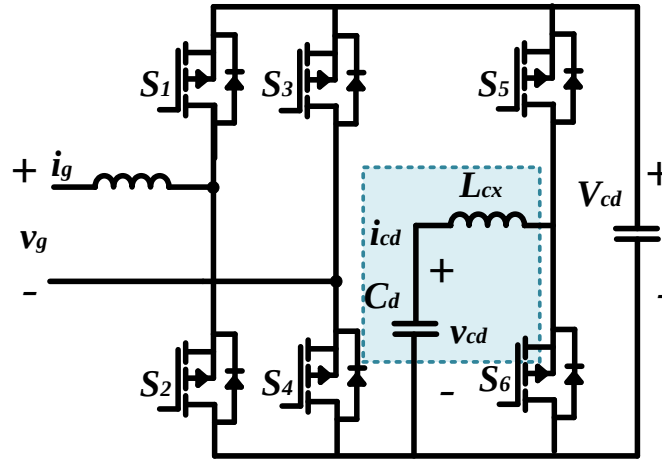


Figura 8. Almacenamiento de energía en modo bipolar.

Sin embargo, la presencia de armónicos en la señal de referencia complica el diseño del controlador, especialmente en sistemas de alta potencia donde la frecuencia de conmutación está limitada. En estos casos, la energía almacenada tiende a ser mayor que la energía útil procesada, por lo que se requieren estrategias avanzadas de control.

Un esquema alternativo, mostrado en la Figura 9, presenta un rectificador PWM con dos capacitores (C_1 y C_2) que almacenan la potencia de rizado [61]. Al controlar el flujo de potencia entre ambos, la capacitancia total requerida se reduce significativamente. Sin embargo, el voltaje total de CD resulta de la suma de los voltajes individuales en C_1 y C_2 , lo que limita el aprovechamiento energético de cada capacitor.

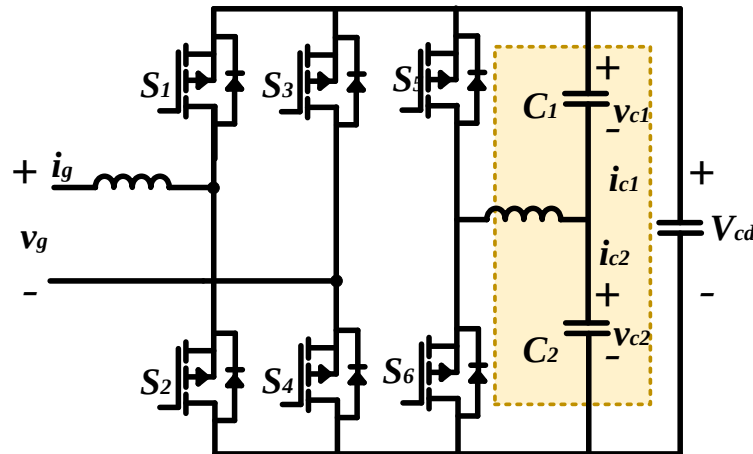


Figura 9. Sistema con doble capacitor.

Otra variante sustituye el circuito LC por un inversor en puente completo en paralelo con el capacitor de enlace de CD, como se ilustra en la Figura 10. El circuito L_{ac} y C_{ac} actúan como carga del inversor, produciendo formas de onda sinusoidales en C_{ac} [58]. Este enfoque reduce la capacitancia del bus de CD, aunque implica el uso de dos interruptores adicionales respecto al medio puente.

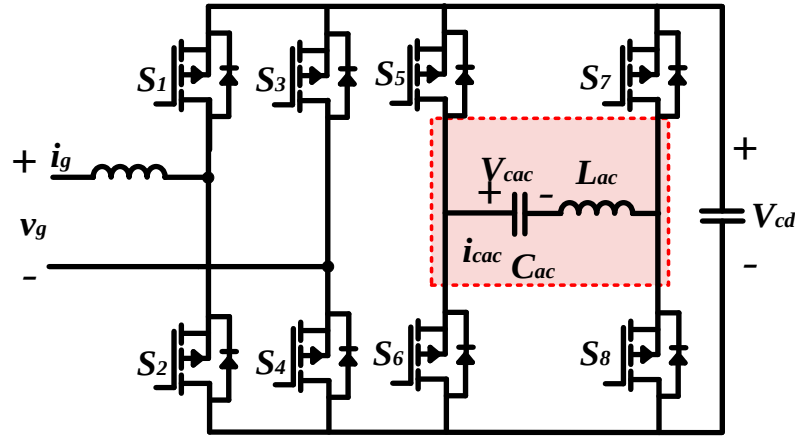


Figura 10. Almacenamiento con inversor puente completo.

Una propuesta más reciente, presentada en [62], introduce una rama de fase adicional en paralelo al inversor principal, incorporando un circuito serie L_c capaz de absorber el componente de potencia de frecuencia 2ω . En esta configuración, mostrada en la Figura 11, el control del ángulo de fase entre el voltaje v_s y la corriente I_s , permite que el inversor funcione como un capacitor variable. Controlando la amplitud de I_s , se logra una capacitancia ajustable en tiempo real.

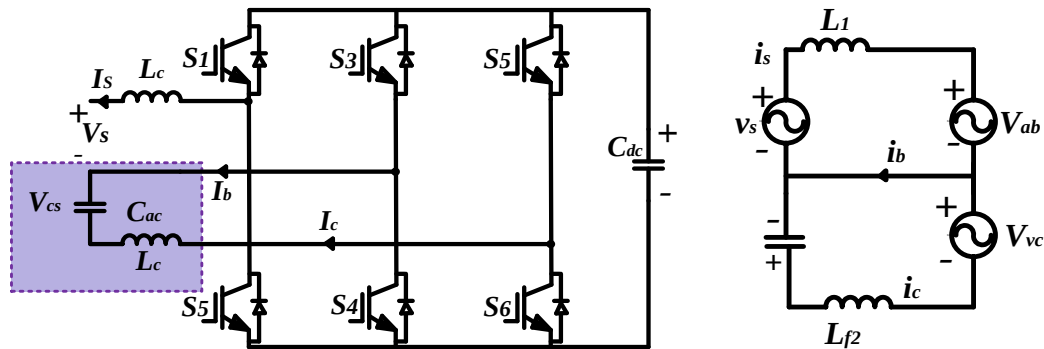


Figura 11. Sistema VCAPD: a) VCAPD ordinario, b) circuito equivalente.

Para operar correctamente, el voltaje sobre el capacitor de CD debe mantenerse constante, mientras que la referencia de voltaje de C_{ac} sigue una onda senoidal sincronizada con la red. Este control asegura una utilización completa de la energía almacenada y una reducción sustancial de la capacitancia necesaria.

La ecuación de la energía asociada al capacitor variable se define como:

$$E_{cac} = \frac{1}{2} C_{ac} v_{Cac}^2 = \int P_{Cac} = \int P_{ripple} = \int v_s i_s \quad (3)$$

La Figura 12 muestra el diagrama de control del sistema VCAPD, que incluye tres controladores principales:

- Controlador de voltaje de CD (V_{cd}), encargado de mantener el nivel de tensión constante.
- Controlador de corriente de red, responsable del control de potencia reactiva.

- Controlador de desacoplamiento activo, que regula el voltaje (V_{cs}) y la corriente (I_c) del capacitor compensador.

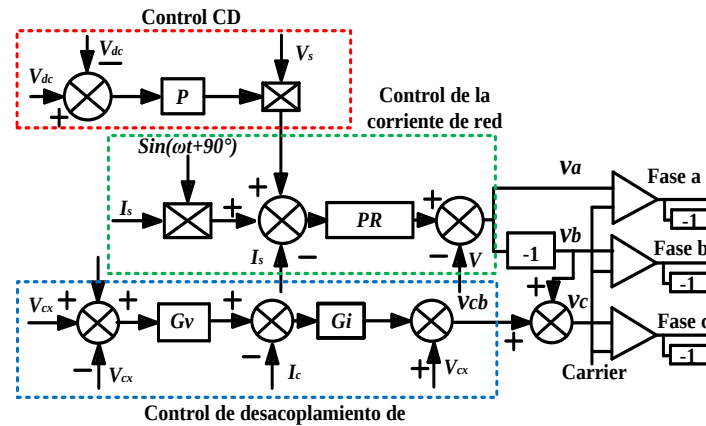


Figura 12. Sistema de control en el VCAPD.

Los resultados experimentales muestran que el método permite una reducción de la capacitancia hasta 13 veces que en un inversor convencional, sin afectar la estabilidad del sistema. No obstante, el control es complejo, ya que requiere un controlador resonante proporcional (PR) cuya ganancia disminuye fuera de la frecuencia fundamental, dificultando su sintonización en sistemas reales.

Una variante adicional, presentada en [63], detalla un convertidor de fuente de corriente para aplicaciones fotovoltaicas, que elimina el rizo de potencia y mejora la densidad energética sin el uso de capacitores electrolíticos. La topología, ilustrada en la Figura 13, emplea interruptores bidireccionales (IGBT y diodo en serie) y un inductor L_{dc} en serie con el generador FV. A diferencia de los inversores tradicionales, el tamaño de L_{dc} se diseña en función del rizo de conmutación, reduciendo el volumen total del sistema.

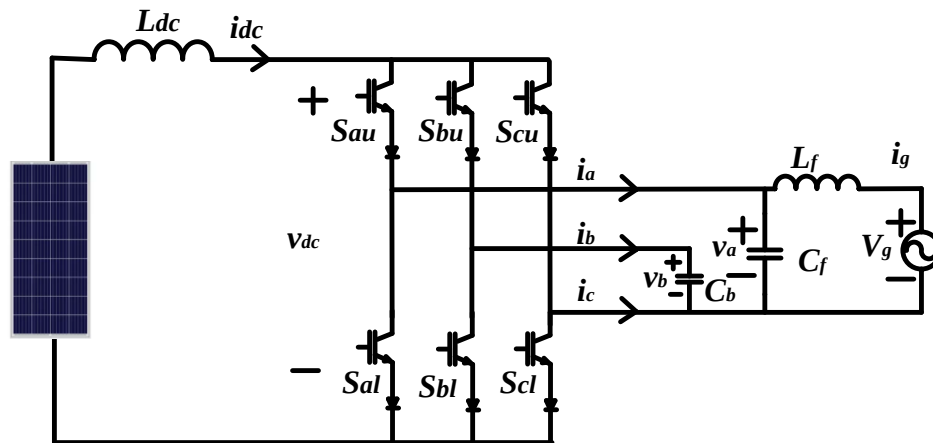


Figura 13. VCAPD aplicado a un inversor fotovoltaico [63].

Con base en los avances presentados en la literatura, la Tabla 5 resume los principales métodos VCAPD reportados, destacando los valores de eficiencia, reducción de capacitancia y comportamiento frente al rizo de voltaje.

Tabla 5. Arquitecturas VCAPD reportadas en la literatura, aplicadas a inversores CD-CA.

Ref	P (kW)	η (%)	(V_{pp})	(C_r) (μF)	(C_{res}) (μF)	(C_{red})	Características principales
[26]	1	--	8	1658	132	12.5	La reducción de la capacitancia se reduce considerablemente manteniendo un control complejo.
[35]	4	--	14.2	2025	440	4.6	Control complejo, aprovechamiento total de la energía del capacitor.
[42]	15	93.2	28	1600	300	5.33	La reducción del capacitor de CD no afecta el sistema.
[59]	1.5	92	5	4600	385	11.94	Control complejo, el funcionamiento se limita al controlador
[60]	--	--	10	--	310	--	Se utiliza un medio puente más, se reduce la densidad de potencia.
[61]	1	93.7	10	757	180	4.2	Se utiliza una gran inductancia lo que reduce la densidad de potencia.

Estos resultados evidencian que, si bien el método VCAPD ofrece una solución efectiva para mantener la estabilidad del bus de continua, su implementación requiere un control más complejo y un dimensionamiento cuidadoso de los elementos para evitar pérdidas adicionales o limitaciones operativas debido al tamaño de los inductores incluidos.

1.2 Inversor integrado con puerto de rizo (RP-MII)

El RP-MII constituye una alternativa activa avanzada para la compensación dinámica de potencia en sistemas conectados a red. Esta técnica se basa en la incorporación de un tercer puerto al bus de CD, cuya función principal es absorber o inyectar la potencia alternante generada por el acoplamiento entre la fuente y la red [64]. De esta manera, el RP-MII reduce significativamente las fluctuaciones de potencia de doble frecuencia y el tamaño del capacitor de enlace requerido.

La configuración mostrada en la Figura 14 representa un sistema monofásico que implementa un RP-MII como técnica de desacoplamiento activo [65]. Este esquema está compuesto por:

- Un convertidor CD-CD aislado magnéticamente, encargado de adaptar el nivel de voltaje del generador.
- Un inversor principal, responsable de la transferencia de energía hacia la red.

- Un puerto de rizo, formado por un puente completo de conmutación (S_5 - S_8), un inductor L_{RP} y un capacitor C_{RP} , los cuales conforman una red de segundo orden que atenúa el rizo de potencia.

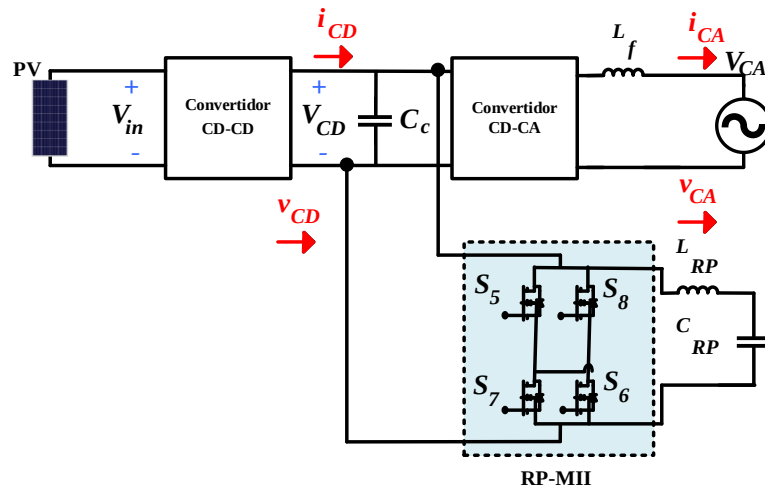


Figura 14. Estructura general del RP-MII.

Entre las ventajas más relevantes del RP-MII se encuentran:

- Procesamiento parcial de energía, aproximadamente un tercio de la potencia total, lo que reduce las pérdidas y mejora la eficiencia.
- Reducción significativa del tamaño del capacitor de enlace al minimizar la ondulación de voltaje.
- Modularidad, que facilita su integración en convertidores CD-CA ya existentes.

Sin embargo, este método presenta también ciertas limitaciones, como la necesidad de un control complejo para sincronizar el puerto de rizo con la potencia instantánea de la red, el incremento del costo y la complejidad del sistema debido a los componentes adicionales requeridos [66].

1.2.1 Configuraciones del RP-MII

De acuerdo con la literatura, existen dos configuraciones principales para implementar el RP-MII, como se observa en la Figura 15:

- a) conexión del puerto de rizo mediante el voltaje del riel de forma indirecta (a través de un transformador)
- b) conexión directa del puerto de rizo al bus de CD.

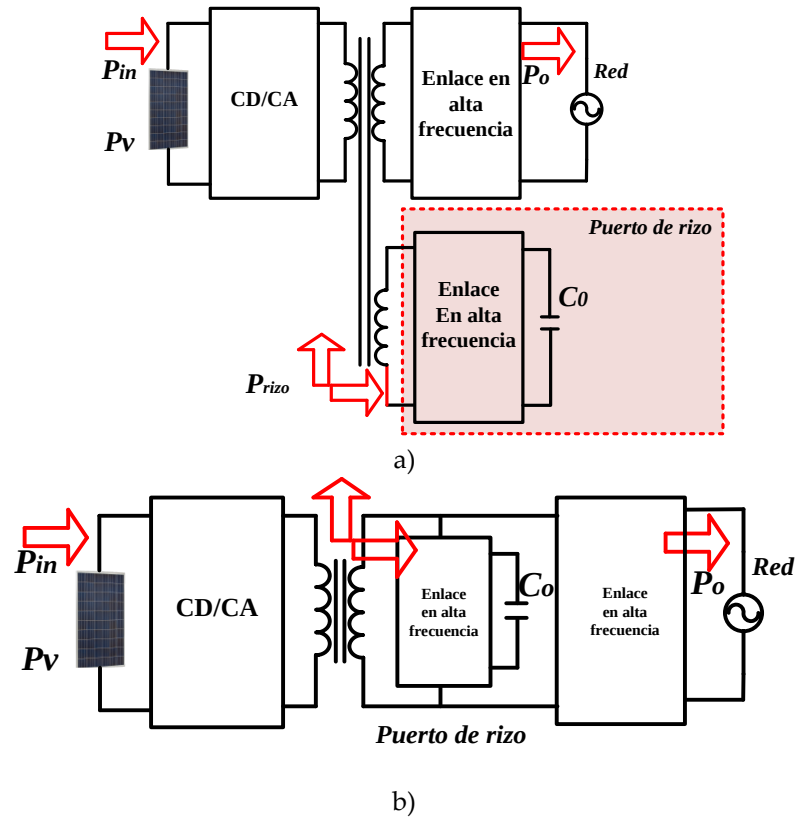


Figura 15. Enfoques de conexión del puerto de rizo [67].

Una de las primeras implementaciones fue presentada en [68], donde se propone un inversor integrado en un FV. En este sistema, el puerto de rizo está compuesto por un puente completo de conmutación, un capacitor de desacoplamiento C_o y un inductor L_o que limita las corrientes instantáneas de conmutación. La topología se muestra en la Figura 16, donde el inversor y el circuito LC se conectan en paralelo al secundario del transformador.

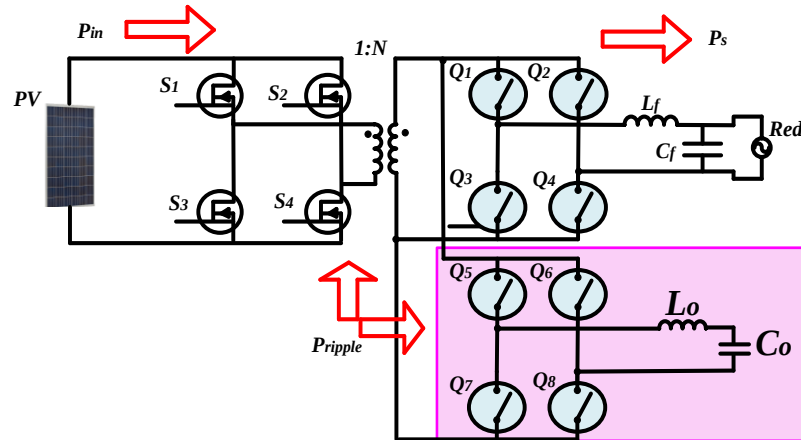


Figura 16. Inversor de enlace con puerto de rizo integrado.

En este diseño, el voltaje de entrada del inversor es variable, por lo que los interruptores operan de manera bidireccional para permitir el flujo de corriente en ambos sentidos.

Otro enfoque destacado es el propuesto en [69], que aplica la estrategia RP-MII en el devanado secundario de un convertidor flyback CD-CD (Figura 17). Una de las ventajas de este método es la posibilidad de reducir el voltaje pico del capacitor de desacoplamiento (V_{dc}), lo que permite emplear capacitores de película en lugar de electrolíticos, aumentando la vida útil del sistema.

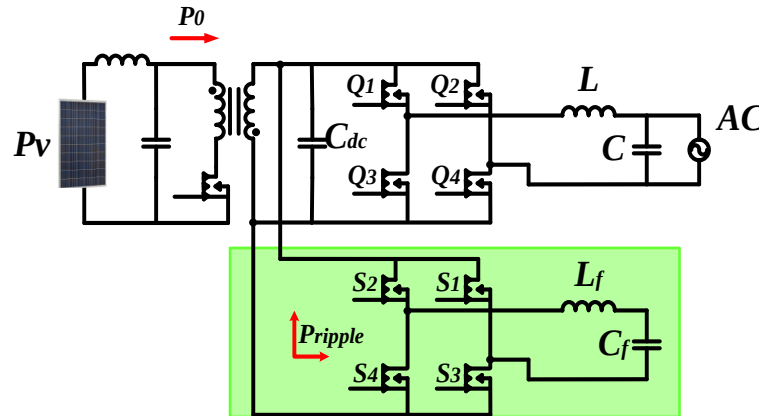


Figura 17. RP-MII aplicado a un convertidor flyback.

En este caso, el RP-MII consiste en un puente H completo (Q_1 – Q_4) y un filtro LC. El capacitor C_{dc} define el desacoplamiento necesario para una potencia específica, mientras que el inversor de fuente de voltaje (VSI) realiza la conversión CD-CA principal. El control de voltaje en C_{dc} puede lograrse mediante modulación sinusoidal PWM (SPWM), simplificando la etapa de control respecto a otros métodos.

1.2.3 Topologías avanzadas del RP-MII

En [70] se introduce una técnica de filtrado activo basada en RP-MII con estructura multipuerto, representada en la Figura 18. El inversor propuesto incluye dos circuitos idénticos (A y B), cada uno con una celda de conmutación elevadora y un inversor en medio puente. Los circuitos operan de forma complementaria durante los semiciclos positivos y negativos, compartiendo los elementos de almacenamiento C_1 y C_2 .

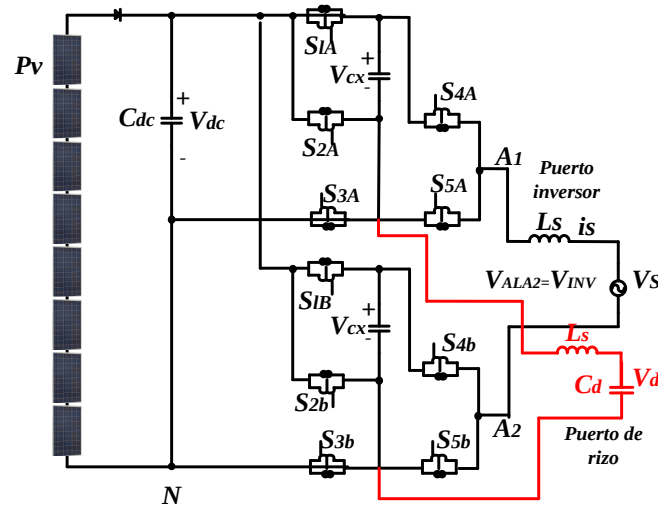


Figura 18. RP-MII multipuerto

Esta configuración aprovecha el concepto de capacitores conmutados, eliminando componentes magnéticos voluminosos y permitiendo una alta densidad de potencia mediante el uso de dispositivos de nitruro de galio (GaN). Además, el RP-MII puede lograr control directo sobre el voltaje y corriente del capacitor de desacoplamiento, asegurando una compensación eficiente del rizo.

Por otro lado, la referencia [71] presenta una propuesta basada en un convertidor flyback de tres puertos, que incluye un puerto de rizo adicional con dos interruptores encargados de cargar y descargar el capacitor de desacoplamiento. Este método mejora la regulación de potencia instantánea entre las entradas y salidas, como se muestra en las Figuras 19 y 20.

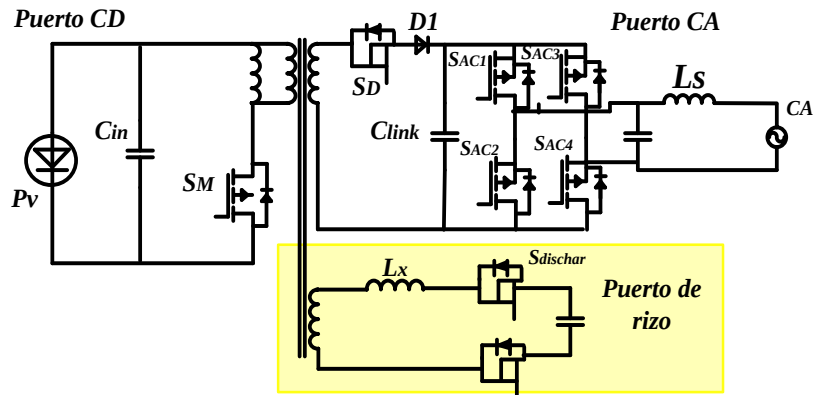


Figura 19. Puerto de rizo en convertidor flyback.

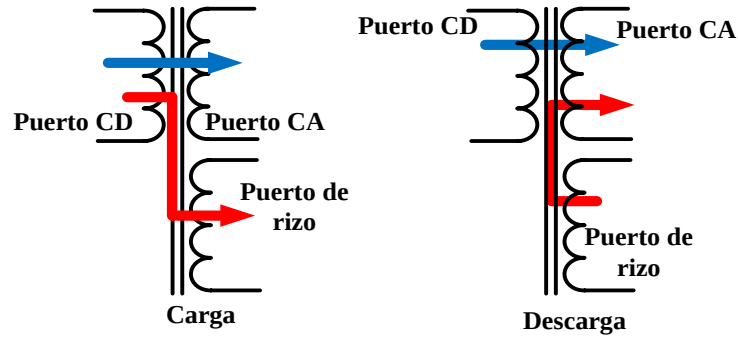


Figura 20. Modo carga y descarga del RP-MII.

Finalmente, la topología presentada en [72] introduce una configuración de tres puertos que permite controlar directamente el flujo de potencia del rizo para obtener un perfil de potencia constante en el bus de CD, como se ilustra en la Figura 21.

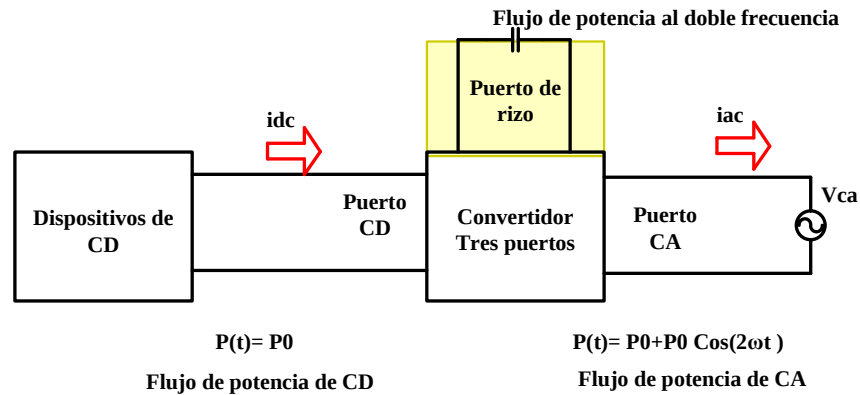


Figura 21. Esquema a bloques presentado en [72].

La topología mostrada en la Figura 21 representa una evolución dentro de los métodos de compensación activa del rizo, al incorporar un control directo del flujo de potencia y permitir una notable reducción del capacitor de enlace. Sin embargo, en este tipo de configuraciones no se contabiliza la energía que fluye hacia el puerto adicional, ya que los análisis de eficiencia y densidad energética se realizan únicamente considerando la energía del bus de CD.

Por esta razón, aunque el RP-MII ofrece ventajas importantes en cuanto a estabilidad y reducción de rizo, su evaluación no es directamente comparable con las arquitecturas basadas en SSC, que constituyen el enfoque central de este trabajo.

1.2.4 Comparativa de desempeño del RP-MII

La Tabla 6 resume las principales topologías RP-MII reportadas en la literatura, considerando parámetros como eficiencia, potencia de salida y reducción del capacitor de enlace.

Tabla 6. RP-MII reportados en la literatura

Ref	P (kW)	η (%)	(V _{pp})	(C _r) (μ F)	(C _{res}) (μ F)	(C _{red})	Características principales
[68]	0.2	95.6	1.25	1700	150	11.33	Aumenta la densidad de potencia, se añade un costo adicional considerable por los componentes.
[69]	0.23	-	12	200	100	2	Control simplificado de la etapa mediante la aplicación de la modulación SPWM.
[67]	0.1	-	8	1330	220	6	El diseño y el control no representan un desafío mayor.
[73]	0.5	-	20	156	14	11.1	Requiere múltiples bucles de control y el ajuste de numerosas ganancias.
[74]	0.16	90	5.5	200	150	1.3	Garantiza la cancelación de ondulaciones incluso en condiciones variables en el tiempo.

1.2.5 Comparación de las arquitecturas

El análisis comparativo de las distintas arquitecturas de desacoplamiento de potencia activa evidencia que los sistemas de capacitores conmutados apilados (SSC) representan una alternativa particularmente atractiva debido a su alta densidad energética, elevada eficiencia y notable reducción en el tamaño de los capacitores sin comprometer la estabilidad ni el desempeño dinámico del sistema.

A diferencia de los esquemas convencionales, los SSC eliminan la necesidad de elementos inductivos voluminosos, disminuyen las pérdidas de conmutación y magnéticas, y permiten operar con voltajes bajos en los interruptores, lo que minimiza las pérdidas de conducción. Estas características contribuyen a un diseño más compacto, eficiente y con una vida útil prolongada, aspectos altamente valorados en aplicaciones de conversión de potencia de alta densidad y bajo costo.

No obstante, a pesar de los avances reportados en la literatura, aún persisten áreas de investigación abiertas relacionadas con la caracterización dinámica de los SSC, la mejora de sus estrategias de control y la validación experimental de su desempeño bajo condiciones reales de operación. En este sentido, profundizar en el estudio del comportamiento dinámico y energético de estas arquitecturas resulta fundamental para consolidarlas como una alternativa viable en aplicaciones donde se requiere una compensación efectiva del rizo de potencia y una alta eficiencia en el almacenamiento temporal de energía.

1.3 Planteamiento del problema

En los sistemas monofásicos conectados a la red, la oscilación de potencia generada por el intercambio de energía entre los lados de CA y CD da lugar a un rizado de baja frecuencia, típicamente al doble de la frecuencia de red (2ω). Esta oscilación debe ser absorbida y estabilizada por un componente de enlace, cuya función principal es desacoplar las variaciones de potencia e impedir su propagación hacia el bus de CD.

Tradicionalmente, esta función se cumple mediante capacitores electrolíticos, debido a su alta densidad energética; sin embargo, estos componentes presentan una vida útil reducida, lo que representa una limitación significativa para la confiabilidad y durabilidad de los sistemas electrónicos de potencia, especialmente en aplicaciones donde la longevidad es un requerimiento clave.

Ante esta problemática, se han propuesto diversas técnicas de desacoplamiento de potencia, tanto pasivo como activo, los cuales buscan mitigar el rizado de potencia sin comprometer la eficiencia o la vida útil del sistema. Las técnicas pasivas, aunque sencillas y de bajo costo, suelen requerir componentes de gran tamaño y presentan una densidad de energía limitada, lo que las hace poco adecuadas para aplicaciones donde el espacio y la eficiencia energética son factores críticos.

Por otro lado, las técnicas de desacoplamiento activo ofrecen una alternativa más eficiente y compacta, aunque introducen una mayor complejidad de control y de implementación en el hardware. Dentro de estas estrategias, la técnica de capacitores conmutados apilados, Stacked Switched Capacitor (SSC) ha emergido como una solución prometedora, al permitir la mitigación del rizado sin recurrir a capacitores electrolíticos, manteniendo al mismo tiempo un buen desempeño energético y una estructura modular adaptable a distintas configuraciones.

La Figura 22 muestra el esquema general de la arquitectura SSC utilizada en este trabajo, donde se ilustra la integración de la arquitectura SSC como el nuevo componente de enlace. Este diseño busca lograr un desacoplamiento activo eficiente, mejorando la transferencia de energía y reduciendo las oscilaciones de potencia.

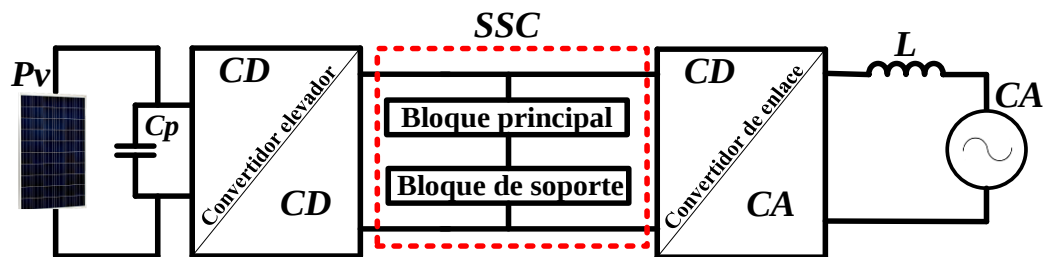


Figura 22. Esquema de la arquitectura SSC.

No obstante, a pesar del potencial de esta técnica, en la revisión del estado del arte se ha identificado que existen pocos estudios que integren un análisis completo del SSC en sistemas multietapa conectados a red, considerando simultáneamente variables como la eficiencia energética, la reducción del rizado y la complejidad de implementación.

Esta situación plantea la siguiente pregunta de investigación:

¿Es posible desarrollar una estrategia de desacoplamiento activo basada en capacitores conmutados apilados (SSC) que permita mitigar eficazmente el rizado de potencia en sistemas monofásicos conectados a la red, manteniendo una alta eficiencia energética y sin comprometer la vida útil del sistema?

1.4 Hipótesis

Es posible diseñar e implementar un sistema de desacoplamiento activo basado en la arquitectura unipolar de capacitores conmutados apilados, utilizando capacitores de película como elemento de enlace, que permita eliminar el uso de capacitores electrolíticos y mitigar eficazmente el rizado de potencia en sistemas monofásicos conectados a la red, manteniendo una alta eficiencia energética y estabilidad operativa.

1.5 Objetivos

1.5.1 Objetivo general

Diseñar e implementar una estrategia de desacoplamiento activo basada en capacitores conmutados apilados (SSC) para mejorar el componente de enlace en sistemas monofásicos conectados a la red eléctrica.

1.5.2 Objetivos específicos

Para cumplir con el objetivo general, se plantean los siguientes objetivos específicos:

- Analizar las limitaciones del uso de capacitores electrolíticos.
- Estudiar y comparar tecnologías de desacoplamiento de potencia activa.
- Diseñar un sistema de desacoplamiento activo basado en capacitores conmutados apilados (SSC).
- Verificar el comportamiento del sistema propuesto en condiciones representativas.
- Validar la efectividad de la solución propuesta en términos de densidad energética, tamaño del sistema y eficiencia en el aprovechamiento de la energía.

1.6 Justificación

En los sistemas electrónicos de potencia conectados a la red eléctrica, uno de los principales desafíos técnicos es garantizar la confiabilidad y durabilidad de los componentes del enlace de CD, especialmente en aplicaciones que integran fuentes de energía renovable. Diversos estudios han identificado a los capacitores electrolíticos como la principal causa de falla en estos sistemas, representando aproximadamente el 30% de las fallas totales, como se muestra en la Figura 23.

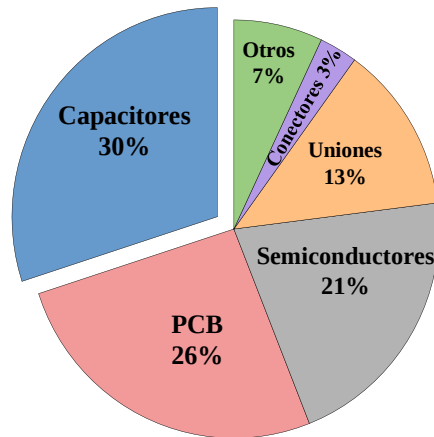


Figura 23. Fallas en sistemas conectados a red.

Esta problemática se debe principalmente a su vida útil limitada, su susceptibilidad al envejecimiento térmico y eléctrico, y su bajo desempeño frente a variaciones de carga y temperatura. Estas limitaciones se intensifican en sistemas monofásicos con altas oscilaciones de potencia, donde los capacitores son empleados para mitigar el rizado de baja frecuencia en el enlace de CD. Aunque presentan una elevada densidad energética, su uso compromete de manera significativa la longevidad del sistema.

Ante este panorama, se plantea la necesidad de explorar alternativas tecnológicas que permitan eliminar o sustituir el uso de capacitores electrolíticos sin afectar el rendimiento global del sistema. Entre las estrategias más prometedoras destacan las técnicas de desacoplamiento activo, particularmente aquellas basadas en capacitores conmutados apilados, las cuales posibilitan mantener un perfil de rizado controlado, aumentar la densidad de energía del enlace de CD y extender la vida operativa del sistema.

Por lo tanto, este trabajo de tesis se justifica en la búsqueda de soluciones que mejoren la eficiencia y durabilidad de los sistemas electrónicos de potencia modernos. La eliminación de los capacitores electrolíticos mediante el uso de técnicas de desacoplamiento activo contribuye al desarrollo de arquitecturas más robustas y compactas, alineadas con las tendencias actuales en innovación energética y transición tecnológica hacia sistemas más eficientes.

1.7 Metodología de desarrollo

El presente trabajo de tesis adopta una metodología estructurada para el desarrollo y validación de sistemas electrónicos de potencia, orientada al estudio y diseño de técnicas de desacoplamiento activo en enlaces de CD. Dicha metodología se compone de las siguientes fases:

- Fase 1. Análisis del problema y definición de objetivos

Se realiza un estudio técnico del problema asociado al uso de capacitores electrolíticos en sistemas monofásicos conectados a red, identificando sus principales limitaciones, tasas de falla e impacto en la durabilidad global del sistema. A partir de este análisis, se establecen los objetivos de investigación y los criterios de evaluación técnica, tales como la vida útil, la eficiencia energética y la densidad de energía.

- Fase 2. Revisión del estado del arte y selección de técnica

Se lleva a cabo una revisión comparativa de las distintas estrategias de desacoplamiento de potencia, tanto pasivas como activas, evaluando su viabilidad para aplicaciones multietapa. Con base en los resultados obtenidos, se selecciona la técnica de capacitores conmutados apilados (Stacked Switched Capacitors, SSC) como la alternativa más adecuada para el caso de estudio.

- Fase 3. Simulación del sistema propuesto

Se desarrolla una representación funcional y computacional del sistema con desacoplamiento activo mediante la técnica de capacitores conmutados apilados (SSC), sustituyendo los capacitores electrolíticos tradicionales. El sistema se configura para analizar su comportamiento dinámico, la respuesta ante oscilaciones al doble de la frecuencia de red (2ω) y su interacción con fuentes renovables. Las simulaciones se implementan en el entorno Orcad P-Spice, permitiendo evaluar el desempeño del sistema bajo diferentes condiciones de operación.

- Fase 4. Diseño del sistema electrónico de potencia

En esta fase se diseña el circuito de potencia con la topología SSC y los componentes de conmutación requeridos. Se definen los parámetros clave del sistema, tales como la capacidad total, la frecuencia de conmutación y la sincronización, garantizando un funcionamiento adecuado bajo condiciones de operación típicas.

- Fase 5. Validación por simulación

Se evalúa el desempeño del sistema propuesto mediante diferentes escenarios de carga y generación, considerando la mitigación del rizado, la estabilidad del enlace de CD, la eficiencia energética y la reducción del estrés en los componentes. Asimismo, se realiza una comparación directa con una arquitectura convencional que utiliza capacitores electrolíticos.

- Fase 6. Análisis comparativo y discusión de resultados

Se efectúa un análisis comparativo cuantitativo y cualitativo entre el sistema propuesto (SSC) y la solución tradicional, destacando las mejoras obtenidas en términos de confiabilidad, densidad de energía y reducción del tamaño de los componentes. Finalmente, se discuten las implicaciones prácticas y las posibles adaptaciones para implementaciones experimentales.

- Fase 7. Conclusiones y trabajos futuros

Se presentan las conclusiones técnicas derivadas del estudio y se proponen líneas de investigación futura, tales como la implementación experimental del SSC.

1.8 Contribución

Las principales contribuciones técnicas y metodológicas de este trabajo de tesis son:

- Diseño y validación de una estrategia de desacoplamiento activo de potencia mediante el uso de capacitores conmutados apilados, como alternativa funcional y eficiente a los capacitores electrolíticos en el enlace de CD de sistemas monofásicos conectados a red. Esta propuesta permite mejorar la vida útil del sistema sin comprometer la calidad de energía.

- Eliminación total del uso de capacitores electrolíticos, los cuales representan la principal causa de falla en sistemas electrónicos de potencia. Esta contribución aborda directamente un problema identificado en la literatura y respaldado por evidencia cuantitativa Figura 23, proponiendo una arquitectura más confiable y con mayor densidad de energía.
- Análisis comparativo entre la topología propuesta y una arquitectura convencional, evaluando criterios como el rizado en el enlace CD, la eficiencia energética, la respuesta dinámica y la reducción del volumen total de componentes pasivos. Los resultados muestran mejoras notables en la estabilidad del sistema, incluso ante variaciones al doble de la frecuencia de red (2ω).
- Contribución a la transición hacia sistemas electrónicos más sostenibles y confiables, particularmente en aplicaciones que integran fuentes renovables y requieren operación prolongada, como los sistemas fotovoltaicos residenciales o industriales. La propuesta ofrece una alternativa viable para extender la vida útil sin sacrificar desempeño eléctrico.

1.9 Limitaciones del trabajo de tesis

El presente trabajo de tesis se centra en el diseño y validación por simulación de una estrategia de desacoplamiento activo en enlaces de CD basada en capacitores conmutados apilados. Si bien se ha demostrado el funcionamiento adecuado del sistema y sus beneficios en términos de confiabilidad, eficiencia y reducción del rizado, existen algunas limitaciones que deben ser consideradas:

Validación únicamente por simulación:

La propuesta se valida exclusivamente mediante simulaciones desarrolladas en el entorno ORCAD/Pspice, utilizando modelos dinámicos precisos pero idealizados. No se contempla en esta etapa la implementación de un prototipo físico ni pruebas en laboratorio.

No se integran estrategias avanzadas de control:

Aunque se realiza un análisis del comportamiento dinámico del sistema y se proponen estrategias básicas de control para la conmutación secuencial y la regulación de voltaje, no se abordan en estas tesis técnicas más complejas como control predictivo, modulación multinivel o estrategias adaptativas. Estas podrían mejorar aún más el desempeño del sistema, pero requieren un desarrollo adicional fuera del alcance de este trabajo.

Limitaciones en la comparación con sistemas convencionales:

Aunque se presenta un análisis comparativo entre la solución SSC y una arquitectura tradicional con capacitores electrolíticos, este se realiza en un contexto de simulación con parámetros seleccionados. Factores como el envejecimiento real de los componentes, condiciones ambientales o tolerancias de fabricación no se incluyen en dicho análisis.

A pesar de estas limitaciones, los resultados obtenidos permiten validar conceptualmente la propuesta y sentar las bases para futuros trabajos que aborden la implementación práctica, optimización del control y evaluación experimental en tiempo real.

1.9.1 Contenido del documento de tesis

El resto del contenido del documento de tesis se organiza de la siguiente manera:

El Capítulo 2 presenta el marco teórico relacionado con los sistemas de desacoplamiento de potencia en convertidores conectados a red, abordando los principios de funcionamiento de los capacitores electrolíticos, sus limitaciones físicas y térmicas, así como los avances en materiales y configuraciones que han permitido el desarrollo de nuevas arquitecturas. Asimismo, se introduce el concepto de desacoplamiento activo y se describe el principio operativo de los capacitores conmutados apilados (SSC) como una alternativa eficiente y compacta frente a los enlaces convencionales.

El Capítulo 3 expone la metodología de desarrollo y la validación mediante simulación del sistema propuesto. En este capítulo se detallan la implementación del convertidor Cuk con puerto de corriente alterna, el análisis de la potencia instantánea y el comportamiento del rizo en el bus de corriente continua, así como la incorporación de la arquitectura SSC unipolar y mejorada. Se incluyen los resultados obtenidos a partir de simulaciones en OrCAD PSpice, donde se demuestra la efectividad del desacoplamiento activo en la reducción del componente pulsante de potencia.

El Capítulo 4 presenta una comparativa de resultados entre la arquitectura propuesta y otras topologías de desacoplamiento activo reportadas en la literatura. Se analizan parámetros clave como la energía almacenada en el enlace, la eficiencia, el número de dispositivos de conmutación y el tamaño de los elementos pasivos, con el propósito de evidenciar las ventajas del sistema SSC en términos de densidad energética, compactación y reducción de costos.

Finalmente, el Capítulo 5 contiene las conclusiones generales derivadas del trabajo de investigación, las cuales confirman la validez del enfoque propuesto y su contribución al campo del desacoplamiento activo en sistemas conectados a red. Asimismo, se incluyen los trabajos futuros, en los que se plantean líneas de investigación orientadas a la validación experimental del sistema, la estrategia de control y la integración del SSC.

Capítulo 2. Marco Teórico

2.1 Fundamentos de los sistemas electrónicos de potencia

Los sistemas electrónicos de potencia constituyen la base tecnológica de la conversión y el control eficiente de la energía eléctrica. Su función principal es transformar la energía procedente de una fuente, ya sea renovable o convencional, en una forma adecuada para el consumo o la integración a la red eléctrica. Esta transformación se logra mediante convertidores, dispositivos que combinan semiconductores de potencia, elementos pasivos y estrategias de control para regular la transferencia de energía con un alto grado de precisión y eficiencia.

De manera general, los convertidores pueden clasificarse en tres categorías principales:

- Convertidores CD-CD, utilizados para modificar el nivel de voltaje en sistemas de corriente continua.
- Convertidores CD-CA o inversores, empleados para generar señales de corriente alterna a partir de fuentes de CD.
- Convertidores CA-CD, que permiten rectificar la energía proveniente de la red o de un generador.

Una de las características fundamentales de los sistemas electrónicos de potencia es la necesidad de incorporar un elemento pasivo encargado de almacenar la energía suficiente para satisfacer las demandas instantáneas de una carga específica (E_s). Este componente, conocido como capacitor de enlace de CD, resulta indispensable debido a las fluctuaciones de potencia que se producen en el lado de CA, las cuales varían al doble de la frecuencia de red [72].

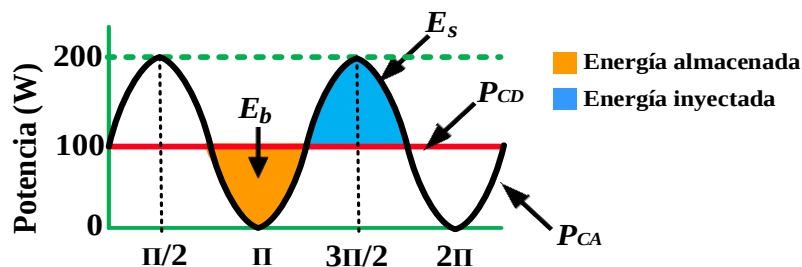


Figura 24. Potencia instantánea en los puertos de CD y CA

La Figura 24 ilustra las formas de onda de potencia para una aplicación de 100 W en un sistema de 60 Hz, donde P_{CD} y P_{CA} representan las potencias que fluyen a través de los puertos de CD y CA, respectivamente.

Estas oscilaciones de potencia obligan al convertidor a disponer de un componente capaz de amortiguar la diferencia temporal entre la potencia generada y la demandada, garantizando así la conservación de la energía. En la práctica, este papel lo desempeña comúnmente un capacitor electrolítico, debido a su elevada capacidad de almacenamiento. Sin embargo, estos dispositivos presentan limitaciones importantes, entre ellas una vida útil reducida, alta susceptibilidad a la temperatura y volumen considerable, lo que compromete la longevidad y la densidad de potencia del sistema [75].

El valor del capacitor de enlace requerido puede estimarse considerando la potencia a desacoplar, la frecuencia de red y el rizo de voltaje permitido en el bus de CD. Una formulación común es:

$$C_e = \frac{P_{in}}{4\pi \cdot f_{red} \cdot V_{CD} \cdot \Delta V_{CD}} \quad \dots(4)$$

donde P_{in} es la potencia activa del sistema, f la frecuencia de red, V_{CD} el voltaje nominal del bus de CD y ΔV_{CD} el rizo máximo admisible en dicho bus.

Para una aplicación de 200 W con un voltaje de bus de 210 V, frecuencia de 60 y un rizo máximo del 1%, el valor de capacitancia requerido es aproximadamente 600 μF . Este valor demuestra que, incluso para potencias moderadas, el tamaño del capacitor necesario resulta considerable. En la mayoría de los casos, esto implica recurrir a capacitores electrolíticos de gran volumen.

Por tanto, la necesidad de mantener la estabilidad del bus de CD frente a fluctuaciones de potencia introduce un compromiso entre tamaño, durabilidad y eficiencia.

2.1.2 Estructura y limitaciones de los capacitores electrolíticos

Los capacitores electrolíticos son uno de los componentes más utilizados en los sistemas electrónicos de potencia debido a su alta densidad de energía y bajo costo por unidad de capacidad. Están formados por dos placas conductoras separadas por una delgada capa dieléctrica de óxido metálico, generalmente óxido de aluminio, y un electrolito líquido o en gel que actúa como cátodo y medio conductor iónico. Esta configuración permite obtener valores elevados de capacitancia en volúmenes reducidos.

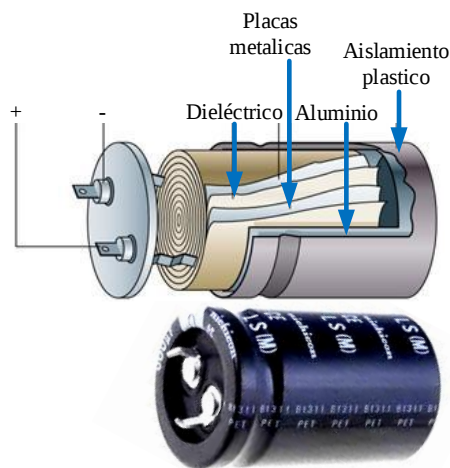


Figura 25. Estructura interna de un capacitor electrolítico de aluminio [76].

El principio de funcionamiento se basa en la polarización de la capa dieléctrica, la cual se forma por oxidación controlada de la superficie del ánodo. Cuando se aplica un voltaje en el sentido correcto, el campo eléctrico se almacena en el dieléctrico; sin embargo, si la polaridad se invierte o se excede el voltaje nominal, el dieléctrico puede romperse, provocando fugas, pérdida de capacitancia o cortocircuitos.

Desde el punto de vista térmico, el electrolito líquido presenta una de las principales debilidades del dispositivo. A medida que la temperatura de operación aumenta, el electrolito tiende a evaporarse o descomponerse químicamente, lo que incrementa la resistencia serie equivalente (ESR) y acelera el envejecimiento del capacitor. Este proceso reduce gradualmente su capacidad efectiva, afectando la estabilidad del bus de CD [77].

Otra limitante importante es la corriente de rizado que circula a través del capacitor en aplicaciones de potencia [78]. Este flujo alternante genera calor interno por pérdidas resistivas, intensificando el deterioro del electrolito. Por ello, aunque los capacitores electrolíticos pueden ofrecer altos valores de capacitancia, su vida útil está restringida por factores térmicos, eléctricos y mecánicos, lo que compromete directamente la confiabilidad del sistema de conversión de energía.

Estas limitaciones han motivado la búsqueda de materiales alternativos y nuevas configuraciones que permitan mejorar el desempeño del elemento de desacoplamiento sin sacrificar densidad energética.

2.1.3 Avance en materiales y nuevas configuraciones de capacitores

A lo largo de las últimas décadas, el desarrollo de nuevos materiales y arquitecturas ha transformado significativamente la tecnología de los capacitores. En sus primeras etapas, los electrolitos líquidos constituían la opción estándar en la mayoría de los capacitores electrolíticos, ofreciendo una elevada densidad de energía, pero presentando limitaciones en cuanto a estabilidad térmica y envejecimiento prematuro.

Con el avance de la ciencia de materiales, se han introducido diversas mejoras que buscan mitigar las fallas asociadas al deterioro del electrolito y aumentar la eficiencia energética global del sistema. Estas innovaciones se centran principalmente en tres áreas: los materiales de los electrodos, los electrolitos sólidos o poliméricos, y la incorporación de electrolitos alternativos.

2.1.4 Materiales de los electrodos

Los capacitores convencionales emplean como material dieléctrico óxidos metálicos, como el óxido de aluminio o el óxido de tantalio. Sin embargo, estos presentan degradación con el tiempo debido a procesos de corrosión, formación de gas o evaporación del electrolito. Para superar estas limitaciones, se han desarrollado nuevas películas dieléctricas basadas en materiales cerámicos (BaTiO_3 , SrTiO_3) y polímeros de alta estabilidad (como polipropileno o polietileno naftalato), capaces de operar bajo mayores temperaturas y tensiones eléctricas sin comprometer la capacitancia [79].

Estas alternativas ofrecen mayores voltajes de ruptura, menor pérdida dieléctrica y una vida útil prolongada, características esenciales para aplicaciones en sistemas de conversión de potencia de alta frecuencia o en ambientes térmicamente exigentes.

2.1.5 Electrolitos sólidos y poliméricos

Uno de los avances más relevantes en la tecnología de capacitores es la sustitución del electrolito líquido por electrolitos sólidos o poliméricos conductores, como el polietilendioxitiofeno (PEDOT) o el polipirrol (PPy) [80]. Estos materiales disminuyen los problemas de evaporación y reducen significativamente la ESR.

La reducción de la ESR disminuye la generación de calor interno, lo que se traduce en una operación más eficiente bajo altas corrientes de rizado y frecuencias elevadas, condiciones típicas en inversores y convertidores de potencia compactos.

2.1.6 Electrolitos híbridos y alternativos

La investigación reciente ha incorporado óxidos metálicos avanzados (niobio, tántalo) y compuestos poliméricos híbridos que combinan la alta capacitancia de los sistemas electrolíticos con la estabilidad de los dieléctricos sólidos. Estas combinaciones permiten reducir las tasas de degradación y mejorar el desempeño bajo condiciones extremas de temperatura y estrés eléctrico [81].

Como resultado, estos nuevos materiales han encontrado aplicación en sectores que demandan alta confiabilidad, como la industria aeroespacial, automotriz y los sistemas de conversión de energía renovable.

2.1.7 De la mejora de materiales a la reconfiguración arquitectónica

A pesar de los avances logrados en el desarrollo de materiales cerámicos, poliméricos e híbridos, las limitaciones inherentes al uso de electrolitos especialmente ante condiciones de alta frecuencia o alto rizado de corriente continúan representando un desafío técnico. Incluso con electrolitos sólidos, las corrientes alternantes inducen efectos térmicos que pueden provocar degradación parcial del medio conductor y afectar la vida útil del componente [82].

Ante este escenario, la investigación reciente ha evolucionado más allá del nivel material, hacia el rediseño arquitectónico del sistema capacitivo. Esta tendencia ha dado lugar a topologías que buscan redistribuir el esfuerzo eléctrico y térmico entre múltiples unidades conectadas dinámicamente, reduciendo el estrés individual y optimizando el aprovechamiento energético global [83].

2.1.8 Principio de funcionamiento del desacoplamiento activo

El desacoplamiento activo propone una distribución dinámica del esfuerzo eléctrico entre múltiples capacitores de menor capacidad, controlados mediante conmutación [84].

El principio fundamental consiste en dividir el almacenamiento de energía en etapas conmutadas, donde cada capacitor se conecta o desconecta de manera secuencial en función del ciclo de operación del convertidor. Este proceso permite que la energía del enlace de CD se mantenga estable, reduciendo las variaciones instantáneas de voltaje y, por tanto, las pérdidas térmicas asociadas a las corrientes de rizado. De este modo, el sistema logra un efecto de desacoplamiento equivalente, pero con una menor capacitancia total y una mejor distribución del esfuerzo eléctrico entre los elementos.

Además, al incorporar un control activo de conmutación, es posible mejorar el tiempo de conexión de cada capacitor según las condiciones de carga o la etapa del ciclo de conversión, incrementando la eficiencia energética global. Esta acción coordinada permite sustituir parcialmente el papel de los grandes capacitores electrolíticos por unidades más pequeñas y confiables, como los capacitores de película, mejorando la densidad de potencia y prolongando la vida útil del sistema.

2.1.9 Arquitectura SSC

La arquitectura SSC representa una aplicación directa del principio de desacoplamiento activo, en la que la función de almacenamiento y transferencia de energía se distribuye dinámicamente entre varios capacitores conectados mediante circuitos de conmutación controlados. Esta arquitectura tiene como objetivo principal eliminar la dependencia de capacitores electrolíticos en el desacoplamiento de potencia, sustituyéndolos por bloques modulares de capacitores conmutados que permiten mantener la estabilidad del bus de CD y mejorar la densidad energética del sistema [84].

2.2 Estructura general de la arquitectura

La arquitectura SSC incorpora circuitos de conmutación adicionales conformados por bloques de capacitores e interruptores, los cuales facilitan el intercambio controlado de energía entre las etapas del sistema. Tal como se muestra en la Figura 26, estos bloques se dividen en dos grupos principales:

- Bloque principal: integra los componentes que reflejan el comportamiento global del capacitor de enlace, actuando como elemento primario de almacenamiento de energía.
- Bloque de soporte: contiene los componentes encargados de mantener el nivel de tensión en el bloque principal y de suministrar energía adicional cuando se requiere satisfacer variaciones de carga.

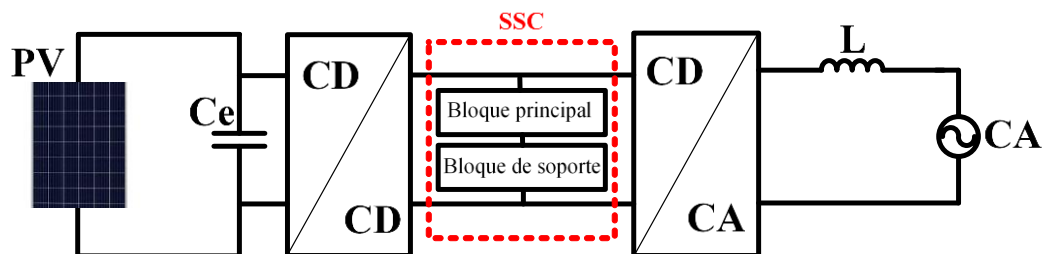


Figura 26. Esquema de la arquitectura SSC [85].

Ambos bloques operan de manera coordinada, permitiendo que los capacitores se carguen y descarguen de forma secuencial. Este proceso posibilita el uso de múltiples capacitores de menor tamaño.

2.2.1 Clasificación de la arquitectura

A partir de la estructura general descrita, la topología SSC puede implementarse en dos configuraciones principales: unipolar y bipolar, mostradas en las Figuras 27 y 28, respectivamente [86].

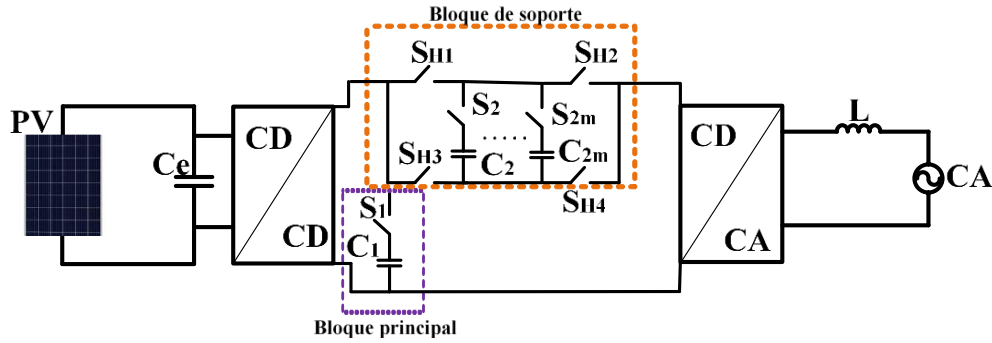


Figura 27. Arquitectura unipolar.

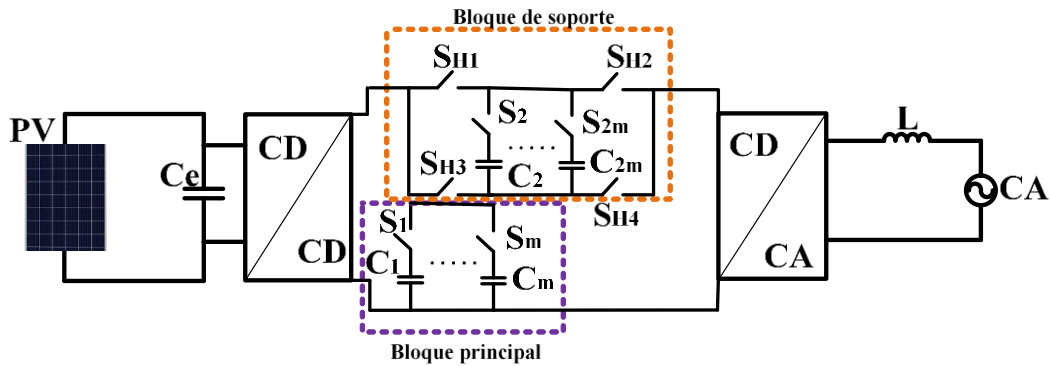


Figura 28. Arquitectura SSC bipolar.

En la arquitectura unipolar, el bloque principal está conformado por el capacitor C_1 y el interruptor S_1 , lo que implica un rango de energía menor en comparación con la versión bipolar, aunque con una menor complejidad de control. Esta configuración resulta adecuada para sistemas de potencia media o moderada, donde se busca simplicidad de control, menor número de componentes y bajas pérdidas por conmutación.

Por su parte, la arquitectura bipolar se caracteriza por un mayor número de capacitores e interruptores en el bloque principal, los cuales pueden dimensionarse según los requerimientos de la aplicación. Además, el bloque de soporte incluye un puente en “H” conformado por los interruptores (S_{H1} , S_{H2} , S_{H3} , S_{H4}), lo que permite diversos modos de conmutación entre los capacitores de soporte y los del bloque principal, ya sea en conexión serie o paralelo. Esta flexibilidad amplía el rango de tensión de operación y mejora la capacidad de compensación de energía en sistemas de mayor potencia [87].

2.2.2 Principio de operación

El principio de funcionamiento de la arquitectura SSC se basa en la conmutación secuencial de los capacitores de soporte, que se suman o desconectan del bloque principal de acuerdo con el nivel de voltaje en el bus de CD. Antes de iniciar la operación, todos los capacitores deben precargarse mediante una secuencia específica, garantizando que cada uno alcance su nivel máximo de voltaje.

Durante el ciclo de descarga, el capacitor del bloque principal (C_1) es el primero en suministrar energía, ya que el único interruptor activado inicialmente es S_1 . Una vez que el voltaje del bus de CD alcanza su valor mínimo permitido, S_1 se desactiva y se activan

secuencialmente los interruptores del bloque de soporte, acoplando uno a uno los capacitores auxiliares (C_2 , C_3 , C_4 , ...) al bloque principal.

De esta manera, en cada transición, un capacitor de soporte descarga su energía en el bus de CD, mientras los demás se recargan de manera independiente, repitiendo el ciclo de forma continua.

Este proceso, ilustrado en la Figura 29, permite amortiguar las variaciones de energía en el enlace de corriente continua, manteniendo estable el nivel de tensión requerido por la carga y reduciendo el estrés eléctrico sobre los capacitores.

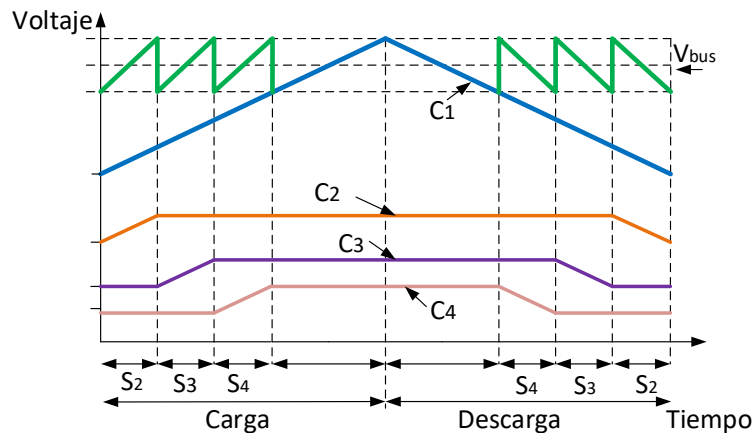


Figura 29. Operación de los capacitores [88].

La eficiencia global de la topología SSC depende directamente de la correcta definición de las secuencias de conmutación. Una característica destacable es que este sistema puede operar a frecuencias de conmutación bajas, minimizando las pérdidas por conmutación y mejorando la eficiencia térmica.

Si bien la arquitectura bipolar ofrece un mayor rango de tensión y flexibilidad, la configuración unipolar resulta más adecuada para aplicaciones de potencia intermedia, debido a su simplicidad, menor cantidad de interruptores y menores pérdidas de conducción. Por estas razones, en este trabajo se adopta la arquitectura unipolar, la cual se ajusta de manera óptima al rango de potencia de la aplicación desarrollada.

En el siguiente capítulo se presenta el diseño detallado del sistema propuesto.

Capítulo 3. Diseño del sistema propuesto

3.1 Impacto de la regresión de energía en el dimensionamiento del capacitor de enlace CD (DC-link) y consideraciones para la arquitectura

El análisis convencional empleado para determinar el tamaño del capacitor de enlace suele basarse en la suposición de que la energía fluye de manera unidireccional desde el bus de corriente continua hacia el inversor.

Esta aproximación resulta válida únicamente en sistemas donde no existen filtros pasivos, como los de tipo L o LCL , entre el inversor y la red. Sin embargo, en aplicaciones reales estos filtros son indispensables para atenuar los armónicos de alta frecuencia generados por el inversor y cumplir con los requisitos de red.

La incorporación de dichos filtros introduce un desfase entre la tensión entregada por el inversor y la tensión del lado de la red. Para mantener un factor de potencia unitario en el punto de acoplamiento común (PCC), se utiliza típicamente un lazo de bloqueo de fase (*Phase-Locked Loop*, PLL) que sincroniza la salida del inversor con la red [89]. No obstante, este desfase provoca que, en la interfaz entre el inversor y el filtro pasivo, el factor de potencia deje de ser unitario, generando un flujo bidireccional de potencia reactiva. Parte de esta energía se refleja nuevamente hacia el inversor y, en consecuencia, hacia el capacitor de enlace [90].

Este fenómeno, conocido como regresión de energía, se intensifica cuando el factor de potencia en el PCC se desvía de la unidad, situación asociada comúnmente a la inyección de potencia reactiva por parte del inversor. Como resultado, una mayor cantidad de energía reactiva regresa al capacitor de enlace, incrementando la ondulación de voltaje y potencialmente comprometiendo la estabilidad del sistema. Aunque el PLL garantiza la sincronización con la red, no impide este retorno de energía hacia el capacitor. Tradicionalmente, la solución adoptada ha sido sobredimensionar el capacitor de enlace, de manera que pueda absorber la energía regresada y mantener el rizado de tensión dentro de límites aceptables. Estudios recientes han analizado en detalle estos fenómenos en configuraciones similares [91].

La Figura 30 ilustra el flujo de corriente a través del capacitor de enlace de CD entre un convertidor CD-CD y un inversor CD-CA, destacando la relación entre la corriente de entrada (i_{cd}), la corriente del inversor (i_{Inv}) y la corriente del capacitor (i_{Clink}), reflejando el comportamiento transitorio y oscilatorio asociado con la regresión de energía.

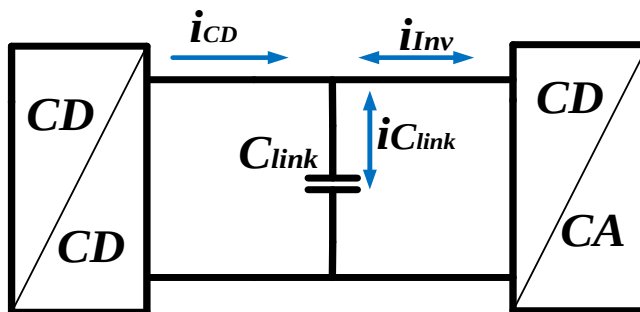


Figura 30. Flujos de corriente en el enlace [91].

En consecuencia, cualquier estrategia de desacoplamiento activo que busque reducir el volumen pasivo y mejorar la confiabilidad debe considerar explícitamente la regresión de energía en el dimensionamiento del enlace de CD.

3.1.1 Consideraciones para la arquitectura

Diversas topologías de SSC han sido propuestas en la literatura, incluyendo tanto configuraciones unipolares como bipolares. Sin embargo, todas las soluciones de amortiguamiento energético basadas en SSC desarrolladas hasta el momento emplean capacitores sin considerar los efectos de regresión de energía, fenómeno que, como se ha discutido previamente, puede afectar la estabilidad del sistema y la eficiencia del almacenamiento energético.

En esta sección se analizan los capacitores de la arquitectura SSC bajo nuevas consideraciones de diseño, con el propósito de incrementar la densidad energética y la eficiencia operativa respecto a las configuraciones convencionales. Para lograrlo, se ajustan los valores de capacitancia y se reconfigura la disposición de los capacitores, de modo que se optimicen tanto la capacidad de almacenamiento como el desempeño dinámico del sistema [89].

Un parámetro fundamental en este análisis es la relación de amortiguamiento de energía (Γ_b), también conocida como Energy Buffering Ratio (EBR), definida como la relación entre la energía intercambiada durante un ciclo completo de carga y descarga, y la capacidad total de energía del sistema [21]. Esta relación se expresa como:

$$\Gamma_b = \frac{2(m+2)R_v}{(2^2 + 3^2 + \dots + (m+1)^2)R_v^2 + (1+R_v)^2} \quad (5)$$

donde R_v representa la relación de ondulación del voltaje en el bus de CD y m es el número de capacitores de soporte.

Cuanto mayor sea el valor de Γ_b , menor será el búfer de energía necesario para una cantidad dada de potencia a amortiguar. Por lo tanto, la maximización de Γ_b contribuye un objetivo deseable en el diseño.

De manera general, la relación de amortiguamiento de energía también puede expresarse como en (6) [56]:

$$\Gamma_b = \frac{W_{max} - W_{min}}{W_{rated}} \quad (6)$$

donde W_{max} y W_{min} corresponden a los valores máximo y mínimo de energía almacenada en el amortiguador, y W_{rated} a la capacidad total del sistema.

Para el caso específico de un SSC unipolar con capacitancias diferentes, la expresión se simplifica a:

$$\Gamma_b = 1 - \frac{W_{max}}{W_{rated}} \quad (7)$$

La energía máxima y mínima almacenada en el SSC puede expresarse, respectivamente, como:

$$W_{max} = \frac{1}{2} C_{11} V_{C11(ini)}^2 + \sum_{j=1}^m \frac{1}{2} C_{2j} V_{C2j(ini)}^2 \quad (8)$$

$$W_{min} = \frac{1}{2} C_{11} V_{C11(fin)}^2 + \sum_{j=1}^m \frac{1}{2} C_{2j} V_{C2j(fin)}^2 \quad (9)$$

donde $V_{Cij(ini)}$ y $V_{Cij(fin)}$ representan los voltajes inicial y final en cada capacitor C_{ij} , respectivamente, al inicio y al final del proceso de descarga.

La Figura 31 muestra las formas de onda de voltaje de un SSC unipolar mejorado con distintos valores de capacitancia, bajo una descarga con corriente constante durante la operación normal. Dichas formas de onda permiten expresar los voltajes iniciales y finales de los capacitores en función del voltaje nominal del bus de CD (V_{nom}).

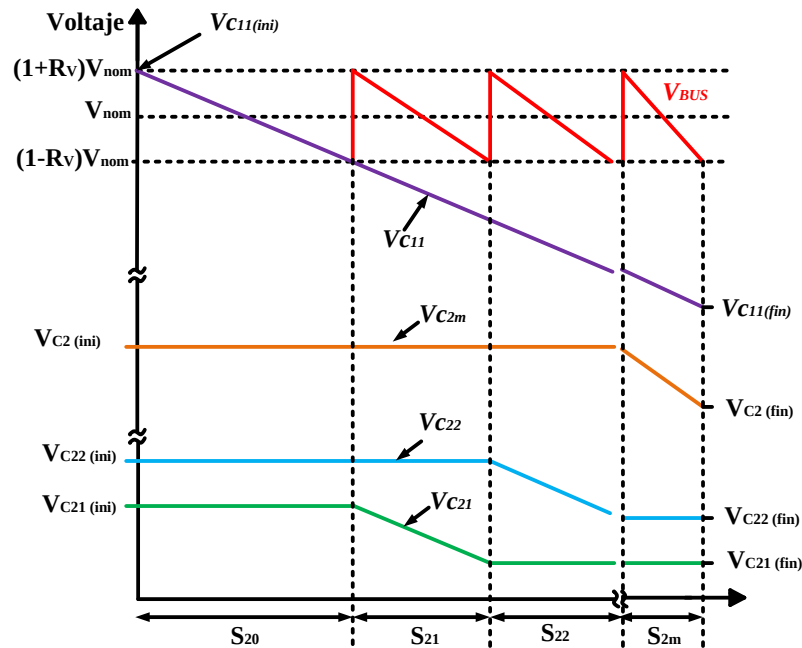


Figura 31. Voltajes iniciales y finales [88].

Cuando el sistema se encuentra completamente cargado, el capacitor principal C_{11} está directamente conectado al bus de CD, de modo que:

$$V_{C11(ini)} = (1 + R_v)V_{nom} \quad (10)$$

Durante la descarga, el voltaje de C_{11} disminuye hasta alcanzar $(1 - R_v)V_{nom}$, punto en el cual el capacitor C_{21} se conecta en serie para restaurar el nivel máximo de tensión del bus. En este proceso, el voltaje inicial del capacitor de soporte C_{21} se define como:

$$V_{C21(ini)} = 2R_v V_{nom} \quad (11)$$

y su voltaje final tras la descarga se expresa como:

$$V_{C21(fin)} = 2R_v V_{nom} - 2R_v V_{nom} \frac{C_{11}}{C_{21} + C_{11}} \quad (12)$$

Este ciclo se repite para los capacitores (C_{22} , $C_{23} \dots C_{2m}$) permitiendo un proceso continuo de carga y descarga secuencial que optimiza la utilización de energía almacenada y mantiene estable el voltaje del bus de corriente directa.

De esta manera, la arquitectura SSC unipolar mejora la eficiencia energética del sistema y permite la eliminación de los capacitores electrolíticos, sustituyéndolos por capacitores de película de menor capacidad, pero alta confiabilidad térmica.

Capítulo 4. Resultados

4.1 Caso de estudio: convertidor Cuk

Con el fin de validar el desempeño de la arquitectura SSC unipolar, se plantea como caso de estudio la implementación de un convertidor Cuk. Este tipo de convertidor fue seleccionado por su capacidad de mantener corrientes no pulsantes en la entrada, una característica deseable en aplicaciones fotovoltaicas, y por su capacidad para reducir armónicos de corriente, cumpliendo así con los estándares de calidad exigidos para sistemas conectados a red.

Los parámetros eléctricos y de operación empleados en el diseño se resumen en la Tabla 7, mientras que la metodología de diseño utilizada se presenta en la Tabla 8.

Tabla 7. Parámetros de diseño

Parámetro	Símbolo	Valor
Potencia	P_{avg}	200 W
Frecuencia de red	f_g	60 Hz
Relación de frecuencias	B	250
Porcentaje del rizo de voltaje	5%	10 V
Frecuencia angular en la red	ω	$120 \pi \text{ rad/s}$
Voltaje de los paneles fotovoltaicos	V_{PV}	30.3 V
Voltaje del bus de CD	V_{dc}	210 V
Ciclo de trabajo	D	0.5
Frecuencia de conmutación	f_{sw}	100 kHz

En la fase inicial de diseño se establecieron criterios de estabilidad y uniformidad operacional, definidos a partir de límites comúnmente aceptados en convertidores electrónicos de potencia. En particular, el rizo de voltaje de salida se restringió a un valor inferior al 5% respecto al valor nominal, con el objetivo de garantizar una operación estable del sistema, mientras que el rizo de corriente se limitó al 10% para evitar esfuerzos excesivos en los dispositivos de conmutación y en los elementos pasivos. Estos valores fueron adoptados como criterios de diseño y se mantuvieron como restricciones a lo largo del análisis y la validación del sistema propuesto basado en capacitores conmutados apilados (SSC).

Las expresiones empleadas para el dimensionamiento de los componentes y los resultados obtenidos se resumen en la Tabla 8, con las magnitudes calculadas para inductores, capacitores y resistencias equivalentes.

Tabla 8. Metodología de diseño

Fórmula	Resultado	Fórmula	Resultado
$i_{L1} = \frac{P}{V_{in}}$	6.601 A	$R_{CD} = \frac{V_{out}}{i_{out}}$	220.5 Ω
$\Delta i_{L1} = .1 \cdot i_{L1}$	0.66 A	V_{pp}	162 V
$\Delta V_{C1} = .05 \cdot V_{in}$	1.515 V	$I_{CD} = \frac{P}{V_{pp}}$	1.235 A
$C_{CA} = \frac{P}{2 \cdot \omega \cdot V_r \cdot V_{cd}}$	601.4 μF	$I_0 = \frac{4 \cdot I_{CD}}{\pi}$	1.572 A
$\Delta V_{C0} = .05 \cdot V_{out}$	10.5 V	$R_{CA} = \left(\frac{P}{I_0^2} \right)$	80.86 Ω
$\Delta i_{L2} = .01 \cdot i_{out}$	0.095 A	$C1p = n \cdot \frac{I_{out} \cdot (1-D)}{\Delta V_{C1} \cdot f_{sw}}$	22.11 μF
$L1 = \frac{V_{in} \cdot D}{\Delta i_{L1} \cdot f_{sw}}$	228.4 μH	$C1s = \frac{I_{out} \cdot (1-D)}{\Delta V_{C0} \cdot f_{sw}}$	0.455 μF
$L2 = \frac{V_{out} \cdot (1-D)}{\Delta i_{L2} \cdot f_{sw}}$	11.025 mH	$C2 = \frac{V_{out} \cdot (1-D)}{L2 \cdot \Delta V_{C0} \cdot f_{sw}^2 \cdot 8}$	0.12 μF

La configuración final del convertidor y los valores seleccionados permitieron un equilibrio entre eficiencia, estabilidad y densidad de energía. Este diseño constituye la base para el análisis comparativo que se presenta en el siguiente capítulo, donde se discute el desempeño del sistema con desacoplamiento activo frente a arquitecturas convencionales.

4.2 Resultados de simulación del convertidor Cuk

La Figura 32 muestra el esquemático del convertidor implementado en entorno de simulación. En la Figura 33, se observa el resultado del voltaje de salida del convertidor, con un valor promedio de 207 V, muy cercano al voltaje nominal de 210 V, validando así la exactitud del diseño.

En cuanto a la potencia de salida, la simulación arroja un valor de 195 W, lo que representa una eficiencia superior al 97%, dentro de los márgenes esperados. Estos resultados iniciales permiten comprobar la correcta operación del sistema bajo condiciones ideales.

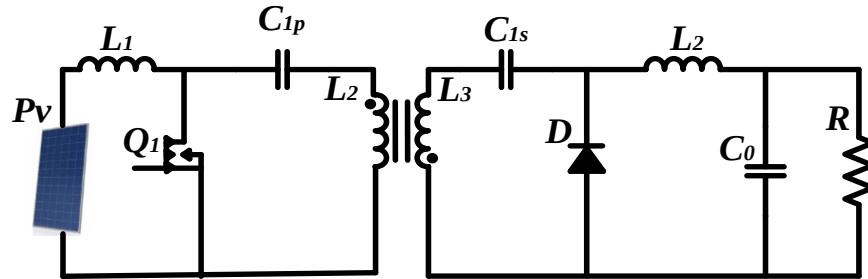


Figura 32. Convertidor Cuk.

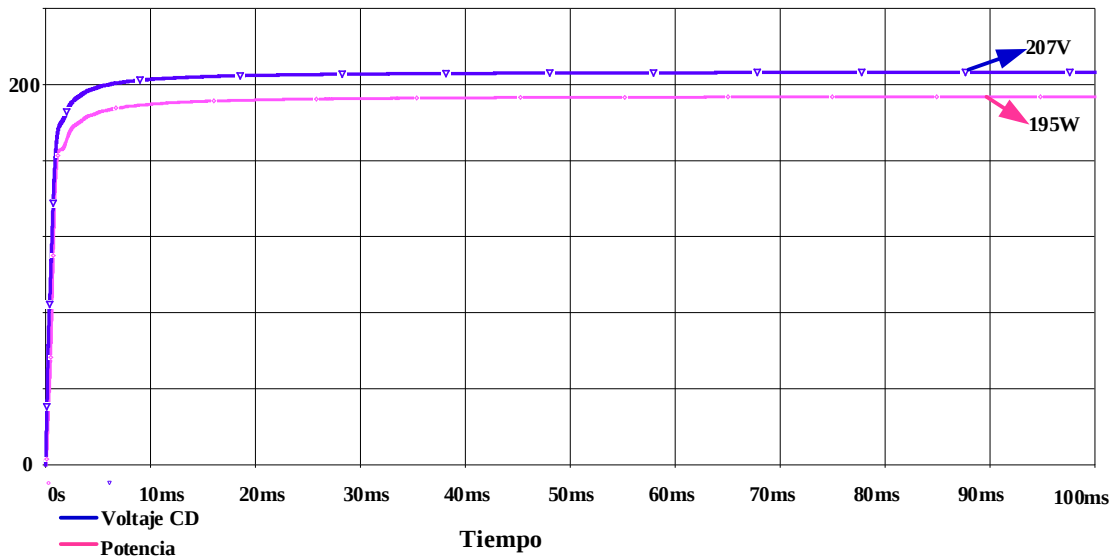


Figura 33. Resultado del convertidor Cuk.

4.3 Operación del convertidor Cuk con puerto de CA

Para validar el comportamiento del sistema de desacoplamiento activo, se implementó una simulación del convertidor Cuk con puerto de corriente alterna. En la Figura 34 se muestra el esquema del circuito simulado. Este modelo permite analizar las variaciones de potencia y la respuesta del sistema ante condiciones de rizado de corriente y voltaje en el bus de CD.

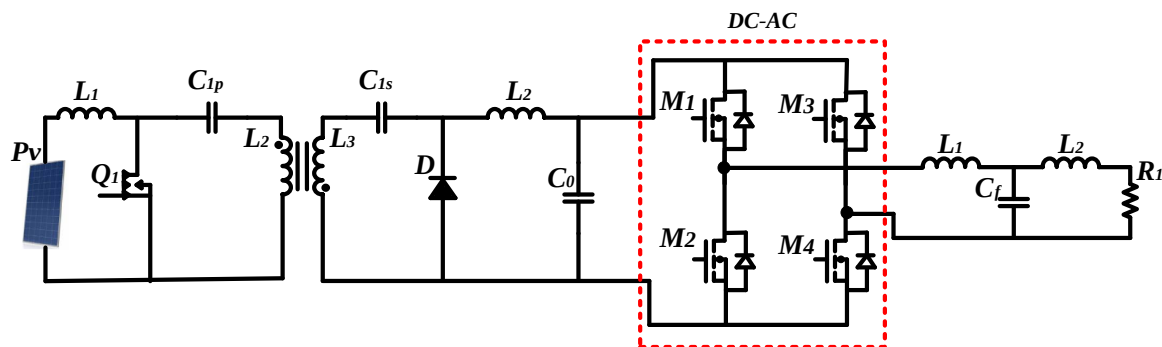


Figura 34. Convertidor Cuk operando con puerto de CA.

En un sistema monofásico conectado a red, la potencia instantánea se obtiene a partir de la interacción entre el voltaje y la corriente del sistema. Cuando ambos son de naturaleza senoidal y están en fase, la potencia resultante presenta un componente promedio constante (potencia activa) y un componente pulsante que varía al doble de la frecuencia de la red.

Este componente pulsante representa el flujo alternante de energía entre la fuente y el bus de CD, generando fluctuaciones periódicas en el voltaje del capacitor de enlace. Dichas variaciones son responsables de la ondulación de corriente y de las pérdidas adicionales que aparecen especialmente en condiciones de alta potencia o cargas dinámicas.

La Figura 35 muestra la naturaleza oscilatoria de la potencia en el lado de CA medida sobre la resistencia R_1 . Aunque la potencia promedio permanece constante, la componente pulsante introduce una variación periódica que ocasiona un intercambio energético bidireccional entre la fuente y el bus de CD. Estas fluctuaciones, de frecuencia doble a la fundamental, constituyen la principal causa de la ondulación de voltaje en el capacitor de enlace.

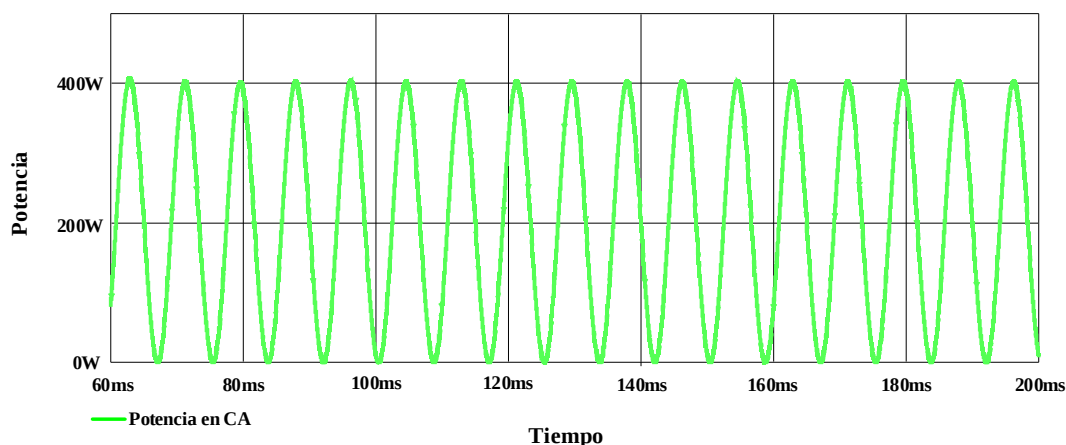


Figura 35. Potencia de CA.

Finalmente, en la Figura 36 se observa el rizo de voltaje medido en el capacitor de enlace, el cual alcanza una amplitud aproximada de 5 V. Este valor está dentro del margen de diseño establecido (5 %), lo que confirma que el convertidor mantiene una operación estable bajo las condiciones simuladas. No obstante, este rizo también evidencia la presencia de la

potencia pulsante a doble frecuencia, lo que justifica la incorporación del sistema de capacitores conmutados apilados (SSC) como estrategia de desacoplamiento activo para mejorar la eficiencia energética y la calidad del voltaje en el bus de CD.

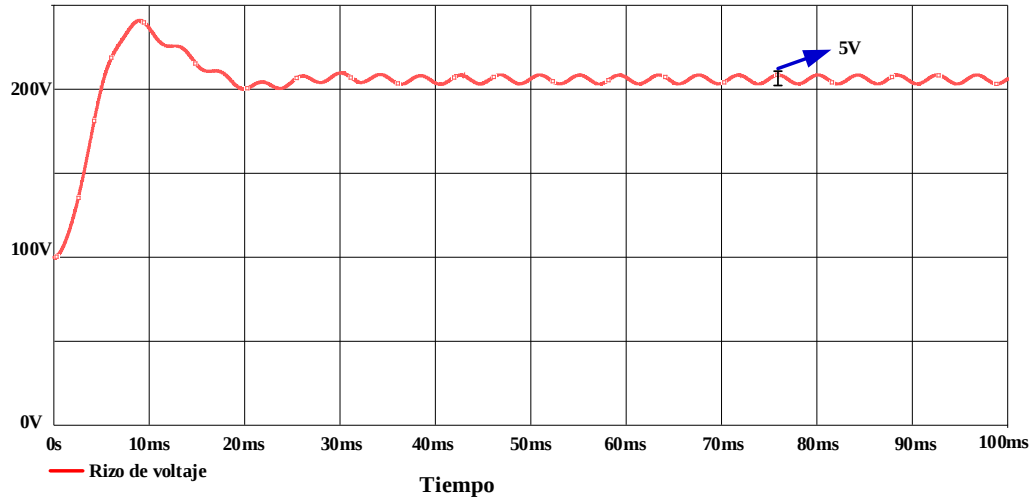


Figura 36. Rizo de voltaje en el enlace

4.4 Resultados de simulación del convertidor Cuk con la arquitectura SSC

En esta sección se analizan los resultados de simulación obtenidos para el convertidor Cuk operando con la arquitectura de capacitores conmutados apilados (SSC) en su versión unipolar. Esta configuración se implementa con el propósito de evaluar su desempeño en el desacoplamiento activo de potencia, comparando su respuesta frente al sistema convencional con capacitor electrolítico.

La Tabla 9 presenta los parámetros de diseño empleados en la simulación, mientras que la Tabla 10 resume la metodología utilizada para determinar las capacitancias óptimas del sistema SSC unipolar. En este caso, el diseño se basó en una potencia nominal de 200 W, una frecuencia de red de 60 Hz y un voltaje de enlace nominal de 210 V, considerando un rizo máximo permitido del 10%.

Tabla 9. Parámetros de diseño del sistema SSC.

Parámetro	Símbolo	Valor
Potencia	P_{cd}	200 W
Frecuencia de red	f	60 Hz
Número de capacitores de columna	n	1
Numero de capacitores de soporte	m	3
Voltaje máximo	$V_{m\acute{a}x}$	270 V

Voltaje mínimo	$V_{\min}$	140 V
Voltaje nominal	V_{nom}	210 V
Porcentaje de rizo en el bus de CD	Rv	10%
Frecuencia angular	ω	377 rad/s

Tabla 10. Metodología de diseño para el sistema SSC.

Fórmula	Resultado
$\Delta = n \left[\left(1 + (m+1) Rv \right)^2 - \left(1 - (m+1) Rv \right)^2 \right]$	1.6
$C = \frac{2 \cdot P_{CD}}{\Delta \cdot V_{nom}^2 \cdot \omega}$ [33]	15 μ F

La Figura 37 muestra el esquema del circuito, donde se aprecia la integración del sistema SSC unipolar en el bus de CD del convertidor Cuk. Esta configuración permite que los capacitores conmutados se activen secuencialmente, garantizando un intercambio de energía eficiente entre los bloques principal y de soporte.

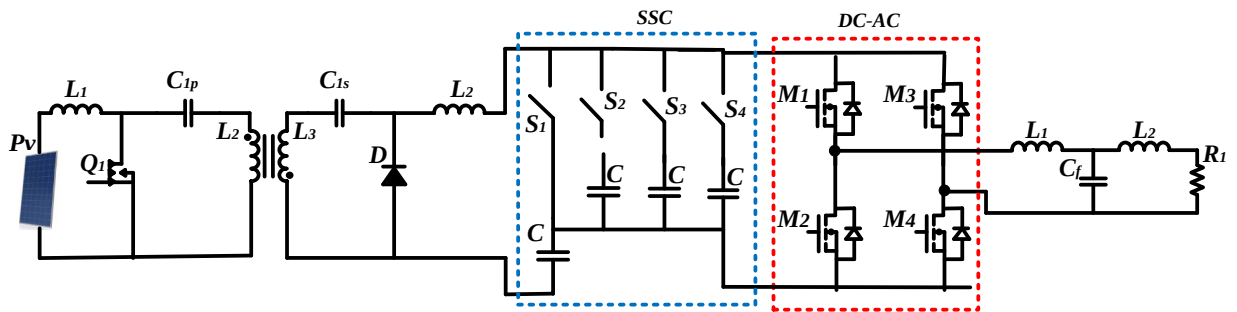


Figura 37. Convertidor Cuk con arquitectura SSC unipolar.

En la Figura 38 se presenta la potencia del lado de corriente alterna (CA), donde se observa la naturaleza oscilatoria del flujo de potencia, variando desde 0 hasta aproximadamente 387 W. Este comportamiento confirma la presencia de la componente pulsante de potencia a una frecuencia doble a la de red, fenómeno que es característico en los sistemas monofásicos conectados a CA. La capacidad del SSC para amortiguar estas fluctuaciones resulta esencial para mantener un desempeño estable del sistema.

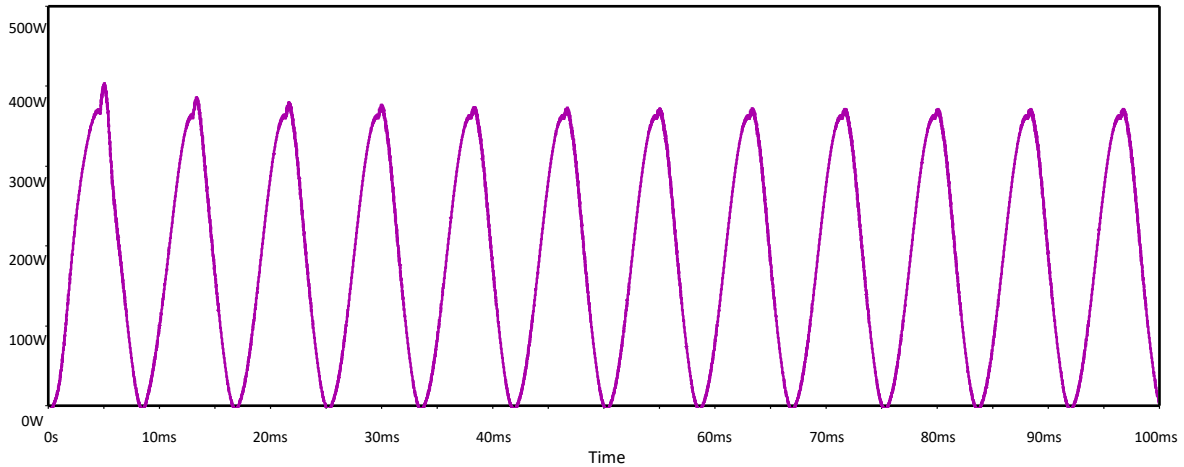


Figura 38. Potencia en CA.

Por su parte, la Figura 39 muestra el comportamiento del voltaje en el bus de corriente continua, el cual se mantiene alrededor de su valor nominal de 210 V. El rizo de voltaje, limitado a aproximadamente 5 V, se mantiene dentro del rango de diseño establecido, evidenciando la efectividad de la arquitectura SSC para compensar las variaciones energéticas inducidas por la potencia pulsante del lado de CA.

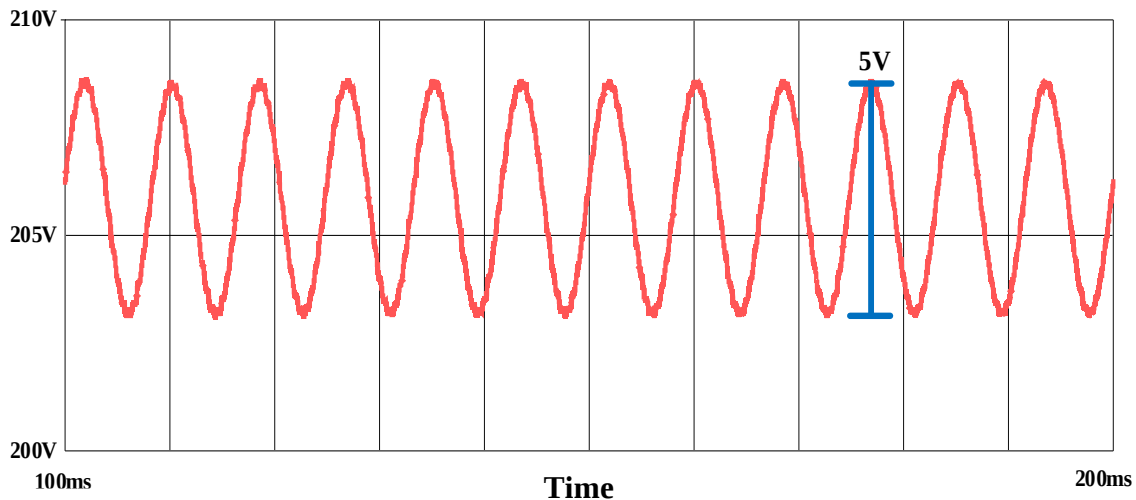


Figura 39. Rizo de voltaje en el bus de CD.

Estos resultados demuestran que la sustitución del capacitor electrolítico por el sistema SSC no compromete la estabilidad del enlace de CD ni la entrega de potencia. Por el contrario, el sistema mantiene un comportamiento estable, con un rizo controlado y una respuesta eficiente ante las fluctuaciones de potencia. La reducción de la capacidad total desde 600 μF hasta cuatro capacitores de 15 μF representa una mejora notable en términos de densidad energética, confiabilidad y vida útil del sistema.

4.5 Diseño del sistema SSC con regresión de energía

En esta sección se presenta el diseño del sistema SSC considerando las nuevas condiciones de regresión de energía, cuyo propósito es incrementar la potencia de salida y mejorar el almacenamiento energético en el enlace de CD. Este rediseño se basó en la arquitectura unipolar tipo 1–2, la cual permitió alcanzar una capacitancia total equivalente de 36 μF , logrando un equilibrio entre tamaño físico, pérdidas asociadas a la ESR y estabilidad de voltaje en el bus de CD. La Tabla 11 resume los principales parámetros de diseño considerados, mientras que la Tabla 12 muestra el resultado de la metodología empleada para determinar la capacitancia del sistema.

Tabla 11. Parámetros de diseño del sistema SSC.

Parámetro	Símbolo	Valor
Potencia	P_{cd}	200 W
Frecuencia de red	f	60 Hz
Número de capacitores de columna	n	1
Numero de capacitores de soporte	m	2
Voltaje máximo	$V_{m\acute{a}x}$	270 V
Voltaje mínimo	$V_{m\acute{i}n}$	140 V
Voltaje nominal	V_{nom}	210 V
Porcentaje de rizo en el bus de CD	R_v	10 %
Frecuencia angular	ω	377 rad/s

Tabla 12. Metodología de diseño para el sistema SSC.

Fórmula	Resultado
$C = \frac{2 \cdot P}{f_{sw} \cdot dV_{min}^2}$	36.28 μF

Para verificar el funcionamiento del sistema SSC, se realizaron simulaciones en las que se analizó el comportamiento del voltaje de salida y la potencia instantánea entregada al bus de CD. En la Figura 40 se muestra la forma de onda del voltaje de salida, el cual se mantiene estable alrededor de 210 V, cumpliendo con los criterios de diseño establecidos y demostrando una adecuada regulación frente a las variaciones del sistema.

Por su parte, la Figura 41 presenta la potencia instantánea del sistema, en la que se observa un valor promedio de 376 W, modulada al doble de la frecuencia de red, obteniendo con esto una eficiencia del 94%. Este comportamiento confirma la correcta transferencia de energía entre los capacitores y la carga, validando la operación sincronizada del sistema SSC.

En conjunto, estas simulaciones evidencian que el sistema SSC con las consideraciones de regresión de energía mantiene una salida estable, con una capacidad de almacenamiento y transferencia energética superior a la de los sistemas convencionales.

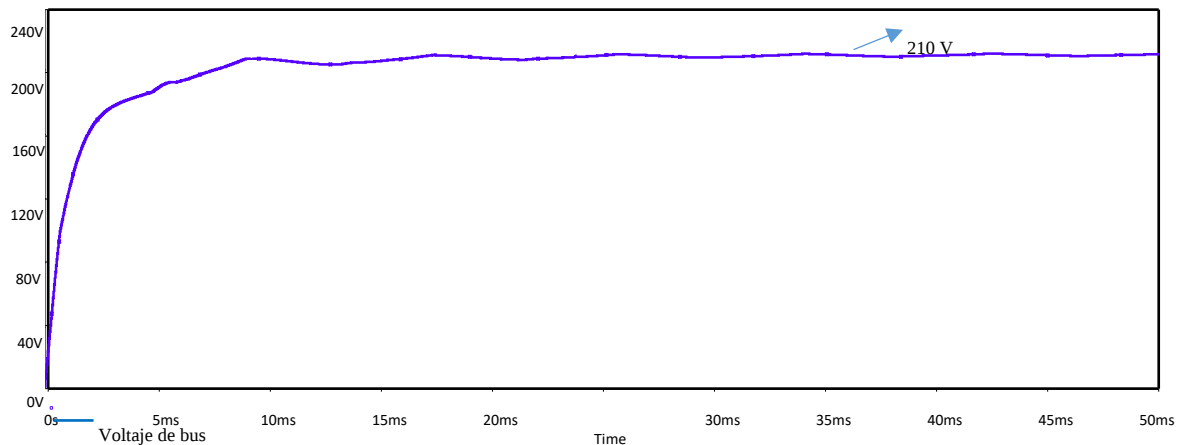


Figura 40. Voltaje en el bus de CD

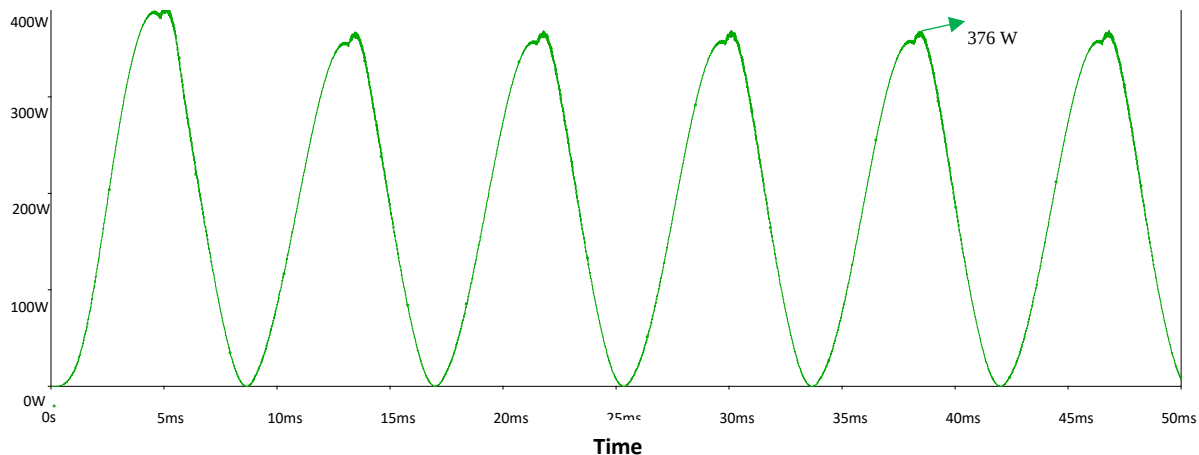


Figura 41. Potencia en CA

Es fundamental conocer el comportamiento de la energía almacenada en las capacitancias, especialmente al comparar distintos tipos de capacitores y arquitecturas de enlace, las regresiones de energía pueden tener un efecto significativo sobre la estabilidad del sistema y la eficiencia global del convertidor.

El análisis comparativo de la energía almacenada, ESR y volumen pasivo entre diferentes arquitecturas de enlace se resume en la Tabla 13. Este estudio permite cuantificar la mejora obtenida con la topología SSC frente a los capacitores electrolíticos.

Tabla 13. Energía en las diferentes arquitecturas de enlace [92].

	Valor del capacitor de enlace	Energía total (J)	ESR	Volumen pasivo (mm^3)
Capacitor electrolítico	1 capacitor de 601.4 μF	13.26	0.24	2010
Capacitor con consideraciones de regresión de energía	1 capacitor de 115.7 μF	2.55	0.2	890
SSC normal	4 capacitores de 15 μF	1.323	0.2	710
SSC mejorado	3 capacitores de 36 μF	2.3	0.2	630

Los resultados muestran que, si bien el capacitor electrolítico almacena mayor energía absoluta, su alto volumen, mayor ESR y menor vida útil lo hacen poco adecuado para aplicaciones con restricciones de espacio, altas exigencias térmicas o necesidades de confiabilidad prolongada.

Por el contrario, las arquitecturas SSC distribuyen el almacenamiento energético entre múltiples capacitores de película, lo que reduce las pérdidas resistivas, mejora la estabilidad térmica y facilita la gestión del rizo de potencia. La versión mejorada del SSC demuestra que es posible incrementar la energía gestionada sin aumentar el volumen físico, conservando una ESR baja y una eficiencia superior. Estos resultados confirman que la topología SSC no solo mantiene un desempeño eléctrico estable, sino que supera las limitaciones físicas y térmicas impuestas por capacitores electrolíticos.

4.6 Comparativa con topologías avanzadas de desacoplamiento activo

Aunque el análisis energético permite contrastar los capacitores empleados en diferentes arquitecturas de enlace, es imprescindible evaluar el SSC dentro del contexto de topologías de desacoplamiento activo reportadas en la literatura reciente.

La Tabla 14 constituye un elemento central en esta tesis, ya que compara el desempeño del SSC mejorado con soluciones ampliamente utilizadas en microinversores y convertidores conectados a red, incluyendo:

- microinversores resonantes,
- convertidores con puerto de rizo,
- topologías con desacoplamiento capacitivo activo,
- arquitecturas de multicapacitores con control especializado.

Tabla 14. Comparativa con topologías recientes

Característica	Tesis	Referencia [93]	Referencia [94]	Referencia [39]	Referencia [95]
Topología	Convertidor Ćuk con arquitectura SSC unipolar	Microinversor resonante CLL con desacoplamiento activo	Microinversor con desacoplamiento activo de potencia	Convertidor multinivel de tres niveles con puerto de rizo	Microinversor fotovoltaico con capacitor activo
Energía en el enlace de CD (J)	0.992	2.275	2.64	0.84	3.125
Potencia y voltaje de salida	200 W, 210 V	220 W, 220 V	200 W, 200 V	250 W, 250 V	250 W, 250 V
Número de dispositivos de conmutación	10 (1 diodo, 9 MOSFETs)	10 (6 diodos, 4 MOSFETs)	16 (2 diodos, 14 MOSFETs)	11 (1 diodo, 10 MOSFETs)	9 (1 diodo, 8 MOSFETs)
Eficiencia (%)	94	94	96	96.1	95
Tamaño de elementos pasivos para el desacoplo de potencia	Tres capacitores de 15 μF	Dos capacitores de 47 μF	Cuatro capacitores de 33 μF	Un capacitor de 5 μF , uno de 37 μF y un inductor de 300 μH	Dos capacitores de 50 μF
Tipo de filtro de salida	Filtro LCL	Filtro LCL	Filtro LC	Filtro LC	Filtro LCL
Valores del filtro de salida	$L_f, L_0 = 25 \text{ mH}$; $C_f = 1.6 \mu\text{F}$	$L_{g1} = 1 \text{ mH}$, $L_{g2} = 1 \text{ mH}$; $C_g = 2 \mu\text{F}$	$L_f = 11 \text{ mH}$; $C_f = 1 \mu\text{F}$	$L_s = 8 \text{ mH}$; $C_s = 5 \mu\text{F}$	$L_f = 1 \text{ mH}$; $C_f = 30 \mu\text{F}$
Frecuencia de conmutación	100 kHz	230 kHz	200 kHz	100 kHz	50 kHz

La Tabla 14 permite comparar, de manera multidimensional:

- Energía almacenada en el enlace CD
- Tamaño y valor de los elementos pasivos requeridos
- Número de dispositivos de conmutación
- Tipo de filtro y frecuencia de operación
- Eficiencia global del sistema

Este análisis revela que la arquitectura SSC logra un equilibrio notable entre eficiencia y simplicidad estructural, lo cual es particularmente ventajoso para sistemas CD-CA de bajo y mediano voltaje.

Un punto importante es que, a diferencia de las topologías basadas en puertos de rizo (RP-MII), la arquitectura SSC contabiliza toda la energía utilizada para el desacoplamiento dentro del propio enlace de CD, mientras que las topologías RP-MII no consideran la energía desviada hacia el puerto adicional, lo que puede generar comparaciones poco equitativas. Esta diferencia metodológica hace que la evaluación del SSC sea más transparente y representativa del desempeño real del convertidor, debido a este análisis se concluye que:

- Reducción notable del componente pasivo.

El SSC sustituye un capacitor electrolítico de 600 μF por tres o cuatro capacitores de película en el rango de 15–36 μF , reduciendo volumen, pérdidas y envejecimiento.

- Alta eficiencia con menor complejidad de conmutación.

Con 10 dispositivos, el SSC alcanza eficiencias comparables (94%) a las de microinversores avanzados que utilizan hasta 16 dispositivos.

- Gestión energética completamente integrada.

La energía de desacoplamiento se almacena exclusivamente dentro del arreglo capacitivo, a diferencia de los RP-MII, lo que permite un análisis energético más directo y un control más simple.

- Respuesta dinámica mejorada.

El SSC presenta una sincronización eficiente entre el bus de CD y el puerto de CA, manteniendo la potencia a doble frecuencia sin comprometer la estabilidad del voltaje.

- Compatibilidad con aplicaciones compactas.

El número de componentes y el bajo volumen pasivo hacen al SSC idóneo para microinversores, convertidores CD-CA portátiles y sistemas distribuidos.

Capítulo 5. Conclusiones

5.1 Discusión de los resultados

En este trabajo de investigación se desarrolló, modeló y analizó un sistema de desacoplamiento activo basado en capacitores conmutados apilados (SSC), integrado a un convertidor Cuk con puerto de corriente alterna, con el objetivo de mitigar las fluctuaciones de potencia a doble frecuencia y mejorar la estabilidad del bus de corriente continua. A través de diversas simulaciones realizadas en el entorno OrCAD PSPICE, se validó el desempeño del sistema bajo distintas configuraciones de capacitancia y se compararon los resultados con modelos de referencia reportados en la literatura.

En primer lugar, se comprobó el principio de funcionamiento del convertidor Cuk operando con puerto de CA. La Figura 33 evidencia la naturaleza oscilatoria de la potencia instantánea, que presenta un componente pulsante al doble de la frecuencia de red (120 Hz). Esta potencia alternante produce el rizo característico en el voltaje del bus de CD, observado en la en la Figura 34, donde se registró una ondulación aproximada de 5 V (dentro del 5% del valor nominal). Estos resultados confirman la necesidad de un sistema de desacoplamiento activo, debido a que las variaciones de potencia en el enlace CD provocan pérdidas energéticas y reducen la eficiencia del sistema.

Al integrar la arquitectura SSC unipolar, se observó una mejora sustancial en el comportamiento del sistema. Las Tablas 9 y 10 presentan los parámetros de diseño y la metodología de dimensionamiento para la configuración con cuatro capacitores de 15 μF , utilizados en sustitución del capacitor electrolítico original de 600 μF . Esta disminución drástica en la capacidad total representa una reducción significativa en volumen y costo, sin comprometer la estabilidad del enlace CD. En la Figura 38 se aprecia que el voltaje del bus permanece estable en 210 V, mientras que la Figura 39 muestra una potencia alternante de 387 W a 120 Hz, lo cual confirma una correcta transferencia energética entre el puerto de CA y el bus de CD.

El análisis de la versión mejorada del SSC permitió validar las ventajas del rediseño mediante regresión de energía. En este caso, se logró una capacitancia equivalente de 36 μF , incrementando la eficiencia y disminuyendo el esfuerzo dinámico sobre los semiconductores. Las Figuras 40 y 41 muestran un comportamiento estable: el voltaje de salida se mantiene cercano a 210 V, y la potencia instantánea alcanza 370 W en la misma frecuencia pulsante. Este desempeño confirma una gestión energética adecuada, una sincronización efectiva entre los elementos del sistema y una reducción del rizo en el bus CD.

La Tabla 13 muestra una comparación energética entre distintas arquitecturas de desacoplamiento. El SSC mejorado presenta un balance notable entre energía almacenada (2.3 J), resistencia serie equivalente (0.2 Ω) y volumen pasivo (630 mm^3), destacando frente al capacitor electrolítico convencional que, aunque almacena más energía (13.26 J), posee un volumen mayor (2010 mm^3) y presenta un envejecimiento acelerado. Esto evidencia que la topología SSC ofrece mayor rendimiento volumétrico, mejor distribución del flujo energético y menores pérdidas asociadas al ESR y a las oscilaciones del bus.

Los resultados de simulación confirman que el sistema de capacitores conmutados apilados permite un desacoplamiento activo efectivo, manteniendo la estabilidad del enlace CD incluso bajo condiciones pulsantes de potencia. La capacidad de modular la energía entre

los capacitores de columna y soporte asegura una compensación dinámica ante la potencia alternante, reduciendo el rizo del voltaje y las tensiones transitorias sobre los semiconductores.

Comparando la topología propuesta con los modelos de referencia reportados en la literatura (como los descritos en [93–95]), se observa que la arquitectura SSC ofrece ventajas notables en términos de compacidad, eficiencia y simplicidad de control. Mientras que los sistemas de referencia presentan mayores energías en el bus de CD (hasta 3.125 J) y un número superior de dispositivos de conmutación (hasta 16 transistores), la solución SSC utiliza solo 10 dispositivos de conmutación y logra una eficiencia de 94 %, comparable a los microinversores avanzados, pero con una reducción significativa en tamaño y complejidad. Este equilibrio entre rendimiento y simplicidad convierte al SSC en una opción viable para aplicaciones donde el espacio, el costo y la densidad de potencia son factores determinantes.

Si bien el SSC presenta una capacidad de almacenamiento energético menor que las arquitecturas convencionales basadas en una gran capacitancia, esta limitación no compromete su desempeño en aplicaciones donde la rapidez de respuesta y la alta densidad energética son esenciales, como en microinversores y convertidores CD-CA compactos.

En conjunto, los resultados obtenidos confirman que la arquitectura SSC mejorada proporciona una respuesta dinámica superior, alta eficiencia y reducción del volumen pasivo. Su diseño compacto, topología simple y manejo eficiente del flujo energético la posicionan como una alternativa robusta y altamente competitiva frente a los capacitores electrolíticos convencionales.

5.2 Conclusiones generales

Con base en los escenarios de simulación desarrollados y en la discusión de los resultados, se concluye que la hipótesis planteada es válida: fue posible modelar, implementar y validar un sistema de desacoplamiento activo basado en capacitores conmutados apilados (SSC) aplicado a un convertidor Cuk con puerto de corriente alterna (CA), demostrando su eficacia para mitigar las fluctuaciones de potencia a doble frecuencia y mejorar la estabilidad del bus de corriente continua (CD).

El modelo propuesto fue analizado mediante simulaciones realizadas exclusivamente en OrCAD PSPICE, evaluando el comportamiento dinámico del sistema ante variaciones de carga y potencia alternante. Los resultados confirman que el SSC reduce el rizo del voltaje a menos del 5%, mantiene un voltaje estable de 210 V y responde adecuadamente a la potencia alternante de 370 W.

La principal contribución del trabajo consiste en la sustitución de un capacitor electrolítico de 600 μF por una arquitectura modular compuesta por cuatro capacitores de 15 μF . Este cambio reduce el volumen, costo y degradación por envejecimiento de los componentes, sin afectar la estabilidad del sistema. El SSC opera correctamente a una frecuencia de conmutación de 60 Hz, disminuyendo pérdidas y reduciendo los requisitos de los semiconductores.

La comparación técnica (Tabla 14) muestra que la arquitectura SSC alcanza una eficiencia del 94 %, con un número menor de dispositivos de conmutación y un volumen pasivo significativamente reducido. Esto demuestra un equilibrio sobresaliente entre eficiencia, densidad energética y simplicidad estructural.

Además, la arquitectura SSC contribuye a disminuir la dependencia de capacitores electrolíticos, alineándose con las tendencias actuales hacia soluciones más duraderas y sostenibles en electrónica de potencia. Los resultados obtenidos validan que el SSC puede sustituir de manera efectiva a los sistemas tradicionales de desacoplamiento, manteniendo o superando el desempeño de las propuestas recientes reportadas en la literatura.

En conclusión, se cumplió plenamente con el objetivo general de la tesis. La arquitectura SSC analizada representa una contribución científica y tecnológica significativa, estableciendo bases sólidas para diseños futuros de convertidores CD-CA compactos, eficientes y con larga vida útil. Asimismo, la metodología desarrollada puede servir como referencia para nuevas investigaciones que busquen mitigar el rizo de potencia en sistemas conectados a red.

5.3 Trabajos futuros

Un trabajo futuro inmediato consiste en la validación experimental del sistema propuesto, implementando un prototipo físico del convertidor Cuk con arquitectura SSC unipolar, con el fin de comprobar en laboratorio el comportamiento dinámico del desacoplamiento activo frente a condiciones reales de carga y variaciones en la potencia alternante. Esta etapa permitirá contrastar los resultados obtenidos en simulación con mediciones experimentales, verificando la respuesta transitoria, la estabilidad del bus de CD y la calidad de la potencia en el puerto de CA.

Asimismo, se plantea como trabajo futuro el desarrollo de una versión bipolar del SSC, con el objetivo de mejorar la simetría del flujo de energía y optimizar la respuesta en sistemas monofásicos interconectados. Esta configuración podría ampliar el rango de potencia manejada y disminuir aún más la capacidad requerida por cada módulo, favoreciendo la miniaturización del sistema.

Otro aspecto relevante para investigaciones posteriores es la integración de materiales avanzados en los capacitores, tales como películas metalizadas de alta densidad energética o dieléctricos cerámicos multicapa, con el fin de incrementar la robustez, reducir pérdidas por ESR y aumentar la vida útil del sistema. La exploración de nuevos materiales puede representar un avance significativo en la durabilidad y estabilidad térmica del desacoplamiento activo.

De igual forma, se propone el diseño e implementación de estrategias de control activo aplicadas a la arquitectura SSC, utilizando técnicas modernas como control predictivo basado en modelo (MPC) o control por modos deslizantes (SMC), que permitan ajustar dinámicamente la conmutación y mejorar la compensación de potencia en tiempo real. Esto abriría la posibilidad de operar el SSC de forma autónoma ante variaciones de la red o del sistema fotovoltaico.

Finalmente, se considera relevante la integración del SSC en sistemas de generación distribuida y microrredes híbridas CD-CA, para evaluar su desempeño en esquemas de gestión energética más complejos. Al incorporar el desacoplamiento activo en configuraciones donde coexisten fuentes renovables y almacenamiento, se podrían realizar análisis tecno-económicos que determinen el impacto del SSC en la eficiencia global, los costos de implementación y la vida útil de los componentes.

De esta manera, los trabajos futuros se orientan hacia la consolidación experimental, la mejora de materiales y el desarrollo de control avanzado, con el propósito de continuar mejorando la arquitectura SSC como una alternativa viable, eficiente y sostenible para el desacoplamiento activo en sistemas electrónicos de potencia conectados a red.

Bibliografía

- [1] S. H. Nengroo, S. Lee, M. F. Shaaban, and D. Har, "Incorporating energy storage system into grid connected photovoltaic system with the application of wireless sensor network," *Journal of Energy Storage*, vol. 95, p. 112489, 2024/08/01/ 2024, doi: <https://doi.org/10.1016/j.est.2024.112489>.
- [2] M. Kumar, H. Mohammed Niyaz, and R. Gupta, "Challenges and opportunities towards the development of floating photovoltaic systems," *Solar Energy Materials and Solar Cells*, vol. 233, p. 111408, 2021/12/01/ 2021, doi: <https://doi.org/10.1016/j.solmat.2021.111408>.
- [3] J. Hmad, A. Houari, A. E. Bouzid, A. Saim, and H. Trabelsi, "A Review on Mode Transition Strategies between Grid-Connected and Standalone Operation of Voltage Source Inverters-Based Microgrids," *Energies*, vol. 16, no. 13, doi: 10.3390/en16135062.
- [4] T. E. K. Zidane *et al.*, "Grid-Connected Solar PV Power Plants Optimization: A Review," *IEEE Access*, vol. 11, pp. 79588-79608, 2023, doi: 10.1109/ACCESS.2023.3299815.
- [5] K. Sarita, R. K. Saket, and B. Khan, "Reliability, availability, and condition monitoring of inverters of grid-connected solar photovoltaic systems," *IET Renewable Power Generation*, vol. 17, no. 7, pp. 1635-1653, 2023/05/01 2023, doi: <https://doi.org/10.1049/rpg2.12700>.
- [6] S. Vanti, P. R. Bana, S. D'Arco, and M. Amin, "Single-Stage Grid-Connected PV System With Finite Control Set Model Predictive Control and an Improved Maximum Power Point Tracking," *IEEE Transactions on Sustainable Energy*, vol. 13, no. 2, pp. 791-802, 2022, doi: 10.1109/TSTE.2021.3132057.
- [7] M. Ghadrhan, S. Peyghami, H. Mokhtari, H. Wang, and F. Blaabjerg, "Dissipation Factor as a Degradation Indicator for Electrolytic Capacitors," *IEEE Journal of Emerging and Selected Topics in Power Electronics*, vol. 11, no. 1, pp. 1035-1044, 2023, doi: 10.1109/JESTPE.2022.3183837.
- [8] J. Sun, B. Luo, and H. Li, "A Review on the Conventional Capacitors, Supercapacitors, and Emerging Hybrid Ion Capacitors: Past, Present, and Future," *Advanced Energy and Sustainability Research*, vol. 3, no. 6, p. 2100191, 2022/06/01 2022, doi: <https://doi.org/10.1002/aesr.202100191>.
- [9] C. Zhong, Y. Deng, W. Hu, J. Qiao, L. Zhang, and J. Zhang, "A review of electrolyte materials and compositions for electrochemical supercapacitors," *Chemical Society Reviews*, 10.1039/C5CS00303B vol. 44, no. 21, pp. 7484-7539, 2015, doi: 10.1039/C5CS00303B.
- [10] W. Liu *et al.*, "Review of Energy Storage Capacitor Technology," *Batteries*, vol. 10, no. 8, doi: 10.3390/batteries10080271.
- [11] S. Guenter, J. Yang, G. Buticchi, F. W. Fuchs, and M. Liserre, "DC-Link Voltage Dynamics of Three-Level Four-Wire Grid-Connected Converters During Harmonics Injection Operations," *IEEE Transactions on Industrial Electronics*, vol. 70, no. 8, pp. 8000-8008, 2023, doi: 10.1109/TIE.2023.3237878.
- [12] P. Simon and Y. J. N. m. Gogotsi, "Perspectives for electrochemical capacitors and related devices," vol. 19, no. 11, pp. 1151-1163, 2020.

- [13] A. A. Abdulrazzaq, A. Ali, and D. System, "Efficiency performances of two MPPT algorithms for PV system with different solar panels irradiances," vol. 9, no. 4, pp. 1755-1764, 2018.
- [14] S. Aberoumand, P. Woodfield, B. Shabani, and D. Dao, "Advances in electrode and electrolyte improvements in vanadium redox flow batteries with a focus on the nanofluidic electrolyte approach," vol. 881, pp. 1-49, 2020.
- [15] S. BATRA, C. S. PANDAV, S. AHUJA, and D. Research, "Light Emitting Diode Lighting Flicker, its Impact on Health, and the Need to Minimise it," vol. 13, no. 5, 2019.
- [16] O. Rodríguez-Benítez, M. Ponce-Silva, J. A. Aqui-Tapia, Ó. M. Rodríguez-Benítez, R. E. Lozoya-Ponce, and H. Adamas-Pérez, "Active Power-Decoupling Methods for Photovoltaic-Connected Applications: An Overview," *Processes*, vol. 11, no. 6, doi: 10.3390/pr11061808.
- [17] Y. Liu, W. Zhang, Y. Sun, M. Su, G. Xu, and H. Dan, "Review and comparison of control strategies in active power decoupling," *IEEE Transactions on Power Electronics*, vol. 36, no. 12, pp. 14436-14455, 2021.
- [18] Y. Zhang, J. Xiong, P. He, and S. Wang, "Review of power decoupling methods for micro-inverters used in PV systems," *Chinese Journal of Electrical Engineering*, vol. 4, no. 4, pp. 26-32, 2018, doi: 10.23919/CJEE.2018.8606786.
- [19] Y. Sun, Y. Liu, M. Su, W. Xiong, and J. Yang, "Review of Active Power Decoupling Topologies in Single-Phase Systems," *IEEE Transactions on Power Electronics*, vol. 31, no. 7, pp. 4778-4794, 2016, doi: 10.1109/TPEL.2015.2477882.
- [20] M. A. Vitorino, L. F. S. Alves, R. Wang, and M. Corrêa, "Low-Frequency Power Decoupling in Single-Phase Applications: A Comprehensive Overview," *IEEE Transactions on Power Electronics*, vol. 32, no. 4, pp. 2892-2912, 2017, doi: 10.1109/TPEL.2016.2579740.
- [21] H. Wang, H. Wang, G. Zhu, and F. Blaabjerg, "An overview of capacitive dc-links-topology derivation and scalability analysis," vol. 35, no. 2, pp. 1805-1829, 2019.
- [22] M. Pomalis C.S, R. Chouhy Leborgne, A. R. Herrera-Orozco, and A. S. Bretas, "NSGAI optimization for single phase passive filter allocation in distribution systems," *Electric Power Systems Research*, vol. 176, p. 105923, 2019/11/01/ 2019, doi: <https://doi.org/10.1016/j.epsr.2019.105923>.
- [23] J. Zhang, H. Ding, B. Wang, X. Guo, and S. Padmanaban, "Active Power Decoupling for Current Source Converters: An Overview Scenario," *Electronics*, vol. 8, no. 2, doi: 10.3390/electronics8020197.
- [24] I. Serban, "Power Decoupling Method for Single-Phase H-Bridge Inverters With No Additional Power Electronics," *IEEE Transactions on Industrial Electronics*, vol. 62, no. 8, pp. 4805-4813, 2015, doi: 10.1109/TIE.2015.2399274.
- [25] H. Li, K. Zhang, H. Zhao, S. Fan, and J. Xiong, "Active Power Decoupling for High-Power Single-Phase PWM Rectifiers," *IEEE Transactions on Power Electronics*, vol. 28, no. 3, pp. 1308-1319, 2013, doi: 10.1109/TPEL.2012.2208764.
- [26] S. Fan, Y. Xue, and K. Zhang, "A novel active power decoupling method for single-phase photovoltaic or energy storage applications," in *2012 IEEE Energy Conversion Congress and Exposition (ECCE)*, 2012: IEEE, pp. 2439-2446.
- [27] Z. Yang, J. Zeng, Q. Zhang, Z. Zhang, V. Winstead, and D. Yu, "A Composite Power Decoupling Method for a PV Inverter With Optimized Energy Buffer," *IEEE Transactions*

- on *Industry Applications*, vol. 57, no. 4, pp. 3877-3887, 2021, doi: 10.1109/TIA.2021.3079162.
- [28] Y. Liu, Y. Sun, M. Su, X. Li, and S. Ning, "A Single Phase AC/DC/AC Converter With Unified Ripple Power Decoupling," *IEEE Transactions on Power Electronics*, vol. 33, no. 4, pp. 3204-3217, 2018, doi: 10.1109/TPEL.2017.2707443.
 - [29] X. Pan, H. Li, Y. Liu, T. Zhao, C. Ju, and A. K. Rathore, "An Overview and Comprehensive Comparative Evaluation of Current-Fed-Isolated-Bidirectional DC/DC Converter," *IEEE Transactions on Power Electronics*, vol. 35, no. 3, pp. 2737-2763, 2020, doi: 10.1109/TPEL.2019.2931739.
 - [30] Y. Tang and F. Blaabjerg, "Power decoupling techniques for single-phase power electronics systems — An overview," in *2015 IEEE Energy Conversion Congress and Exposition (ECCE)*, 20-24 Sept. 2015 2015, pp. 2541-2548, doi: 10.1109/ECCE.2015.7310017.
 - [31] S. Isik, M. Alharbi, and S. Bhattacharya, "An Optimized Circulating Current Control Method Based on PR and PI Controller for MMC Applications," *IEEE Transactions on Industry Applications*, vol. 57, no. 5, pp. 5074-5085, 2021, doi: 10.1109/TIA.2021.3092298.
 - [32] J. Zhang, H. Ding, B. Wang, X. Guo, and S. Padmanaban, "Active power decoupling for current source converters: An overview scenario," *Electronics*, vol. 8, no. 2, p. 197, 2019.
 - [33] K. K. Afridi, M. Chen, and D. Perreault, "Enhanced bipolar stacked switched capacitor energy buffers," vol. 50, no. 2, pp. 1141-1149, 2013.
 - [34] M. Chen, K. K. Afridi, and D. Perreault, "Stacked switched capacitor energy buffer architecture," vol. 28, no. 11, pp. 5183-5195, 2013.
 - [35] H. Li, K. Zhang, H. Zhao, S. Fan, and J. Xiong, "Active power decoupling for high-power single-phase PWM rectifiers," vol. 28, no. 3, pp. 1308-1319, 2012.
 - [36] P. T. Krein, R. S. Balog, and M. Mirjafari, "Minimum energy and capacitance requirements for single-phase inverters and rectifiers using a ripple port," vol. 27, no. 11, pp. 4690-4698, 2012.
 - [37] A. F. de Souza, F. L. Tofoli, and E. R. Ribeiro, "Switched Capacitor DC-DC Converters: A Survey on the Main Topologies, Design Characteristics, and Applications," *Energies*, vol. 14, no. 8, doi: 10.3390/en14082231.
 - [38] S. Barman, S. Chakraborty, and K. Chatterjee, "Partial Power Rated Ripple Power Compensation Strategies for ϕ Bidirectional AC-DC Matrix Converters," in *IECON 2023- 49th Annual Conference of the IEEE Industrial Electronics Society*, 16-19 Oct. 2023 2023, pp. 1-6, doi: 10.1109/IECON51785.2023.10312421.
 - [39] M. Alsolami, "Active Power Decoupling for Single-Phase Grid-Connected PV System using a Ripple Port," *Arabian Journal for Science and Engineering*, vol. 46, no. 10, pp. 9981-9993, 2021/10/01 2021, doi: 10.1007/s13369-021-05744-y.
 - [40] M. Qiu, P. Wang, H. Bi, and Z. Wang, "Active Power Decoupling Design of a Single-Phase AC–DC Converter," *Electronics*, vol. 8, no. 8, doi: 10.3390/electronics8080841.
 - [41] Y. Ohnuma, K. Orikawa, and J.-i. Itoh, "A single-phase current-source PV inverter with power decoupling capability using an active buffer," vol. 51, no. 1, pp. 531-538, 2014.
 - [42] R. Wang *et al.*, "A high power density single-phase PWM rectifier with active ripple energy storage," vol. 26, no. 5, pp. 1430-1443, 2010.

- [43] C. McHugh *et al.*, "A high power density single-phase inverter using stacked switched capacitor energy buffer," in *2016 IEEE Applied Power Electronics Conference and Exposition (APEC)*, 2016: IEEE, pp. 1947-1953.
- [44] Y. Li, J. Chen, M. John, R. Liou, and S. R. Sanders, "Resonant switched capacitor stacked topology enabling high DC-DC voltage conversion ratios and efficient wide range regulation," in *2016 IEEE Energy Conversion Congress and Exposition (ECCE)*, 2016: IEEE, pp. 1-7.
- [45] Y. Ni, S. Pervaiz, M. Chen, and K. Afridi, "Energy density enhancement of stacked switched capacitor energy buffers through capacitance ratio optimization," vol. 32, no. 8, pp. 6363-6380, 2016.
- [46] S. Pervaiz, Y. Ni, and K. K. Afridi, "Improved capacitance ratio optimization methodology for stacked switched capacitor energy buffers," in *2015 IEEE Applied Power Electronics Conference and Exposition (APEC)*, 15-19 March 2015 2015, pp. 513-520, doi: 10.1109/APEC.2015.7104398.
- [47] Y. Ni, S. Pervaiz, M. Chen, and K. K. Afridi, "Energy density enhancement of unipolar SSC energy buffers through capacitance ratio optimization," in *2014 IEEE 15th Workshop on Control and Modeling for Power Electronics (COMPEL)*, 2014: IEEE, pp. 1-8.
- [48] Y. N. Saad Pervaiz, M. Chen, and K. K. Afridi, "An Electrolytic-Free Offline LED Driver with a Ceramic-Capacitor-Based Compact Stacked Switched Capacitor (SSC) Energy Buffer."
- [49] Y. Tang, M. Chen, and L. Ran, "A compact MMC submodule structure with reduced capacitor size using the stacked switched capacitor architecture," vol. 31, no. 10, pp. 6920-6936, 2015.
- [50] Y. Ni, "Design of Stacked Switched Capacitor energy buffers for offline LED drivers," University of Colorado at Boulder, 2014.
- [51] Y. Ni, S. Pervaiz, M. Chen, and K. K. Afridi, "Energy density enhancement of stacked switched capacitor energy buffers through capacitance ratio optimization," *IEEE Transactions on Power Electronics*, vol. 32, no. 8, pp. 6363-6380, 2016.
- [52] M. Chen, K. K. Afridi, and D. J. Perreault, "Stacked switched capacitor energy buffer architecture," *IEEE Transactions on Power Electronics*, vol. 28, no. 11, pp. 5183-5195, 2013.
- [53] Y. Tang, M. Chen, and L. Ran, "A compact MMC submodule structure with reduced capacitor size using the stacked switched capacitor architecture," *IEEE Transactions on Power Electronics*, vol. 31, no. 10, pp. 6920-6936, 2015.
- [54] Y. Li, L. Gu, A. Hariya, Y. Ishizuka, J. Rivas-Davila, and S. Sanders, "A wide input range isolated stacked resonant switched-capacitor dc-dc converter for high conversion ratios," in *2018 IEEE 19th Workshop on Control and Modeling for Power Electronics (COMPEL)*, 2018: IEEE, pp. 1-7.
- [55] K. K. Afridi, M. Chen, and D. J. Perreault, "Enhanced bipolar stacked switched capacitor energy buffers," *IEEE Transactions on Industry Applications*, vol. 50, no. 2, pp. 1141-1149, 2013.
- [56] S. Pervaiz, A. Kumar, and K. K. Afridi, "A compact electrolytic-free two-stage universal input offline LED driver with volume-optimized SSC energy buffer," *IEEE Journal of Emerging and Selected Topics in Power Electronics*, vol. 6, no. 3, pp. 1116-1130, 2018.

- [57] G. Kumar and B. Singh, "Multi-Input Bridgeless Charger with Reduced Filter Capacitance for PV Panel Powered LEV," in *2022 IEEE 1st Industrial Electronics Society Annual On-Line Conference (ONCON)*, 9-11 Dec. 2022, pp. 1-6, doi: 10.1109/ONCON56984.2022.10126849.
- [58] S. Barman, S. Chakraborty, and K. Chatterjee, "High Frequency Link Ripple Power Compensation Strategies for 1- ϕ Bidirectional AC-DC Matrix Converters," in *2023 11th International Conference on Power Electronics and ECCE Asia (ICPE 2023 - ECCE Asia)*, 22-25 May 2023, pp. 3165-3172, doi: 10.23919/ICPE2023-ECCEAsia54778.2023.10213496.
- [59] R. Chen, Y. Liu, and F. Peng, "A solid state variable capacitor with minimum capacitor," vol. 32, no. 7, pp. 5035-5044, 2016.
- [60] D.-H. Hwang, J.-Y. Lee, and Y. Cho, "PCC voltage compensation of PV inverter with active power decoupling circuit," in *2018 International Power Electronics Conference (IPEC-Niigata 2018-ECCE Asia)*, 2018: IEEE, pp. 1403-1408.
- [61] Y. Tang and F. Blaabjerg, "A component-minimized single-phase active power decoupling circuit with reduced current stress to semiconductor switches," vol. 30, no. 6, pp. 2905-2910, 2014.
- [62] S. Liang, X. Lu, R. Chen, Y. Liu, S. Zhang, and F. Z. Peng, "A solid state variable capacitor with minimum DC capacitance," in *2014 IEEE Applied Power Electronics Conference and Exposition-APEC 2014*, 2014: IEEE, pp. 3496-3501.
- [63] C. R. Bush and B. Wang, "A single-phase current source solar inverter with reduced-size DC link," in *2009 IEEE Energy conversion congress and exposition*, 2009: IEEE, pp. 54-59.
- [64] M. R. Reddy, B. D. Reddy, P. Prabhakaran, and D. Kishan, "Single-Phase Six-Switch Four-Port Boost Inverter With Active Power Decoupling," *IEEE Transactions on Power Electronics*, vol. 39, no. 11, pp. 14155-14160, 2024, doi: 10.1109/TPEL.2024.3435771.
- [65] Y. Zhang, Y. Huang, P. Fang, X. Gao, Y. Yang, and J. Liu, "Capacitors Voltage Ripple Complementary Control on Three-Level Boost Fed Single-Phase VSI With Enhanced Power Decoupling Capability," *IEEE Transactions on Power Electronics*, vol. 36, no. 12, pp. 14220-14236, 2021, doi: 10.1109/TPEL.2021.3072869.
- [66] H. Jin, W. Zhu, M. Mao, Q. Zhu, C. Zhang, and H. Jia, "Power Decoupling of Single-Phase Drive System Through a Symmetrical Active Power Decoupling Converter," *IEEE Access*, vol. 13, pp. 51406-51418, 2025, doi: 10.1109/ACCESS.2025.3550355.
- [67] S. Harb and R. S. Balog, "Single-phase PWM rectifier with power decoupling ripple-port for double-line-frequency ripple cancellation," in *2013 Twenty-Eighth Annual IEEE Applied Power Electronics Conference and Exposition (APEC)*, 17-21 March 2013, pp. 1025-1029, doi: 10.1109/APEC.2013.6520425.
- [68] S. Harb, H. Zhang, and R. S. Balog, "AC-link, single-phase, photovoltaic Module Integrated Inverter," in *2013 Twenty-Eighth Annual IEEE Applied Power Electronics Conference and Exposition (APEC)*, 2013: IEEE, pp. 177-182.
- [69] S. Harb, M. Mirjafari, and R. Balog, "Ripple-port module-integrated inverter for grid-connected PV applications," vol. 49, no. 6, pp. 2692-2698, 2013.
- [70] M. J. A. J. f. S. Alsolami and Engineering, "Active Power Decoupling for Single-Phase Grid-Connected PV System using a Ripple Port," vol. 46, no. 10, pp. 9981-9993, 2021.

- [71] J.-G. Kim, K.-D. Kim, Y.-S. Noh, Y.-C. Jung, and C. Won, "Analysis and design of a three-port flyback inverter using an active power decoupling method to minimize input capacitance," vol. 13, no. 4, pp. 558-568, 2013.
- [72] A. R. Gautam, D. M. Fulwani, R. R. Makineni, A. K. Rathore, and D. Singh, "Control Strategies and Power Decoupling Topologies to Mitigate 2ω -Ripple in Single-Phase Inverters: A Review and Open Challenges," *IEEE Access*, vol. 8, pp. 147533-147559, 2020, doi: 10.1109/ACCESS.2020.3015315.
- [73] M. Metry, M. Kim, W. Rohouma, and R. S. Balog, "Model Predictive Control Based Controller for Grid-Connected Ripple-Port Inverters," in *2020 IEEE 21st Workshop on Control and Modeling for Power Electronics (COMPEL)*, 2020: IEEE, pp. 1-6.
- [74] B. Tian, S. Harb, and R. S. Balog, "Ripple-port integrated PFC rectifier with fast dynamic response," in *2014 IEEE 57th International Midwest Symposium on Circuits and Systems (MWSCAS)*, 2014: IEEE, pp. 781-784.
- [75] Y. Hu, X. Ye, B. Zheng, Z. Zhao, and G. Zhai, "Degradation mechanisms-based reliability modeling for metallized film capacitors under temperature and voltage stresses," *Microelectronics Reliability*, vol. 138, p. 114609, 2022/11/01/ 2022, doi: <https://doi.org/10.1016/j.microrel.2022.114609>.
- [76] S. B. Narale, A. Verma, and S. Anand, "Structure and Degradation of Aluminum Electrolytic Capacitors," in *2019 National Power Electronics Conference (NPEC)*, 13-15 Dec. 2019 2019, pp. 1-6, doi: 10.1109/NPEC47332.2019.9034726.
- [77] L. Kovacs, G. Kohlrusz, K. Enisz, and D. Fodor, "Aluminium Electrolytic Capacitor Model for Capacitor Materials Structure Transformation Analysis in PWM Applications," in *2018 IEEE 18th International Power Electronics and Motion Control Conference (PEMC)*, 26-30 Aug. 2018 2018, pp. 888-893, doi: 10.1109/EPEPMC.2018.8521909.
- [78] N. Agarwal, A. Arya, M. W. Ahmad, and S. Anand, "Lifetime Monitoring of Electrolytic Capacitor to Maximize Earnings From Grid-Feeding PV System," *IEEE Transactions on Industrial Electronics*, vol. 63, no. 11, pp. 7049-7058, 2016, doi: 10.1109/TIE.2016.2586020.
- [79] N. Yang, S. Yu, W. Zhang, H.-M. Cheng, P. Simon, and X. Jiang, "Electrochemical Capacitors with Confined Redox Electrolytes and Porous Electrodes," *Advanced Materials*, vol. 34, no. 34, p. 2202380, 2022/08/01 2022, doi: <https://doi.org/10.1002/adma.202202380>.
- [80] S. Liu, Y. Li, J. Zhu, J. An, R. Zhao, and Y. Xu, "An ultra-low loss and excellent high-frequency performance chip aluminum solid electrolytic capacitor with electropolymerization PEDOT cathode," *Journal of Power Sources*, vol. 633, p. 236373, 2025/03/30/ 2025, doi: <https://doi.org/10.1016/j.jpowsour.2025.236373>.
- [81] L. Liu, P.-L. Taberna, B. Dunn, and P. Simon, "Future Directions for Electrochemical Capacitors," *ACS Energy Letters*, vol. 6, no. 12, pp. 4311-4316, 2021/12/10 2021, doi: 10.1021/acsenenergylett.1c01981.
- [82] P. Phogat, J. Thakur, Shreya, and M. Wan, "Advancements in energy storage: a review of batteries and capacitors—properties, materials, and emerging applications," *Ionics*, vol. 31, no. 10, pp. 9985-10009, 2025/10/01 2025, doi: 10.1007/s11581-025-06588-4.
- [83] H. Tian, M. Chen, G. Liang, and X. Xiao, "A Single-Phase Transformerless Common-Ground Type PV Inverter With Active Power Decoupling," *IEEE Transactions on Industrial Electronics*, vol. 70, no. 4, pp. 3762-3772, 2023, doi: 10.1109/TIE.2022.3181361.

- [84] X. Xu, M. Su, Y. Sun, B. Guo, H. Wang, and G. Xu, "Four-Switch Single-Phase Common-Ground PV Inverter With Active Power Decoupling," *IEEE Transactions on Industrial Electronics*, vol. 69, no. 3, pp. 3223-3228, 2022, doi: 10.1109/TIE.2021.3063962.
- [85] M. Kumari, M. D. Siddique, A. Sarwar, M. Tariq, S. Mekhilef, and A. Iqbal, "Recent trends and review on switched-capacitor-based single-stage boost multilevel inverter," *International Transactions on Electrical Energy Systems*, vol. 31, no. 3, p. e12730, 2021/03/01 2021, doi: <https://doi.org/10.1002/2050-7038.12730>.
- [86] Y. Ni, S. Pervaiz, M. Chen, and K. K. Afridi, "Energy Density Enhancement of Stacked Switched Capacitor Energy Buffers Through Capacitance Ratio Optimization," *IEEE Transactions on Power Electronics*, vol. 32, no. 8, pp. 6363-6380, 2017, doi: 10.1109/TPEL.2016.2619370.
- [87] Y. Tang, M. Chen, and L. Ran, "Design and control of a compact MMC submodule structure with reduced capacitor size using the stacked switched capacitor architecture," in *2016 IEEE Applied Power Electronics Conference and Exposition (APEC)*, 20-24 March 2016 2016, pp. 1443-1449, doi: 10.1109/APEC.2016.7468058.
- [88] R. Paul, A. Hassan, and H. A. Mantooth, "A Double-Sided Cooled Power Module With Embedded Decoupling Capacitors," *IEEE Journal of Emerging and Selected Topics in Power Electronics*, vol. 12, no. 2, pp. 1813-1821, 2024, doi: 10.1109/JESTPE.2023.3348696.
- [89] S. V. Kulkarni and D. N. Gaonkar, "An investigation of PLL synchronization techniques for distributed generation sources in the grid-connected mode of operation," *Electric Power Systems Research*, vol. 223, p. 109535, 2023/10/01/ 2023, doi: <https://doi.org/10.1016/j.epsr.2023.109535>.
- [90] N. Upadhyay, N. P. Padhy, and P. Agarwal, "Grid-Current Control With Inverter-Current Feedback Active Damping for LCL Grid-Connected Inverter," *IEEE Transactions on Industry Applications*, vol. 60, no. 1, pp. 1738-1749, 2024, doi: 10.1109/TIA.2023.3316997.
- [91] H. Adamas-Pérez, M. Ponce-Silva, J. D. Mina-Antonio, A. Claudio-Sánchez, O. Rodríguez-Benítez, and O. M. Rodríguez-Benítez, "A New LCL Filter Design Method for Single-Phase Photovoltaic Systems Connected to the Grid via Micro-Inverters," *Technologies*, vol. 12, no. 6, doi: 10.3390/technologies12060089.
- [92] M. Chen, Y. Ni, C. Serrano, B. Montgomery, D. Perreault, and K. Afridi, "An electrolytic-free offline LED driver with a ceramic-capacitor-based compact SSC energy buffer," in *2014 IEEE Energy Conversion Congress and Exposition (ECCE)*, 14-18 Sept. 2014 2014, pp. 2713-2718, doi: 10.1109/ECCE.2014.6953765.
- [93] F. M. Alhuwaishel and P. Enjeti, "An Electrolytic capacitor less non-isolated Microinverter with Integrated Battery Storage System for Residential Applications," in *2024 IEEE Applied Power Electronics Conference and Exposition (APEC)*, 25-29 Feb. 2024 2024, pp. 1275-1279, doi: 10.1109/APEC48139.2024.10509351.
- [94] Y. Shen, D. Zakzewski, A. Hasnain, R. Resalayyan, and A. Khaligh, "Sensorless Control for DC-Parallel Active Power Decoupling in PV Microinverters," *IEEE Transactions on Power Electronics*, vol. 38, no. 11, pp. 14628-14637, 2023, doi: 10.1109/TPEL.2023.3306281.
- [95] T. A. Pereira, D. C. Martins, and R. F. Coelho, "Active-capacitor for power decoupling in single-phase grid-connected converters," in *2019 IEEE 15th Brazilian Power Electronics Conference and 5th IEEE Southern Power Electronics Conference (COBEP/SPEC)*, 2019: IEEE, pp. 1-6.