

INSTITUTO TECNOLÓGICO SUPERIOR DE IRAPUATO



**INSTITUTO TECNOLÓGICO
SUPERIOR DE IRAPUATO**

**ESTUDIOS CON RECONOCIMIENTO DE VALIDEZ OFICIAL
NÚMERO 11-00065**

**IMPLEMENTACIÓN DE UN EMULADOR DE ARMÓNICOS BASADO
EN UN CONVERTIDOR BACK TO BACK**

OPCIÓN I: TESIS PROFESIONAL

**QUE PARA OBTENER EL GRADO DE
MAESTRO EN INGENIERÍA**

PRESENTA:

CARLOS ANTONIO GOMEZ SAAVEDRA

**DIRECTORES DE TESIS:
DR. ADOLFO RAFAEL LÓPEZ NÚÑEZ
DR. JOSÉ MIGUEL SOSA ZÚÑIGA**

IRAPUATO, GTO

DICIEMBRE 2020



INSTITUTO TECNOLÓGICO
SUPERIOR DE IRAPUATO

Constancia de aprobación de la tesis

La tesis **Implementación de un emulador de armónicos basado en un convertidor Back to Back** presentada para obtener el Grado de Maestro en Ingeniería con la opción en Potencia fue elaborada por el **Ing. Carlos Antonio Gomez Saavedra** y aprobada el **21 de diciembre de 2020** por los suscritos, designados por el Consejo de Posgrado de la Maestría en Electrónica del Instituto Tecnológico Superior de Irapuato.

Dr. Adolfo Rafael López Núñez
(Director de la tesis)

Dr. José Miguel Sosa Zúñiga
(Director de la tesis)

Dr. Gerardo Vázquez Guzmán
(Sinodal)

Dr. Mario Alberto Juárez Balderas
(Sinodal)



INSTITUTO TECNOLÓGICO
SUPERIOR DE IRAPUATO

Constancia de aprobación de la tesis

La tesis **Implementación de un emulador de armónicos basado en un convertidor Back to Back** presentada para obtener el Grado de Maestro en Ingeniería con la opción en Potencia fue elaborada por el **Ing. Carlos Antonio Gomez Saavedra** y aprobada el **00 de diciembre de 2020** por los suscritos, designados por el Consejo de Posgrado de la Maestría en Electrónica del Instituto Tecnológico Superior de Irapuato.

Dr. Adolfo Rafael López Núñez
(Director de la tesis)

Dr. José Miguel Sosa Zúñiga
(Director de la tesis)

Dr. Gerardo Vázquez Guzmán
(Sinodal)

Dr. Mario Alberto Juárez Balderas
(Sinodal)



INSTITUTO TECNOLÓGICO
SUPERIOR DE IRAPUATO

Créditos Institucionales

Esta tesis fue elaborada en el Laboratorio de Electrónica de Potencia del Instituto Tecnológico Superior de Irapuato, bajo la dirección de los profesores Dr. Adolfo Rafael López Núñez y Dr. José Miguel Sosa Zúñiga.

AGRADECIMIENTOS

Este trabajo lo dedico principalmente a mis padres, Javier Gomez y María Saavedra, les agradezco profundamente su ejemplo, paciencia y preocupación hacia mi. Gracias por ser parte de mi crecimiento, los admiro mucho. Agradezco la compañía, amistad y consejos de mis hermanos, Javier y Mario, por crecer juntos, por afrontar y superar muchas cosas, gracias. A María Fernanda Navarro por tu paciencia, comprensión y apoyo que día con día me brindaste, eres muy importante para mi, muchas gracias. Colegas y amigos, por el apoyo y grandiosos momentos, gracias.

Agradezco también a mi asesor el Dr. Adolfo Rafael López Núñez, gracias por confiar en mi y darme la oportunidad de trabajar con usted. Agradezco todos los consejos y conocimientos que me compartió a lo largo de este trabajo, muchas gracias. Al Dr. José Miguel Sosa Zúñiga, gracias por siempre tener disponibilidad para atender mis dudas e inquietudes, tanto para este trabajo como para otras áreas, muchas gracias.

Agradezco también a mis profesores Dr. Gerardo Vázquez Guzmán, Dr. Mario Alberto Juárez Balderas, Dr. Gilberto Muñoz Moreno, M.I. J. Sacramento Solórzano Lujano y M.I. Cesar Augusto Limones Pozos por sus consejos y enseñanzas durante mi formación.

Agradezco al Instituto Tecnológico Superior de Irapuato, especialmente a la Coordinación de Ingeniería Electrónica, por permitirme realizar mis estudios de maestría.

Al Consejo Nacional de Ciencia y Tecnología (CONACYT), por el apoyo económico para la realización de este posgrado.

Índice general

<i>Resumen</i>	I
<i>Abstract</i>	II
<i>Notación</i>	III
<i>1.. Introducción</i>	1
1.1. Generalidades de la energía eólica	2
1.1.1. Sistemas de conversión de energía eólica	3
1.1.2. Convertidores de potencia utilizados en sistemas de generación eólica	5
1.2. Calidad de la energía en WECS	8
1.3. Motivación	10
<i>2.. Estado del arte de la emulación de perturbaciones</i>	12
<i>3.. Análisis y diseño del emulador de armónicos</i>	18
3.1. Análisis del convertidor back to back	19
3.2. Dimensionamiento del bus de DC para el emulador de armónicos	21
3.3. Análisis y diseño del convertidor de lado de la red	22
3.4. Análisis y diseño de los filtros del convertidor de lado de la red	24
3.5. Análisis y diseño del controlador de lado de la red	25
3.5.1. <i>PLL</i>	25
3.5.2. Lazo interno	30
3.5.3. Lazo externo	32
3.6. Resultados de simulación del convertidor de lado de la red	35
3.7. Análisis y diseño del convertidor de lado de la máquina	38
3.8. Análisis y diseño de los filtros del convertidor de lado de la máquina	39
3.9. Análisis y diseño del controlador de lado de la máquina	40
3.9.1. Lazo interno, MSC	41
3.9.2. Lazo externo, MSC	43
3.10. Resultados de simulación del convertidor de lado de la máquina	46
3.11. Resultados de simulación del emulador de armónicos	52
<i>4.. Implementación del emulador de armónicos</i>	59
4.1. Diseño e implementación de la etapa de sensado	60
4.1.1. Sensado de voltaje	61
4.1.2. Sensado de corriente	63
4.1.3. Sensado del bus de DC	65
4.2. Diseño e implementación del circuito impulsor	67
4.3. Diseño e implementación del convertidor back to back	68

5.. *Conclusiones* 71

Índice de figuras

1.1. Sistema de conversión de energía eólica, <i>WECS</i>	2
1.2. Sistema de generación eólica de velocidad fija.	3
1.3. Sistema de generación eólica de velocidad semi-variable.	4
1.4. Sistema de generación eólica de velocidad variable.	5
1.5. Convertidores de potencia utilizados en <i>WECS</i>	5
1.6. Convertidores de potencia utilizados en <i>WECS</i> , a) B2B 2L-VSI, b) B2B 2L-VSI en paralelo, c) B2B multinivel d) B2B configurado como CSC.	6
1.7. Soluciones externas al <i>WECS</i> , a) Esquema de un <i>STATCOM</i> , b) esquema de un <i>DVR</i>	9
2.1. Emulación de perturbaciones eléctricas basado en un <i>FPGA</i> , [30].	13
2.2. Emulación de perturbaciones eléctricas basado en un microcontrolador, [31].	14
2.3. Diagrama general del emulador de perturbaciones, [33].	14
2.4. Diagrama general del emulador de SAGs, [34], [35].	15
2.5. Diagrama general del emulador de SAGs y armónicos basado en un <i>VSI</i> [36].	15
2.6. Diagrama general del emulador de SAGs basado en un convertidor back to back [37].	16
3.1. Diagrama a bloques del <i>WECS</i> basado en un <i>DFIG</i> interconectado a la red, considerando un emulador de armónicos.	19
3.2. Convertidor back to back.	20
3.3. Convertidor back to back.	22
3.4. Circuito equivalente del <i>GSC</i>	23
3.5. a) Circuito equivalente para diseño del filtro, b) Corriente del inductor L	24
3.6. Diagrama de bloques del seguimiento de fase, <i>PLL</i>	27
3.7. Implementación del seguimiento de fase, <i>PLL</i>	27
3.8. Simulación de un <i>PLL</i>	28
3.9. Simulación de un <i>PLL</i> , considerando una red contaminada.	29
3.10. Circuito equivalente <i>GSC</i>	30
3.11. Diagrama simplificado del lazo interno.	31
3.12. Diagrama simplificado del lazo externo.	33
3.13. Diagrama de bloques del control de lado de la red.	34
3.14. Diagrama del <i>GSC</i> planteado en simulación.	35
3.15. Respuesta en estado estacionario y en lazo cerrado. (De arriba abajo) Voltaje del bus de <i>DC</i> ; U_{DC} , (eje vertical 50 V/div , eje horizontal 50 ms/div), corrientes de red; i_{ag} , i_{bg} e i_{cg} , (eje vertical 5 A/div).	36

3.16. Respuesta en estado estacionario y en lazo cerrado. (De arriba abajo) voltaje del bus de DC ; U_{DC} , (eje vertical $50 V/div$, eje horizontal $20 ms/div$), corrientes de red; i_{ag} , i_{bg} e i_{cg} , (eje vertical $5 A/div$). Respuesta en estado estacionario, (de izquierda a derecha) corrientes de red; i_{ag} , i_{bg} e i_{cg} , $U_{DC}^* = 150V$, (eje vertical $5 A/div$, eje horizontal $10 ms/div$), corrientes de red; i_{ag} , i_{bg} e i_{cg} , $U_{DC}^* = 175V$, corrientes de red; i_{ag} , i_{bg} e i_{cg} , $U_{DC}^* = 135V$	37
3.17. Convertidor back to back.	38
3.18. Circuito equivalente para el diseño del filtro LC	39
3.19. Circuito equivalente de una sola fase del MSC	41
3.20. Diagrama simplificado del lazo interno.	42
3.21. Circuito equivalente de una sola fase del MSC	43
3.22. Diagrama simplificado del lazo externo.	44
3.23. Diagrama de bloques del controlador de lado de la máquina.	45
3.24. Diagrama del MSC planteado en simulación.	46
3.25. Respuesta en estado estacionario y en lazo cerrado; a) velocidad de la máquina (eje vertical $1000 RMP/div$, eje horizontal $200 ms/div$) b) voltajes trifásicos, v_{ca} , v_{cb} y v_{cc} y voltajes de referencia, $v_{a_{ref}}$, $v_{b_{ref}}$ y $v_{c_{ref}}$ (eje vertical $20 V/div$, eje horizontal $10 ms/div$).	47
3.26. Respuesta en estado estacionario y en lazo cerrado emulando al quinto armónico; a) voltajes trifásicos, v_{ca} , v_{cb} y v_{cc} y voltajes de referencia, $v_{a_{ref}}$, $v_{b_{ref}}$ y $v_{c_{ref}}$ (eje vertical $20 V/div$, eje horizontal $10 ms/div$) b) respuesta en frecuencia, de izquierda a derecha fase a, b y c; respectivamente (eje vertical $10 V/div$, eje horizontal $100 Hz/div$).	48
3.27. Respuesta en estado estacionario y en lazo cerrado emulando a los armónicos quinto y séptimo; a) voltajes trifásicos, v_{ca} , v_{cb} y v_{cc} y voltajes de referencia, $v_{a_{ref}}$, $v_{b_{ref}}$ y $v_{c_{ref}}$ (eje vertical $20 V/div$, eje horizontal $10 ms/div$) b) respuesta en frecuencia, de izquierda a derecha fase a, b y c; respectivamente (eje vertical $10 V/div$, eje horizontal $100 Hz/div$).	49
3.28. Respuesta en estado estacionario y en lazo cerrado emulando a los armónicos quinto, séptimo y onceavo; a) voltajes trifásicos, v_{ca} , v_{cb} y v_{cc} y voltajes de referencia, $v_{a_{ref}}$, $v_{b_{ref}}$ y $v_{c_{ref}}$ (eje vertical $20 V/div$, eje horizontal $10 ms/div$) b) respuesta en frecuencia, de izquierda a derecha fase a, b y c; respectivamente (eje vertical $10 V/div$, eje horizontal $200 Hz/div$).	50
3.29. Respuesta en estado transitorio, y en lazo cerrado, cambio de referencia de voltaje sin armónicos a voltaje con armónicos quinto, séptimo y onceavo; a) fase a, v_{ca} vs $v_{a_{ref}}$, b) fase b, v_{cb} vs $v_{b_{ref}}$, c) fase c, v_{cc} vs $v_{c_{ref}}$ (eje vertical $20 V/div$, eje horizontal $50 ms/div$	51
3.30. Diagrama del emulador de armónicos implementado en simulación	52
3.31. Respuesta transitoria y en lazo cerrado del emulador de armónicos; a) bus de DC , U_{DC} (eje vertical $50 V/div$, eje horizontal $0.2 s/div$), b) velocidad de la máquina (eje vertical $1000 RPM/div$).	53
3.32. Respuesta en estado estacionario y lazo cerrado; a) bus de DC , U_{DC} (eje vertical $50 V/div$), b) voltajes trifásicos, v_{ca} , v_{cb} y v_{cc} y voltajes de referencia, $v_{a_{ref}}$, $v_{b_{ref}}$ y $v_{c_{ref}}$ (eje vertical $20 V/div$), c) corrientes de red, i_{ag} , i_{bg} y i_{cg} (eje vertical $1 A/div$, eje horizontal $10 ms/div$).	54

3.33. Respuesta en estado estacionario y lazo cerrado emulando el quinto armónico; a) bus de DC , U_{DC} (eje vertical $50 V/div$), b) voltajes trifásicos, v_{ca} , v_{cb} y v_{cc} y voltajes de referencia, $v_{a_{ref}}$, $v_{b_{ref}}$ y $v_{c_{ref}}$ (eje vertical $20 V/div$), c) corrientes de red, i_{ag} , i_{bg} y i_{cg} (eje vertical $1 A/div$, eje horizontal $10 ms/div$).	55
3.34. Respuesta en estado estacionario y lazo cerrado emulando los armónicos quinto y séptimo; a) bus de DC , U_{DC} (eje vertical $50 V/div$), b) voltajes trifásicos, v_{ca} , v_{cb} y v_{cc} y voltajes de referencia, $v_{a_{ref}}$, $v_{b_{ref}}$ y $v_{c_{ref}}$ (eje vertical $20 V/div$), c) corrientes de red, i_{ag} , i_{bg} y i_{cg} (eje vertical $1 A/div$, eje horizontal $10 ms/div$).	56
3.35. Respuesta en estado estacionario y lazo cerrado emulando los armónicos quinto, séptimo y onceavo; a) bus de DC , U_{DC} (eje vertical $50 V/div$), b) voltajes trifásicos, v_{ca} , v_{cb} y v_{cc} y voltajes de referencia, $v_{a_{ref}}$, $v_{b_{ref}}$ y $v_{c_{ref}}$ (eje vertical $20 V/div$), c) corrientes de red, i_{ag} , i_{bg} y i_{cg} (eje vertical $1 A/div$, eje horizontal $10 ms/div$).	57
3.36. Respuesta en estado transitorio y lazo cerrado emulando los armónicos quinto, séptimo y onceavo; considerando un voltaje de red contaminado con armónicos. a) Voltajes de red, v_{ag} , v_{bg} y v_{cg} (eje vertical $50 V/div$), b) corrientes de red, i_{ag} , i_{bg} y i_{cg} (eje vertical $1 A/div$), c) voltajes trifásicos, v_{ca} , v_{cb} y v_{cc} y voltajes de referencia, $v_{a_{ref}}$, $v_{b_{ref}}$ y $v_{c_{ref}}$ (eje vertical $20 V/div$, eje horizontal $25 ms/div$), d) bus de DC , U_{DC} (eje vertical $50 V/div$, eje horizontal $50 ms/div$)	58
4.1. Diagrama simplificado del emulador de armónicos junto con la etapa de sensado.	60
4.2. Diagrama esquemático de la tarjeta de sensado de voltaje.	61
4.3. De izquierda a derecha, implementación física, diagrama de enrutado PCB de la tarjeta de sensado del voltaje.	62
4.4. Diagrama esquemático de la tarjeta de sensado de corriente.	63
4.5. De izquierda a derecha, implementación física, diagrama de enrutado PCB de la tarjeta de sensado de corriente.	64
4.6. Diagrama esquemático de la tarjeta de sensado del bus de DC	65
4.7. De izquierda a derecha, implementación física, diagrama de enrutado PCB de la tarjeta de sensado del bus de DC	66
4.8. Diagrama esquemático del circuito impulsor.	67
4.9. De izquierda a derecha, implementación física, diagrama de enrutado PCB del circuito impulsor.	68
4.10. Diagrama esquemático del convertidor.	69
4.11. Convertidor back to back a) Implementación física, b) Diagrama de enrutado PCB	70
5.1. Diagrama propuesto para realizar la precarga al capacitor.	73

Índice de tablas

2.1. Emuladores basados en sistemas digitales.	17
3.1. Parámetros del DFIG.	20
3.2. Parámetros del controlador.	34
3.3. Parámetros de operación del <i>GSC</i>	35
3.4. Límites para distorsión de voltaje.	41
3.5. Parámetros del controlador para el <i>MSC</i>	45
3.6. Parámetros de operación del <i>MSC</i>	46
3.7. Parámetros de operación del emulador de armónicos.	52
4.1. Parámetros de la tarjeta de sensado de voltaje.	62
4.2. Características del sensor de corriente.	63
4.3. Parámetros de la tarjeta de sensado de corriente.	64
4.4. Parámetros de la tarjeta de sensado del bus de <i>DC</i>	66
4.5. Parámetros del convertidor.	69

RESUMEN

En este documento de tesis se presenta el análisis, diseño e implementación de un emulador de armónicos basado en un convertidor back to back, el objetivo principal es generar de manera controlada armónicos de voltaje, definiendo amplitud y orden de los armónicos. El convertidor back to back es una topología ampliamente utilizada en sistemas eólicos basados en generadores de inducción doblemente alimentados, debido a su bidireccionalidad y relativa sencillez respecto a otras topologías. El uso de este convertidor permite una mejora en la gestión e inyección de la energía eléctrica hacia la red de distribución, permitiendo controlar la velocidad de giro del generador y/o controlado la potencia activa y reactiva en el sistema eólico. Sin embargo, como todo sistema conectado a la red eléctrica, éste es propenso a ser afectado por perturbaciones armónicas provenientes de la red eléctrica, disminuyendo la eficiencia e incluso provocar daños al sistema eólico. Existen diversas alternativas para mitigar dichas perturbaciones, sin embargo, para poder evaluar estas propuestas de mitigación es necesario contar con un sistema capaz de emular de forma controlada la presencia de armónicos de red. El análisis e implementación de este emulador está enfocado en ser utilizado para sistemas eólicos basados en un generador de inducción doblemente alimentado, de tal manera que se propone un diseño para dimensionar filtros pasivos utilizados para el acoplamiento del emulador al sistema eólico. Por otro lado, además de la emulación de armónicos, se desarrollaron dos objetivos de control adicionales para garantizar compensación de potencia reactiva y regulación del bus de DC en el emulador. La validación del sistema propuesto se realizó mediante pruebas de simulación, además se trabajó en un prototipo experimental, el cual se encuentra implementado.

ABSTRACT

This thesis presents the analysis, design, and implementation of a harmonics emulator based on a three-phase back to back converter, in which the main objective is to generate, in a controlled way, voltage harmonics defining amplitude and order of the harmonics. In terms of the power converter, the back to back converter is currently the most implemented topology in eolic systems based on doubly-fed induction generators, due to its directionality and relative simplicity, compared to other topologies. This converter improves the management and injection of the electrical energy into the electrical grid, allowing speed control in the turbine and regulated active and reactive power in the system. However, like any system connected to the electrical grid, eolic systems may be affected by harmonics perturbations coming from the electrical grid, whereby efficiency is reduced and even causing damage to the general system. Several solutions have been proposed to compensate harmonic power in WECS, nevertheless, in order to evaluate these mitigation proposals, it is necessary to have a system that may be able to emulate, in a controlled way, harmonic perturbations. The analysis and development of this emulator are focused on being used for wind systems based on a doubly fed induction generator, in such a way that design is proposed to size passive filters used for coupling the emulator to the wind system. On the other hand, in addition to harmonic emulation, two additional control objectives were developed to guarantee reactive power compensation and DC bus regulation in the emulator. The validation of the proposed system was made through simulation tests, also we worked on an experimental prototype, which is implemented.

NOTACIÓN

Acrónimos frecuentes

AC	Alternating Current (Corriente alterna)
DC	Direct current (Corriente directa)
WECS	Wind Energy Conversion System (Sistema de conversión de energía eólica)
SCIG	Squirrel-Cage Induction Generator (Generador de Inducción de jaula de ardilla)
WRSG	Wound Rotor Synchronous Generator (Generador síncrono de rotor bobinado)
OSIG	Opti-Slip Induction Generator (Generador de inducción de óptimo deslizamiento)
DFIG	Doubly Fed Induction Generator (Generador de inducción doblemente alimentado)
PMSG	Permanent Magnet Synchronous Generator (Generador síncrono de imanes permanentes)
PCC	Punto de Conexión Común
LPF	Low Pass Filter (Filtro pasa bajo)
RSC	Rotor-Side Converter (Convertidor de lado del rotor)
GSC	Grid-Side Converter (Convertidor de lado de la red)
MSC	Machine-Side Converter (Convertidor de lado de la máquina)
VSI	Voltage-Source Inverter (Inversor de fuente de voltaje)
CSC	Current-Source Converter (Convertidor de fuente de corriente)
B2B	Back to back
NPC	Neutral-Point-Clamped (Punto neutro)
THD	Total Harmonic Distortion (Distorsión armónica total)
EMI	ElectroMagnetic Interference (Interferencia electromagnética)
STATCOM	Static Synchronous Compensator (Compensador estático síncrono)
DVR	Dynamic Voltage Restorer (Restaurador dinámico de voltaje)
PI	Proportional-Integrative (Proporcional-integral)
PR	Proportional-Integrative (Proporcional-integral)
PIR	Proportional-Resonant (Proporcional-resonante)
FPGA	Field-Programmable Gate Array (Matriz de puertas lógicas programable en campo)
USB	Universal Serial Bus (Bus universal en serie)
SCR	Silicon Controlled Rectifier (Rectificador controlado de silicio)
DAC	Digital to Analog Converter (Convertidor digital a análogo)
IEEE	Institute of Electrical and Electronics Engineers (Instituto de ingeniería eléctrica y electrónica)

KVL	Kirchhoff's Voltage Law (Ley de voltaje de Kirchhoff)
KCL	Kirchhoff's Current Law (Ley de corriente de Kirchhoff)
CFE	Comisión Federal de Electricidad
RMS	Root Mean Square (Raíz cuadrática media)
PLL	Phase Locked Loop (Lazo de seguimiento de fase)
RPM	Revolution Per Minuted (Revoluciones por minuto)
FFT	Fast Fourier Transform (Transformada rápida de Fourier)
PWM	Pulse Wave Modulation (Modulación por ancho de pulsos)
DSP	Digital Signal Processor (Procesador digital de señales)
OA	Operational Amplifiers (Amplificador operacional)
PCB	Printed Circuit Board (Placa de circuito impreso)
IGBT	Insulated Gate Bipolar Transistors (Transistor bipolar de puerta aislada)

1. INTRODUCCIÓN

1.1. Generalidades de la energía eólica

Actualmente, la generación de energía eléctrica mediante fuentes renovables cada vez toma mayor influencia en los países desarrollados y subdesarrollados, países como Dinamarca, Alemania, Irlanda y Uruguay reportaron en 2019 una generación de energía eléctrica mayor al 30 % con sistemas eólicos y fotovoltaicos [1]. En México los esfuerzos para involucrar las energías renovables dentro del campo energético han evolucionado considerablemente en el periodo 2007 al 2017, en energías como: geotérmica, hidráulica, solar, biomasa y eólica. Específicamente, para la energía eólica estados como Oaxaca, Tamaulipas y Baja California destacan por su iniciativa en implementar y utilizar parques eólicos. En México se proyecta una tendencia creciente en el sector eólico, donde se espera que para el año 2032 la energía eólica participe con un 12.8 % del total de generación, equivalente a $62,237\text{ GW}$ [2].

La Energía Eólica representa hoy en día una de las fuentes energéticas más económicas y con un campo de conocimiento mayormente maduro, en términos generales; consiste en la conversión de la energía cinética a energía eléctrica, mediante un generador eléctrico. Los avances tecnológicos han ayudado a desarrollar sistemas de generación eólicos mas eficientes, de mayor potencia y económicos. Estos sistemas también conocidos como *WECS*, por sus siglas en inglés, son topologías que se han desarrollado para realizar la adecuación de la energía generada, de modo que pueda ser utilizada en la red eléctrica convencional. Un sistema eólico principalmente se divide en tres etapas; la etapa aerodinámica, mecánica y eléctrica, como se muestra en la Figura 1.1 [3].

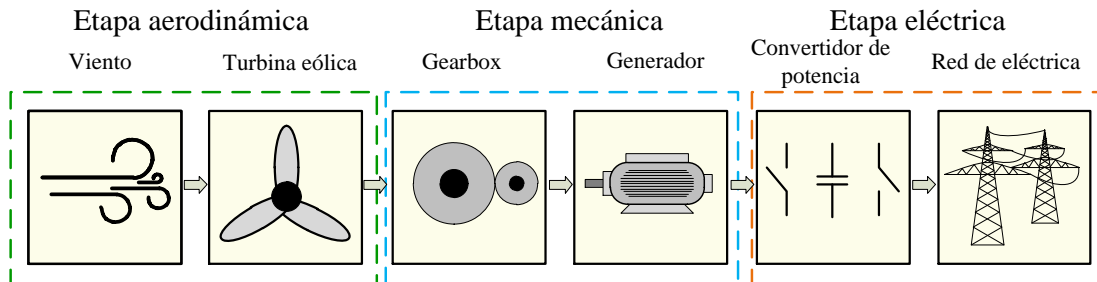


Figura 1.1. Sistema de conversión de energía eólica, *WECS*.

La etapa aerodinámica consiste en la rotación a baja velocidad de las aspas del generador, provocada por la presión que el viento ejerce sobre éstas. Existen dos tipos de aerogeneradores, de eje horizontal y eje vertical; típicamente, por el amplio rango potencia, los de eje vertical son mas utilizados. La etapa mecánica tiene el objetivo de aumentar la velocidad de rotación en el rotor del generador mediante una caja multiplicadora o Gearbox, finalmente, la etapa eléctrica gestiona la energía generada mediante convertidores de potencia, típicamente cicloconvertidores. Existen dos principales tipos de generadores los asíncronos y los síncronos, entre los generadores asíncronos más utilizados están los generadores de inducción de jaula de ardilla *SCIG*, de rotor bobinado *WRIG*, de óptimo deslizamiento *OSIG* y doblemente alimentado *DFIG*, por sus siglas en inglés, respectivamente. Por el lado de los generadores síncronos, los generadores de imanes permanentes o *PMSG* son los más comunes. La energía generada puede ser aprovechada en distintos sistemas como microrredes, redes inteligentes e inyección de energía a la red eléctrica [4], [5].

1.1.1. Sistemas de conversión de energía eólica

Existen tres categorías principales de los *WECS*, los sistemas de velocidad fija, de velocidad semi-variable y velocidad variable. Para estos sistemas los generadores de inducción suelen ser más utilizados debido a sus múltiples ventajas respecto a los generadores de imanes permanentes. Por ejemplo los generadores de inducción son más simples y baratos de construir y mantener, además de presentar mayor robustez.

Los sistemas de velocidad fija son los más sencillos, debido a que no utilizan un convertidor de potencia para acoplar el *WECS* con la red eléctrica, en su lugar utilizan un *soft starter* o arrancador suave y un transformador. El arrancador suave evita la presencia de picos transitorios de corriente en el generador. Por otro lado, el transformador adecua el voltaje para ser inyectado a la red eléctrica. La velocidad de giro en el rotor está definida mayormente por la frecuencia de la red debido a que el sistema está conectado a la red sin ningún convertidor de potencia de por medio. En la Figura 1.2 se muestra un *WECS* de velocidad fija.

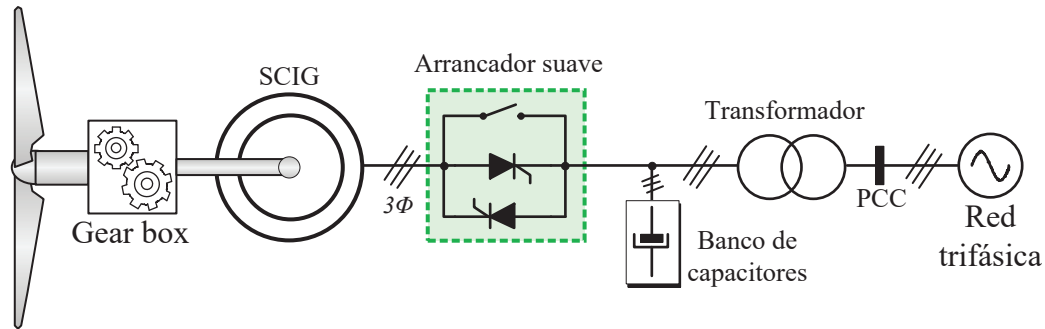


Figura 1.2. Sistema de generación eólica de velocidad fija.

Las ventajas principales de estos sistemas radica en su costo y en ser relativamente sencillos, así como el mantenimiento de éstos. Sin embargo, son sistemas poco eficientes, debido a que suelen presentar estrés mecánico en el generador, este estrés es provocado por cambios repentinos en la velocidad del viento, mismos que afectan a la calidad de la energía generada. Debido a la simpleza del sistema, el control para regular el consumo de potencia reactiva se limita al uso de un banco de capacitores [6], [7].

Por parte de los *WECS* de velocidad semi-variable, consisten en sistemas que obtienen la máxima eficiencia en múltiples rangos de velocidad, esta topología es la que más ventajas ofrece respecto a los tres principales tipos de *WECS*. Particularmente, en esta topología los generadores *DFIG* son los más utilizados, además este sistema opta por utilizar ciclo-convertidores para gestionar correctamente la energía generada y conectar indirectamente el generador con la red eléctrica. De esta manera se evita utilizar arrancadores suaves y bancos de capacitores, además, en comparación con el sistema anterior la eficiencia del sistema incrementa, en la Figura 1.3, se muestra la topología más utilizada en sistemas eólicos, tomando en cuenta un *DFIG* [8]-[10].

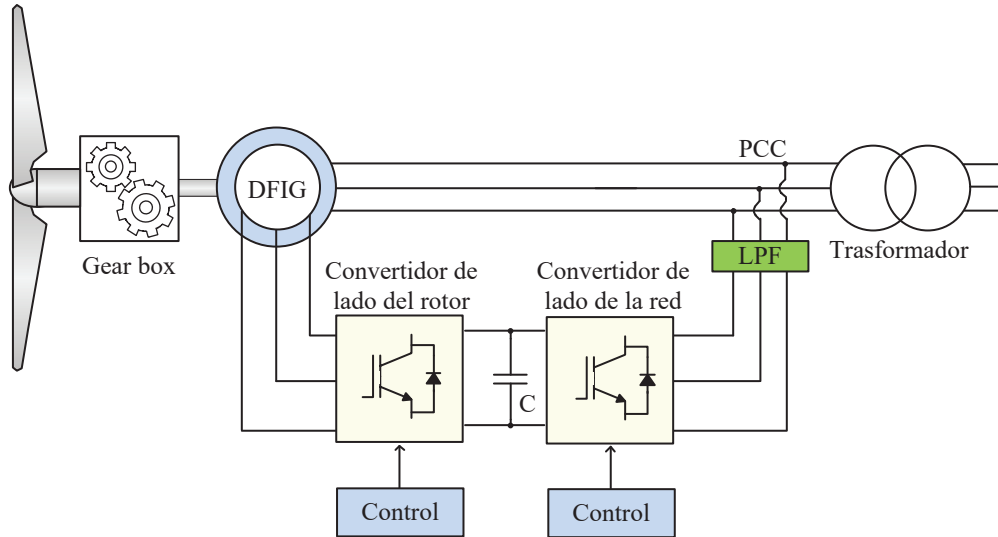


Figura 1.3. Sistema de generación eólica de velocidad semi-variable.

Como se mencionó anteriormente, los sistemas de velocidad semi-variable utilizan convertidores de potencia para acoplar el sistema a la red eléctrica. Este convertidor se conecta entre el punto de conexión común (*PCC*), y el rotor del *DFIG* por medio de sus anillos deslizantes. Además, debido a la conmutación a alta frecuencia de los convertidores, normalmente se utilizan filtros pasa-bajas también conocidos como *LPF* pasivos para mitigar dichas componentes.

Las ventajas de utilizar un convertidor de potencia son la posibilidad de implementar controladores que permitan regular potencia reactiva en el sistema y regular la velocidad del generador. Además, la potencia nominal del convertidor depende del rango deseado de velocidad, típicamente se varía la velocidad de giro en un rango del $\pm 30\%$ respecto a la velocidad síncrona. Esto implica que los convertidores se dimensionen para trabajar a potencias bastante inferiores con respecto a la potencia nominal del generador, teniendo un sistema más económico y eficiente [11], [12]. El convertidor suele componerse por dos convertidores controlados trifásicos acoplados mediante un capacitor, convencionalmente se etiquetan a los convertidores como convertidor de lado del rotor (*RSC*) y convertidor de lado de la red (*GSC*), debido a la naturaleza de su conexión en el sistema. De manera general, el controlador del *RSC* consiste en controlar la velocidad o el torque de la máquina y/o controlar potencia reactiva y activa en el mismo. Por otro lado el *GSC* generalmente controla el nivel de voltaje en el bus de *DC* y la potencia reactiva del convertidor. La posibilidad de implementar estas leyes de control generó un avance muy grande dentro del desarrollo e investigación de esta topología, siendo hasta hoy en día la más utilizada [13].

Finalmente, los sistemas de velocidad variable se caracterizan por mitigar casi en su totalidad el estrés mecánico en el generador, debido a que son capaces de controlar totalmente la velocidad del generador. Estas topologías, como en el caso anterior también utilizan un convertidor de potencia para acoplar el sistema a la red eléctrica con la diferencia de que la conexión es realizada entre los devanados del estator y la red eléctrica, como se muestra en la Figura 1.4.

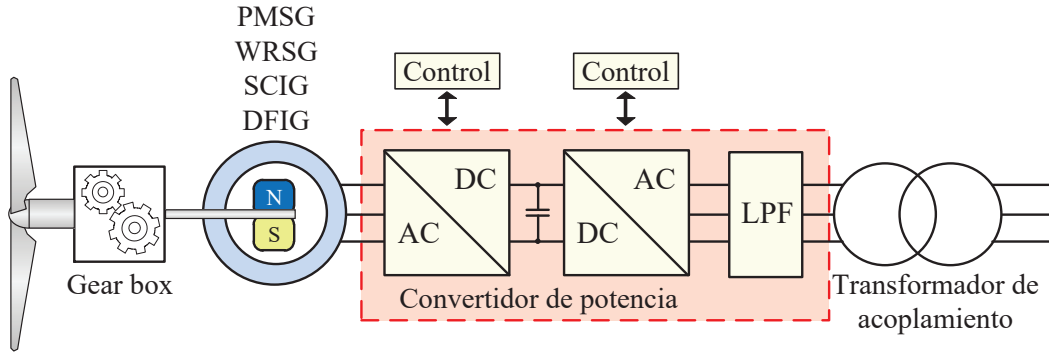


Figura 1.4. Sistema de generación eólica de velocidad variable.

Algunas ventajas de esta topología es la posibilidad de utilizar diferentes generadores, dependiendo de la dimensión del sistema se elige la máquina, normalmente, debido a su buena fidelidad, densidad de potencia y costo de mantenimiento, los generadores *PMSG* son los más utilizados. Como en el caso anterior, se utiliza un convertidor de potencia para gestionar la energía hacia la red eléctrica. Sin embargo este convertidor al interactuar directamente con el estator y la red eléctrica, la potencia nominal de éste debe ser superior a la del generador al menos en un 30 %, generando sistemas más caros.

1.1.2. Convertidores de potencia utilizados en sistemas de generación eólica

Los convertidores de potencia son una parte fundamental de los sistemas eólicos, éstos permiten incrementar la eficiencia en la conversión de la energía generada hacia la red eléctrica y garantizar una buena calidad de la energía. Típicamente los cicloconvertidores son utilizados para la gestión e inyección de la energía eléctrica generada, esto debido a que permiten variar parámetros como frecuencia y amplitud de una señal alterna. En la Figura 1.5, se muestra un diagrama que categoriza los tipos de cicloconvertidores utilizados en sistemas *WECS* [7].

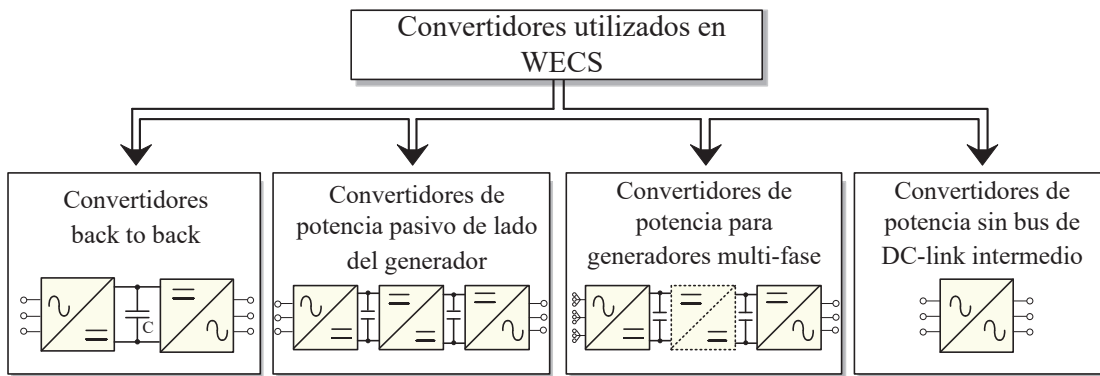


Figura 1.5. Convertidores de potencia utilizados en WECS.

La Figura 1.5 resume en cuatro familias los convertidores utilizados en sistemas eólicos de velocidad semi-variable y variable. Principalmente, los convertidores en configuración back to back son los más utilizados, éstos consisten en dos convertidores trifásicos controlados acoplados mediante un capacitor. Estos convertidores permiten controlar parámetros como frecuencia y amplitud de un voltaje alterno, de forma que en un *WECS* principalmente permiten la variación de la velocidad del generador y mejorar la calidad de la energía inyectada a la red eléctrica. Estos convertidores pueden trabajar en conjunto con generadores de como *SCIG*, *DFIG*, *PMSG* o *WRSG*, debido a esto es el convertidor más utilizado en el mercado.

En la familia de los convertidores back to back, existen diversas topologías donde principalmente se diferencian por la potencia nominal que éstos manejan. Los inversores de fuente de voltaje (*VSI*), los convertidores multinivel y los convertidores de fuente de corriente (*CSC*) engloban las principales topologías dentro de la categoría de convertidores back to back, mostrados en la Figura 1.6.

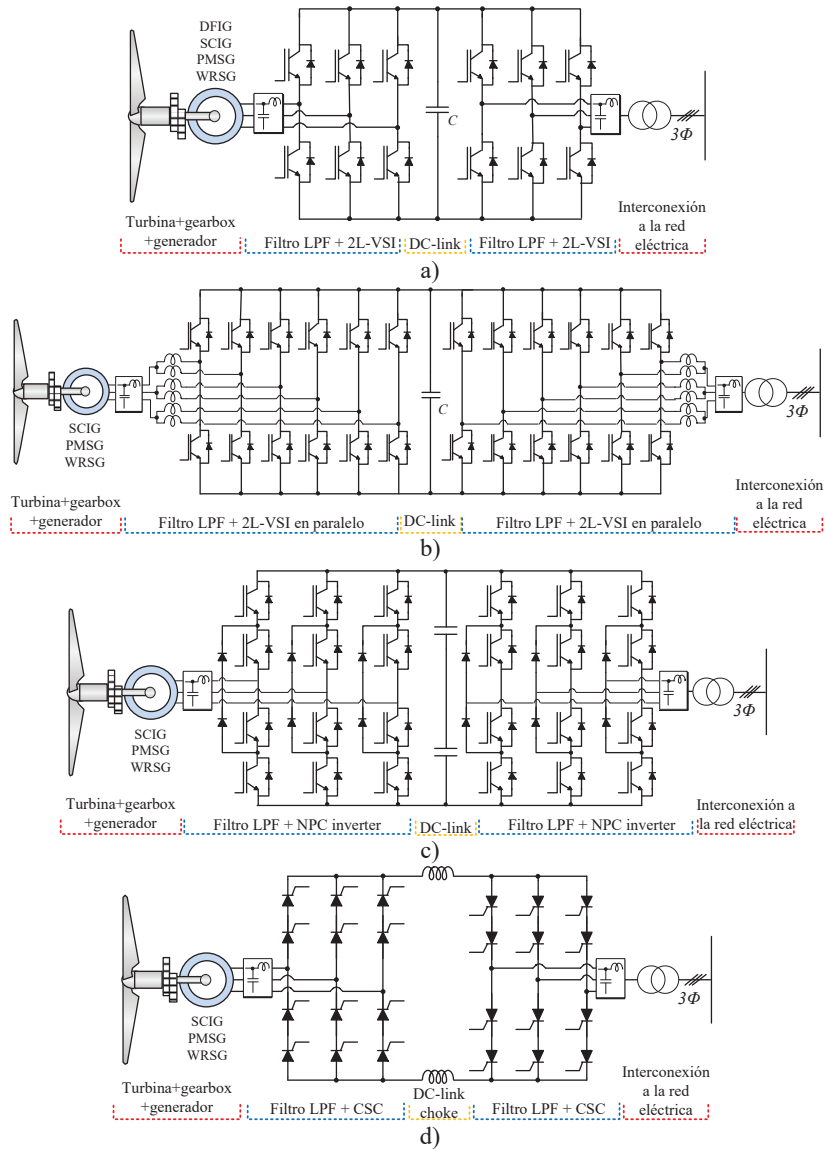


Figura 1.6. Convertidores de potencia utilizados en WECS, a) B2B 2L-VSI, b) B2B 2L-VSI en paralelo, c) B2B multinivel d) B2B configurado como CSC.

La Figura 1.6, se muestra cuatro topologías basadas en una configuración back to back, primamentamente la topología $2L$ - VSI consiste en dos convertidores trifásicos controlados acoplados mediante un capacitor. La principal característica de este convertidor es el voltaje de dos niveles que entrega a la salida, debido a esto es recomendable la implementación de filtros pasa-bajas, para mitigar las componentes de alta frecuencia. Este convertidor es el más utilizado en sistemas eólicos principalmente con generadores tipo $DFIG$, como se mostró en la Figura 1.3, ya que es relativamente sencillo implementar controladores para garantizar una buena calidad de la energía generada, además de no presentar un impacto económico muy alto en la sistema eólico. Este convertidor se utiliza en $WECS$ con un rango de potencia de $0.75 MW$ a $3 MW$, como por ejemplo el *Acciona AW-125/3000*[12].

Existe una variante del convertidor $2L$ - VSI donde se conectan dos convertidores $2L$ - VSI en paralelo, como se muestra en la Figura 1.6, inciso b. Estos convertidores son utilizados en $WECS$ de mayor potencia, superando los $3 MW$ y principalmente en sistemas de velocidad variable, como el mostrado en la Figura 1.4. La conexión en paralelo en estos convertidores permite gestionar de mejor manera la energía generada por el $WECS$, por ejemplo si la velocidad del generador es muy baja o alguna rama del convertidor deja de funcionar, sólo una parte de éste estará operando, garantizando una eficiencia mayormente constante.

Las desventajas de esta topología son la cantidad de interruptores que ésta presenta, y además el uso de filtros pasa-bajos sigue siendo necesario, aumentando el numero de componentes pasivos [14]. Modelos como el *Enercon E-126* consiste en más de diez convertidores conectados en paralelo en función de alcanzar una potencia nominal superior a $7.5 MW$.

Los convertidores multinivel, NPC , como el mostrado en la Figura 1.6, inciso c; se pronostica como una de las mejores alternativas, ya que presenta mayor eficiencia, reducción de tamaño y costo de los filtros pasa-bajas y mejor densidad de potencia, proponiendo modelos con un rango de potencia nominal de $3 MW$ a $6 MW$. La característica principal es la capacidad de generar un voltaje con diferentes niveles, permitiendo disminuir el tamaño de los filtros pasivos. La principal desventaja de esta topología es el posible desbalance de voltaje en los capacitores del bus de DC , esto genera estrés eléctrico en los dispositivos semiconductores teniendo como consecuencia el daño permanente de los mismos, algunas soluciones como técnicas de modulación han permitido disminuir este problema [15].

El convertidor de fuente de corriente (CSC) mostrado en el inciso d de la Figura 1.6, es una topología que está en desarrollo, ya que no hay $WECS$ que utilicen dicho convertidor. A pesar de esto, presenta una serie de ventajas, por ejemplo; debido al uso de dispositivos $SCRs$ es la topología que soporta altas cantidades de potencia, teniendo un rango de $3 MW$ a $10 MW$. A diferencia de los VSI y el convertidor multinivel, presentado anteriormente, este convertidor utiliza un par de inductores para acoplar el convertidor de lado del generador y el convertidor de lado de la red. Estos inductores tienden a ser muy voluminosos y pesados, de tal forma que las dinámicas de voltaje y corriente en este convertidor son mucho mas lentas que en los convertidores vistos anteriormente [16].

1.2. Calidad de la energía en WECS

Como todo sistema conectado a la red eléctrica, éste es propenso a ser afectado negativamente por perturbaciones eléctricas y, los sistemas eólicos no son la excepción. El creciente escenario de los *WECS* interconectados a la red, ha provocado que las compañías dedicadas al sector energético se enfrenten a nuevas problemáticas, entre estas se encuentra la de garantizar la calidad de la energía que estas fuentes producen [12]. La calidad de la energía está definida, entre otros factores, por las características de amplitud, forma, frecuencia y simetría. Una buena calidad de la energía se alcanza cuando los voltajes y corrientes en un sistema eléctrico son sinusoidales puras, sin desplazamiento ni distorsión en sus formas de onda [17]. Debido a las perturbaciones presentes en la red eléctrica, estas características pueden ser afectadas impactando negativamente en el *WECS* provocando daños al convertidor o al generador.

Típicamente las perturbaciones provenientes de la red eléctrica son las que más impactan negativamente en el *WECS*, sin embargo los mismos sistemas eólicos pueden generar dichas perturbaciones y contaminar las redes de transporte. Las perturbaciones eléctricas más comunes en los *WECS* interconectados a la red son el flicker, SAGs, SWELL, transitorios de voltaje o corriente y los armónicos de voltaje, siendo estos últimos la perturbación de interés de este trabajo. Las perturbaciones armónicas son frecuencias múltiplos de la frecuencia fundamental que se superponen a ésta distorsionando el voltaje o corriente de la red eléctrica, para determinar el porcentaje de armónicos presentes en la red eléctrica, la Distorsión Armónica Total (*THD*), permite conocer dicho contenido armónico respecto a su componente fundamental. La norma internacional *IEEE 519-5.1* y la norma nacional *CFE L0000-45-4.1* estipulan los límites de *THD* que deben tener los sistemas interconectados a la red eléctrica [18], [19]. Esta perturbación se suele dividir en armónicos provenientes de la red eléctrica y armónicos provenientes del *WECS*, para cada caso existen diferentes formas de mitigar esta perturbación [9], [20].

Como se ha mencionado anteriormente, la topología de *WECS* más utilizada actualmente es la que se basa en un generador tipo *DFIG*, como el mostrado en la Figura 1.3, debido a que el estator del generador está conectado directamente a la red, las perturbaciones armónicas provenientes de ésta afectan directamente al sistema eólico en general. Una red contaminada se debe principalmente al uso excesivo de cargas no lineales, las consecuencias se ven reflejadas en un factor de potencia inferior a la unidad, interferencia electromagnética (*EMI*) en el sistema, calentamiento en los componentes pasivos del sistema como transformadores y embobinado del generador, daño del convertidor de potencia, entre otros [21].

Tradicionalmente, los *WECS* se integraban a las redes de distribución, sin embargo, los parques eólicos recientes se conectan a las redes de transmisión, como si de centrales eléctricas convencionales se trataran. La ubicación de estos parques eólicos, en la mayoría de los casos, se encuentran en áreas remotas donde la interconexión entre el *WECS* y la red eléctrica requiere conexiones muy largas, siendo más volátiles a ser perjudicados por las perturbaciones armónicas [22].

En los sistemas eólicos la calidad de la energía depende, en gran parte, de la interacción entre la red eléctrica y el generador eléctrico. Por ejemplo, las variaciones repentinas de rotación en el sistema se proyecta en fluctuaciones de voltaje, por otro lado, la carga repentina en componentes pasivos, como los capacitores presenta picos de corriente que pueden llegar a ser destructivos. Sin embargo para estas perturbaciones transitorias, existen soluciones integradas en el WECS, como por ejemplo el soft starter mostrado en la Figura 1.2 o soluciones mecánicas como la posición de las palas del generador o *pitch regulation*. [23]. Por otro lado, sistemas como los mostrados en las Figuras 1.3 y 1.4, respectivamente utilizan convertidores de potencia para conectar directa e indirectamente el WECS a la red eléctrica. Estos convertidores pueden contribuir con armónicos de alta frecuencia que, en conjunto con las cargas no lineales conectadas en el punto de conexión común (*PCC*), puede llegar a impactar negativamente en el WECS [24]. Como se describió anteriormente, el uso de filtros pasa-bajas es una solución muy común para mitigar componentes de alta frecuencia, además el desarrollo de diversos controladores han permitido compensar potencia armónica y reactiva en el convertidor, siendo así un sistema más eficiente.

Para garantizar un funcionamiento óptimo existen diversas soluciones que se han integrado a los WECS, dichas soluciones pueden ser externas y principalmente internas al WECS. Las soluciones externas consisten en sistemas independientes del WECS que compensan potencia armónica y reactiva, por ejemplo; el compensador estático o *STATCOM* el cual consiste en un convertidor de potencia, conectado en el *PCC*. Estos dispositivos están diseñados para proveer compensación de potencia reactiva, además de filtrado activo de armónicos provenientes de la red eléctrica y proporcionar estabilidad el sistema ante perturbaciones transitorias. La limitación principal de estos dispositivos es que son sumamente sensibles ante voltajes desbalanceados, además que implican una fuerte inversión en el WECS, de manera que sólo se utilizan en casos muy específicos [25]. Otra alternativa externa al WECS es un restaurador dinámico de voltaje o *DVR*, como en el caso anterior, consiste en un convertidor de potencia conectado al *PCC* pero en este caso utiliza un transformador para acoplar los dos sistemas. De manera general, la función de los *DVR* es inyectar un voltaje de magnitud y frecuencia adecuada, con el objetivo de re-establecer el voltaje de la carga del sistema a valores de amplitud y frecuencia deseados, en la Figura 1.7, se muestra un diagrama simplificado de un *STATCOM* y un *DVR*, respectivamente [26].

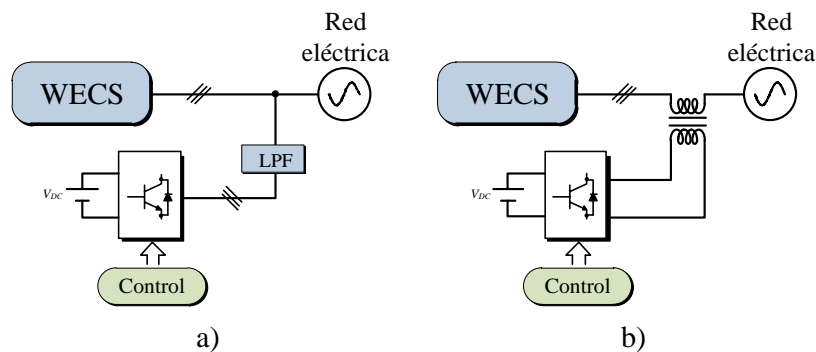


Figura 1.7. Soluciones externas al WECS, a) Esquema de un *STATCOM*, b) esquema de un *DVR*.

Por otro lado, las soluciones asociadas al *WECS* son más comunes y en la mayoría de escenarios efectivas, además, no representan un fuerte impacto económico en el sistema. Específicamente, en *WECS* basados en *DFIG* el desarrollo de controladores que permitan mejorar la calidad de la energía en estas topologías sigue estando en desarrollo, tres de los objetivos de control fundamentales son la regulación de potencia reactiva en el convertidor back to back, la regulación del voltaje entre las terminales del bus de *DC* (*DC-link*) y la compensación de potencia reactiva y activa mediante las corrientes del rotor [27]. Mediante estos tres objetivos de control se han planteado diferentes técnicas de control que cumplan con estos objetivos, existen múltiples técnicas de control para los *WECS* basados en *DFIG*, sin embargo el control vectorial o control en el marco de referencia *dq*, es una de las técnicas más utilizada ya que permite el diseño de controladores muy precisos. Los controladores basados en el marco de referencia *dq*, permiten cambiar de coordenadas las componentes trifásicas de voltaje y corriente en dos componentes constantes en *DC*, facilitando el uso de controladores como Proporcional - Integral (*PI*), Proporcional - Resonante (*PR*) y Proporcional - Integral Resonante (*PIR*). Por ejemplo, para mitigar componentes armónicas utilizando un controlador *PI*, es necesario que cada señal involucrada en el controlador esté representada en un marco de referencia rotativo. Un controlador *PR* destina la parte proporcional hacia las frecuencias fundamentales y la resonante a los armónicos que se desean mitigar, y de manera similar el controlador *PIR*, las partes proporcional e integral se enfocan en la frecuencia fundamental y la resonante en las frecuencias armónicas [28], [29].

1.3. Motivación

En vista de lo expuesto en los apartados anteriores, se concluye que dentro de los *WECS*, los sistemas de velocidad semi-variable predominan el mercado debido a sus múltiples ventajas. En adición a ello, garantizar una buena calidad de la energía en estos sistemas es un campo de investigación en continuo desarrollo en donde se han presentado múltiples soluciones. Estas soluciones se han planteado en dos diferentes ambientes de desarrollo, de forma externa al *WECS* mediante filtros activos y de forma interna, mediante leyes de control, mostrando resultados de simulaciones numéricas y experimentales.

Para la evaluación de estas alternativas, se requiere una carga no lineal que produzca un consumo de potencia armónica en la red eléctrica, de tal manera que los *WECS* operen en un ambiente con perturbaciones armónicas de manera no controlada. En este sentido, este trabajo de tesis pretende diseñar, simular e implementar un emulador de armónicos de voltaje basado en un convertidor back to back capaz de emular los principales armónicos encontrados en la red eléctrica, definiendo amplitud y orden de los mismos. Este emulador está enfocado en ser integrado en un sistema eólico basado en un generador doblemente alimentado, de tal manera que para que el emulador de armónicos trabaje en conjunto con el *WECS*, éste debe ser un sistema bidireccional. Los trabajos encontrados en la literatura plantean variadas alternativas para emular diversas perturbaciones eléctricas, sin embargo, en la mayoría de éstas no están enfocadas en sistemas eólicos [30] - [37].

Este documento de tesis está dividido en cinco capítulos, en el capítulo uno se revisan los conceptos generales de la energía eólica, en el capítulo dos se muestran los trabajos relacionados con emuladores de perturbaciones eléctricas, destacando sus características principales. Los análisis, diseño y pruebas de simulación del emulador de armónicos se desarrollan en el capítulo tres, por otro lado el diseño e implementación de el sistema experimental se describe en el capítulo cuatro. Finalmente, las conclusiones de este trabajo se muestran en el capítulo seis.

2. ESTADO DEL ARTE DE LA EMULACIÓN DE PERTURBACIONES

Resumen:

En capítulo se muestra una revisión del estado del arte respecto a los emuladores de perturbaciones eléctricas. Para cada trabajo, se describen sus características generales y campo de aplicación, a fin de hacer una comparación con el sistema que se plantea en esta tesis.

Dentro de los emuladores encontrados en la literatura se tiene el sistema utilizado en [30], en la Figura 2.1, se muestra el diagrama general del sistema. En este trabajo se realizó el diseño e implementación de un sistema para emular perturbaciones eléctricas a través de la síntesis digital de señales mediante un arreglo de compuertas programables en campo o *FPGA*, por sus siglas en Inglés.

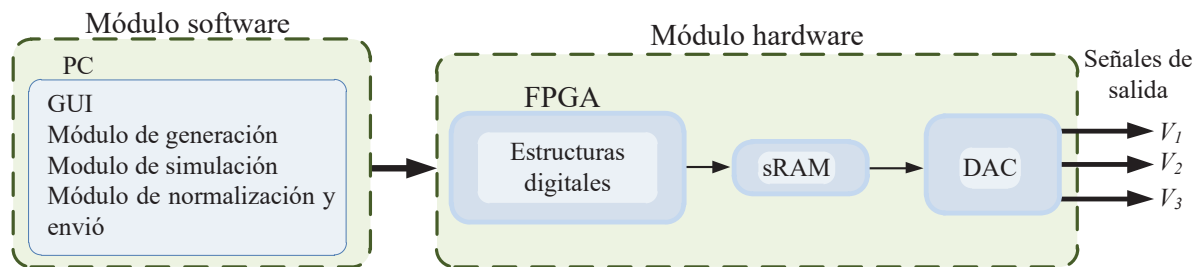


Figura 2.1. Emulación de perturbaciones eléctricas basado en un *FPGA*, [30].

En la Figura 2.1, se muestra que el sistema está conformado por dos módulos principales, el módulo de software y el de hardware, éstos están conectados mediante comunicación serial *USB*. El módulo de software tiene el objetivo de generar, mediante modelos matemáticos las perturbaciones eléctricas y a su vez, enviarlas al módulo de hardware. Esto es logrado pasando diferentes etapas denominadas módulos de generación, simulación, normalización y envío. Lo interesante de esta propuesta es el uso de los modelos matemáticos, ya que con éstos es posible definir qué tipo de perturbación y con qué características se desea emular.

El módulo de hardware permite adecuar las señales digitales a señales analógicas en un rango de voltaje de -10 a $10V$. Este sistema puede generar perturbaciones trifásicas transitorias como SAGs, SWELL, fluctuaciones y notching, en el caso de perturbaciones periódicas, los armónicos.

En [31], se plantea un sistema capaz de emular SAGs, SWELL e interrupciones de voltaje, el diagrama general se muestra en la Figura 2.2. Este sistema muestra una alternativa sencilla para emular de forma controlada diferentes perturbaciones monofásicas transitorias, las pruebas realizadas en este trabajo se realizaron con una carga resistiva.

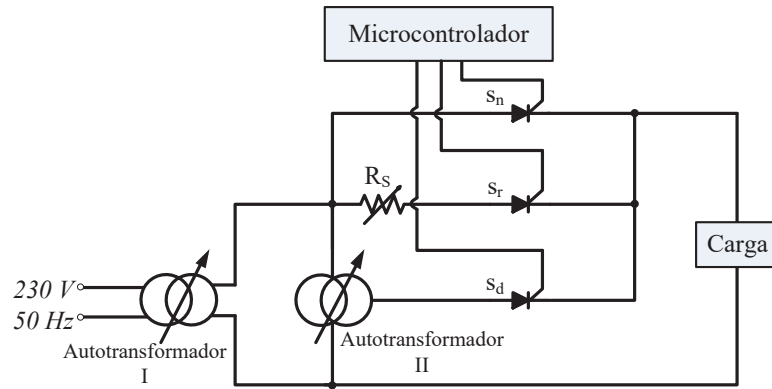


Figura 2.2. Emulación de perturbaciones eléctricas basado en un microcontrolador, [31].

Como se muestra en la Figura 2.2, el sistema consta de dos autotransformadores, una resistencia variable, un microcontrolador y tres interruptores de potencia, en este caso *SCRs*. Dependiendo de la configuración de los autotransformadores y cual *SCR* está activo es posible generar diferentes disturbios, los *SCRs* son controlados por el microcontrolador. La ventaja de esta alternativa respecto a otras como en [32], es el control para seleccionar qué perturbación se desea generar, sin embargo este sistema es limitado para sistemas monofásico.

El sistema desarrollado en [33], consiste en dos etapas principales, una parte digital donde se define que tipo de perturbación se desea emular y una etapa de amplificación para adecuar las perturbaciones generadas al voltaje de la red eléctrica. Además del amplificador de potencia clase *AB*, se utilizó un transformador para aislar y proteger las cargas conectadas a éste, el diagrama general del sistema desarrollado en [33], el cual se muestra en la Figura 2.3.

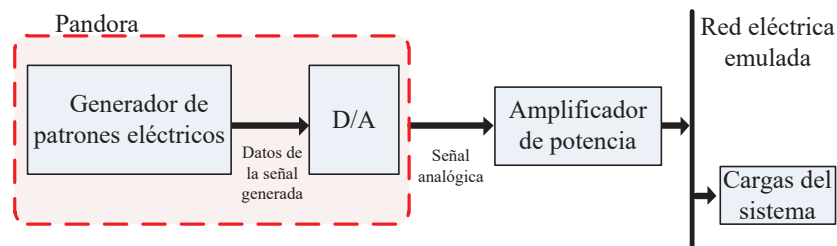


Figura 2.3. Diagrama general del emulador de perturbaciones, [33].

El sistema mostrado en la Figura 2.3, utiliza una metodología muy parecida al sistema mostrado en la Figura 2.1 ya que se basan en los modelos matemáticos de las perturbaciones eléctricas para poder ser emuladas. Además, también se hace uso de un convertidor digital-analógico, éste permite enviar las perturbaciones generadas a un amplificador de potencia clase *AB* que permite adecuar la señal generada a magnitudes similares a las de la red eléctrica.

El uso de convertidores de potencia permite explorar más los campos de aplicación de los emuladores de perturbaciones eléctricas, por ejemplo, en [34] y [35] se desarrolla un emulador de SAGs para evaluar sistemas de iluminación, el diagrama general del sistema se muestra en la Figura 2.4.

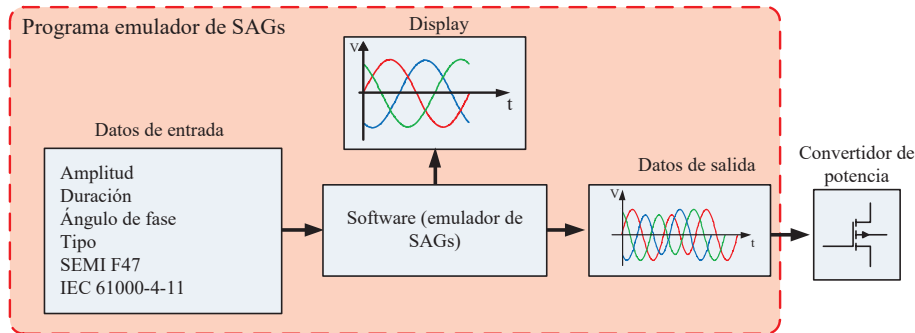


Figura 2.4. Diagrama general del emulador de SAGs, [34], [35].

El sistema de la Figura 2.4 genera SAGs trifásicos considerando parámetros como amplitud, duración y ángulo de fase, además utilizan como referencia las normas *SEMI F47* y *IEC 61000-4-11* donde se definen las características eléctricas de los SAGs más comunes en las industrias. Las señales generadas, se envían mediante un convertidor *DAC*, es en este punto donde mediante un convertidor de potencia basado en un rectificador no controlado, junto a un inversor trifásico acoplado mediante un capacitor, adecuan el voltaje para ser utilizado en dispositivos de iluminación.

Otro método para generar perturbaciones eléctricas es mediante leyes de control que permitan el seguimiento de señales de referencia, las cuales, definen características eléctricas principales de las perturbaciones, por ejemplo para los armónicos se definen amplitud y orden. En [36] se trabaja con un *VSI*, controlado mediante un control repetitivo, para emular SAGs y armónicos trifásicos, en la Figura 2.5, se muestra el diagrama general.

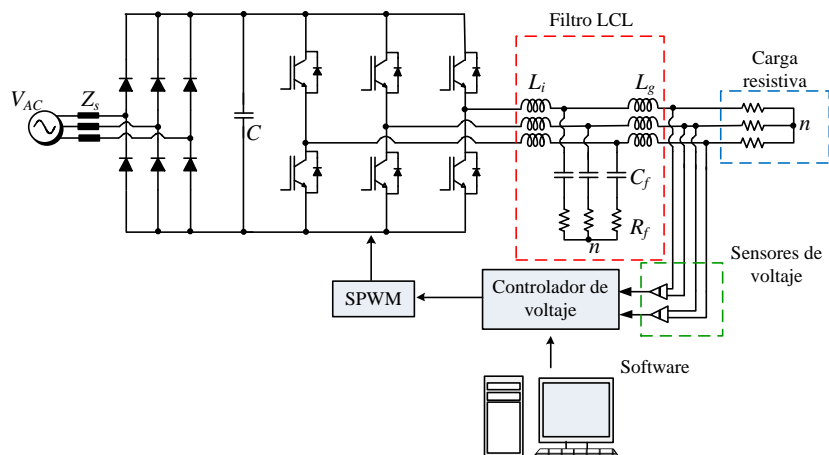


Figura 2.5. Diagrama general del emulador de SAGs y armónicos basado en un *VSI* [36].

El sistema mostrado en la Figura 2.5 se basa principalmente en un *VSI* que consiste en un rectificador no controlado y un inversor trifásico, a éste se añade un filtro pasivo *LCL* para mitigar componentes de alta frecuencia en el voltaje y corriente de salida provocadas por la conmutación de los interruptores. El voltaje entre líneas es sentido de modo que éste pueda ser comparado con referencias que definen qué tipo de perturbación se pretende emular. La ventaja de utilizar leyes de control para emular las perturbaciones eléctricas es que el mismo controlador genera las secuencias de conmutación para el inversor, por otro lado, la implementación de filtros pasivos en el sistema requiere de un diseño óptimo para evitar interferencias con la frecuencia de resonancia de éstos.

Finalmente en [37], se presenta un sistema basado en un convertidor back to back para la generación de SAGs, en la Figura 2.6, se muestra la topología utilizada.

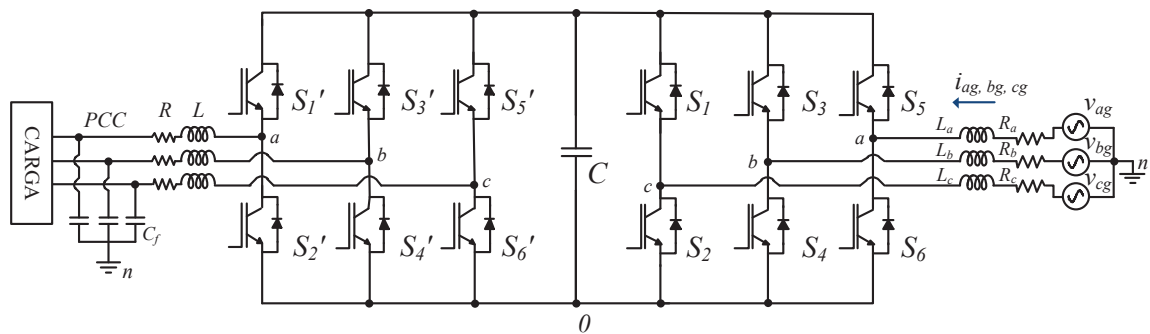


Figura 2.6. Diagrama general del emulador de SAGs basado en un convertidor back to back [37].

Este sistema está conformado por un inversor y un rectificador controlados, éstos están acoplados entre sí mediante un capacitor. En los dos convertidores se añaden filtros pasivos para mitigar componentes de conmutación de alta frecuencia, además siendo un sistema bidireccional, la aplicación de éste se enfocó en un sistema eólico basado en un *DFIG*. El controlador de este sistema se basa en un sistema *dq*, donde las variables trifásicas se cambian a variables constantes rotativas. Con este controlador se emulan diversos tipos de SAGs, ya sea balanceados o desbalanceados. El controlador no sólo se limita a emular las perturbaciones sino que a su vez mantiene constante el voltaje entre las terminales del capacitor y compensa la potencia reactiva en el convertidor.

En la Tabla 2, se muestra un resumen de las características principales de cada emulador revisado en este capítulo.

Tabla 2.1. Emuladores basados en sistemas digitales.

Artículo	Tipo de emulación	Características
[30]	SAG, SWELL, armónicos, notching, fluctuaciones	Sistema basado en una tarjeta FPGA. Basado en modelos matemáticos para generar las perturbaciones. Emula perturbaciones trifásicas. No es un sistema bidireccional.
[31]	SAG, SWELL, interrupciones	Sistema basado en un microcontrolador, tres SCRs y dos autotransformadores. Emula perturbaciones monofásicas. No es un sistema bidireccional.
[33]	SAG, SWELL, armónicos, notching, fluctuaciones	Sistema basado en modelos matemáticos para generar las perturbaciones. Utiliza un amplificador de potencia para adecuar las señales emuladas. No es un sistema bidireccional. Emula perturbaciones monofásicas.
[34]	SAGs	Sistema basado en dos etapas principales; un programa emulador de SAGs y un convertidor de potencia. Emula perturbaciones trifásicas. No es un sistema bidireccional.
[36]	SAG, armónicos	Sistema basado en un <i>VSI</i> y un rectificador trifásico no controlado. Utiliza un control repetitivo. No es un sistema bidireccional.
[37]	SAGs	Sistema basado en modelos en un convertidor back to back trifásico. Utiliza un controlador orientado a un marco de referencia <i>dq</i> . Es un sistema bidireccional. Emula perturbaciones monofásicas.

3. ANÁLISIS Y DISEÑO DEL EMULADOR DE ARMÓNICOS

Este capítulo se presenta el análisis matemático del convertidor back to back como emulador de armónicos, el análisis se dividen en dos secciones principales; el convertidor de lado de la red y el convertidor de lado de la máquina, *GSC* y *MSC* respectivamente. Además, se describe el diseño de las leyes de control para cada convertidor, con las cuales se obtuvieron resultados de simulación, mostrando además el análisis y diseño de los filtros implícitos en la topología del convertidor.

3.1. Análisis del convertidor back to back

Como se mencionó anteriormente, se pretende que el emulador de armónicos forme parte de un sistema de generación eólica, basándose en un sistema doblemente alimentado. Los objetivos planteados en este trabajo se limitan al diseño del emulador de armónicos. En este sentido, antes de presentar los análisis, es importante tener claridad del contexto del trabajo, en la Figura 3.1, se muestra el sistema completo.

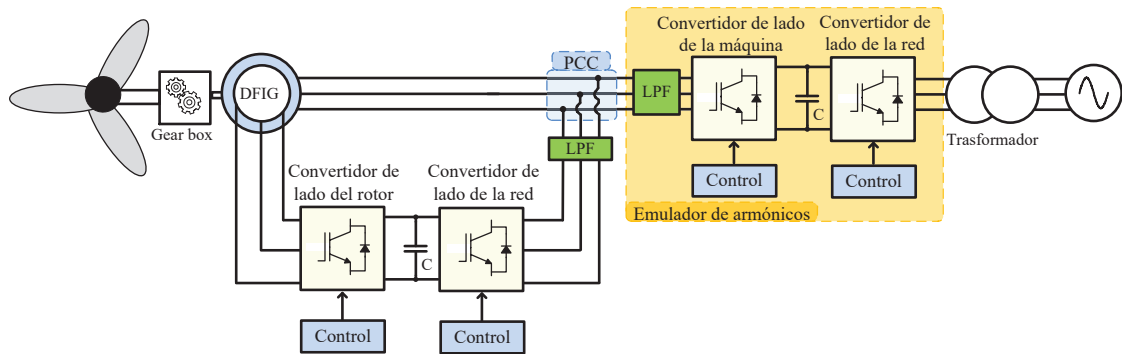


Figura 3.1. Diagrama a bloques del WECS basado en un DFIG interconectado a la red, considerando un emulador de armónicos.

El desarrollo de este trabajo de tesis compete solamente al emulador de armónicos, para lo cual se utiliza un convertidor back to back. El convertidor back to back es una topología que consta de dos convertidores trifásicos controlados éstos pueden operar como rectificador o inversor, el funcionamiento que adopten depende del flujo de corriente que se presente en el sistema [38]. Los convertidores comúnmente se etiquetan como *convertidor de lado de la red*, *GSC* y *convertidor de lado de la máquina*, *MSC*, por sus siglas en inglés, respectivamente. Dichos convertidores son acoplados mediante un capacitor central, éste además de acoplar, permite mitigar componentes de alta frecuencia provenientes de la conmutación de los interruptores de potencia [39].

La topología del convertidor se presenta en la Figura 3.2.

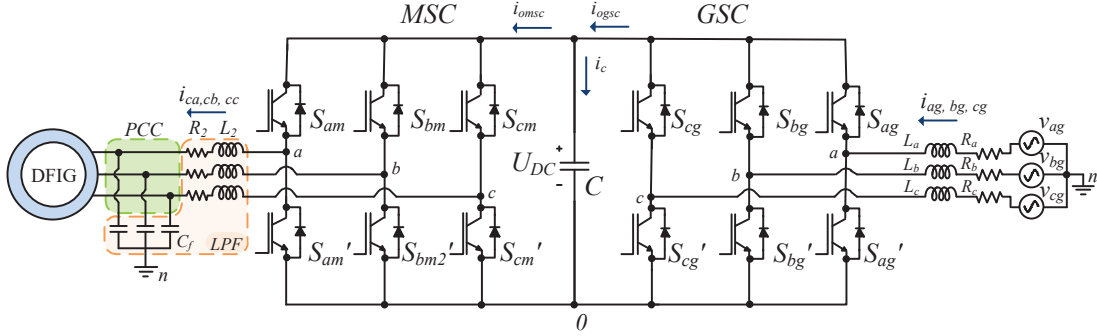


Figura 3.2. Convertidor back to back.

En cuanto a los objetivos de control de los convertidores, el *GSC* debe regular el bus de *DC* a un voltaje específico, además, debe compensar potencia reactiva del convertidor. Por otro lado, el *MSC* debe mantener los niveles de voltaje trifásicos establecido en las referencias, las cuales definen el orden y amplitud del armónico, de acuerdo con la norma IEEE 519. Los análisis presentados en este trabajo de tesis se realizaron en el marco de referencia *dq*.

Para plantear el análisis en el convertidor primeramente se consideró las características principales de la máquina, éstas se despliegan en la Tabla 3.1.

Tabla 3.1. Parámetros del DFIG.

Parámetro	Valor
R_s	0.343Ω
R_r	0.312Ω
L_{ls}	$1.198mH$
L_{lr}	$1.198mH$
L_m	$38.62mH$
Inercia (J)	$0.00336kgm^2$
Fricción	≈ 0.001
Número de polos	2
Potencia	$\frac{1}{2}HP \approx 372W$
Voltaje del estator	$42 v_{L-L_{RMS}}$

Los parámetros mostrados en la Tabla 3.1, se tomaron de trabajos anteriores en donde se utilizó la misma máquina que se usó en este trabajo [9], [10], [40].

3.2. DIMENSIONAMIENTO DEL BUS DE DC PARA EL EMULADOR DE ARMÓNICOS

Para el diseño del emulador de armónicos, se parte del hecho que el voltaje en el punto de conexión común (PCC) o el voltaje de salida del emulador es de $42v_{L-L_{RMS}}$. Esto es limitado debido a las características de alimentación de la máquina a la que se pretende conectar este emulador. Por otro lado, el voltaje de entrada se considera de $80v_{L-L_{RMS}}$, las principales ventajas que se tienen con este nivel de voltaje es la disminución de la potencia nominal de los filtros del sistema y se disminuye el estrés en los dispositivos semiconductores. Finalmente, se considera que la potencia nominal del emulador de armónicos debe ser mayor a la potencia nominal de la máquina.

3.2. Dimensionamiento del bus de DC para el emulador de armónicos

El dimensionamiento del bus de DC permite definir el voltaje en las terminales del capacitor de acoplamiento y su valor de capacitancia. Este voltaje se define en función al voltaje pico de línea a línea de entrada del convertidor de lado de la red, que para este caso es $\sqrt{2} * 80v_{L-L_{RMS}}$. Para un correcto dimensionado el voltaje del bus de DC (U_{DC}), U_{DC} debe ser mayor al voltaje pico línea a línea a razón de evitar problemas con los controladores en el sistema [41]. De modo que, para cumplir la condición anterior, el voltaje de entrada se multiplica por 1.35 [10].

$$U_{DC} = 1.35 * \sqrt{2} * 80v_{L-L_{RMS}} \quad (3.1)$$

$$U_{DC} = 152.73 \approx 150V$$

Por otro lado, para seleccionar un valor de capacitor, se parte de la ecuación de la corriente que fluye por dicho elemento;

$$i_C = C \frac{dU_{DC}}{dt} = C \frac{\Delta U_{DC}}{\Delta t}$$

donde, si definimos $\Delta t = \frac{1}{f_{sw}} = T_{sw}$, despejando C , obtenemos:

$$C = \frac{\Delta t}{\Delta U_{DC}} i_c$$

tomando en cuenta que $i_c = \frac{P_{load}}{U_{DC}}$, donde P_{load} es la potencia nominal de la máquina se obtiene la expresión mostrada en (3.2).

$$C > \frac{T_{sw} P_{load}}{\Delta U_{DC} U_{cd}} \left[1 - \frac{v_{L-L_p}}{U_{DC}} \right] \quad (3.2)$$

De la ecuación (3.2), T_{sw} , P_{load} , ΔU_{DC} , U_{DC} y v_{L-L_p} , representan el periodo de conmutación, la potencia nominal de la máquina, el rizo en el voltaje U_{DC} , el voltaje entre las terminales del capacitor C y el voltaje pico de línea a línea de entrada del GSC, respectivamente.

El término $\left[1 - \frac{v_{L-L_p}}{U_{DC}}\right]$ de la ecuación (3.2), resulta necesario para dimensionar correctamente el capacitor, de acuerdo con [42]. Además, se toma en cuenta que la potencia nominal del convertidor debe ser mayor a la potencia nominal de la máquina, de manera que, para satisfacer la condición anterior; P_{load} se multiplica por un factor de 1.3, finalmente, se considera un rizo aproximado del 15 %, por consiguiente se obtiene:

$$C > \frac{\left(\frac{1}{10kHz}\right) (372.85W * 1.3)}{\left(\frac{0.15*150V}{100}\right) (150V)} \left[1 - \frac{80v_{L-L_{RMS}}\sqrt{2}}{150V}\right] > 352.94\mu F \rightarrow 470\mu F.$$

El valor de el capacitor puede variar dependiendo de los parámetros de operación del convertidor, para este trabajo se seleccionó un capacitor con valor comercial más cercano al que se obtuvo mediante la expresión anterior.

3.3. Análisis y diseño del convertidor de lado de la red

El análisis y diseño del *GSC* permite conocer matemáticamente el comportamiento del circuito y además, plantear los controladores para cumplir los objetivos de control definidos anteriormente. Para comodidad al lector, en la Figura 3.3 se muestra nuevamente el convertidor back to back.

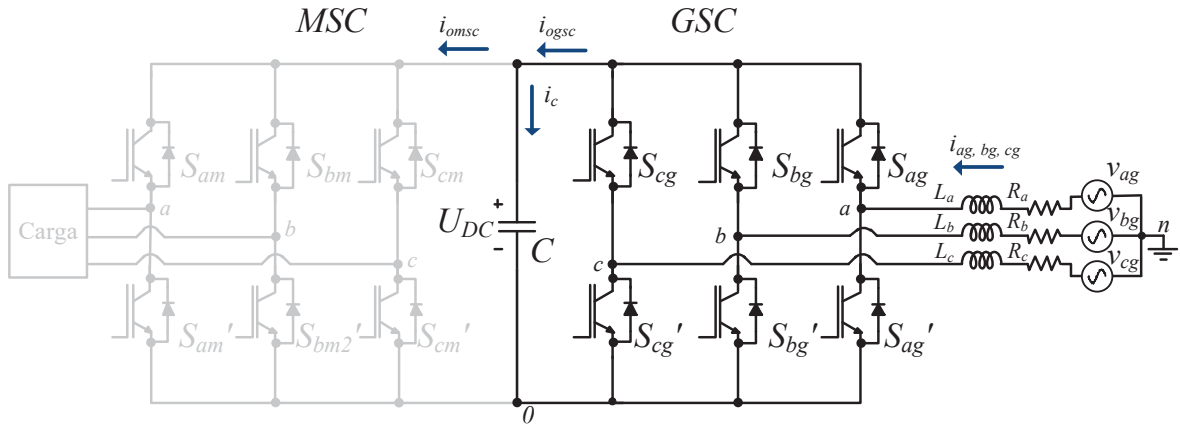


Figura 3.3. Convertidor back to back.

En la Figura 3.3 se muestra el convertidor back to back mostrando énfasis respecto al convertidor de lado de la red, si definimos el voltaje en el capacitor C , se tiene:

$$v_{j0} = U_{DC}S_{jg} \quad (3.3)$$

donde $j = a, b, c$, S_{jg} define los dos posibles estados de los interruptores en el convertidor, 0 ó 1, considerandos como estado abierto y estado cerrado, respectivamente. U_{DC} es el voltaje del capacitor C , finalmente, v_{j0} se define como el voltaje entre las líneas a , b y c referenciados al punto 0.

Del *GSC*, es posible obtener un circuito equivalente mostrando únicamente las diferencias de potencial presentes en el convertidor. El circuito equivalente se muestra en la Figura 3.4.

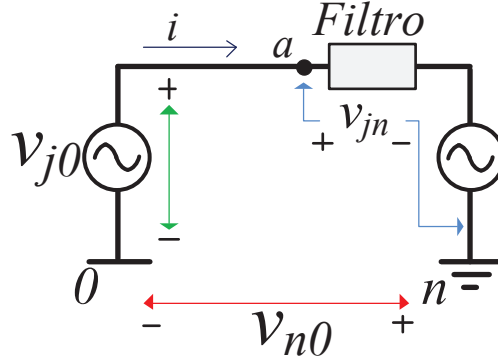


Figura 3.4. Circuito equivalente del GSC.

En la Figura 3.4, se muestra el circuito equivalente del convertidor de lado de la red; se tienen tres principales diferencias de potencial definidas como v_{j0} , v_{jn} y v_{n0} . Éstas a su vez se nombran como el voltaje de cada línea referenciado al punto común 0 , referenciado al punto común n y el voltaje de modo común, respectivamente [43]. De la Figura 3.4, aplicando la ley de voltaje de Kirchhoff se obtiene (3.4).

$$v_{jn} = v_{j0} - v_{n0} \quad (3.4)$$

Considerado un voltaje trifásico balanceado se sabe que:

$$v_{an} + v_{bn} + v_{cn} = 0 \quad (3.5)$$

De (3.4) y (3.5) es posible encontrar una expresión para v_{n0} , de (3.4), separando por fase, se tiene

$$v_{an} = v_{a0} - v_{n0} \quad (3.6)$$

$$v_{bn} = v_{b0} - v_{n0} \quad (3.7)$$

$$v_{cn} = v_{c0} - v_{n0} \quad (3.8)$$

sustituyendo (3.6), (3.7) y (3.8) en (3.5), y reduciendo se obtiene una expresión que define a v_{n0} .

$$v_{n0} = \frac{1}{3}(v_{a0} + v_{b0} + v_{c0}) \quad (3.9)$$

Sustituyendo (3.9) en (3.6), (3.7) y (3.8), se obtienen expresiones que definen a v_{an} , v_{bn} y v_{cn} .

$$v_{an} = \frac{2}{3}v_{a0} - \frac{1}{3}v_{b0} - \frac{1}{3}v_{c0} \quad (3.10)$$

$$v_{bn} = \frac{2}{3}v_{b0} - \frac{1}{3}v_{a0} - \frac{1}{3}v_{c0} \quad (3.11)$$

$$v_{cn} = \frac{2}{3}v_{c0} - \frac{1}{3}v_{a0} - \frac{1}{3}v_{b0} \quad (3.12)$$

3.4. ANÁLISIS Y DISEÑO DE LOS FILTROS DEL CONVERTIDOR DE LADO DE LA RED

Sustituyendo (3.3), en las ecuaciones (3.10), (3.11) y (3.12), se obtiene el sistema mostrado en (3.13).

$$\begin{bmatrix} v_{an} \\ v_{bn} \\ v_{cn} \end{bmatrix} = \frac{U_{DC}}{3} \begin{bmatrix} 2 & -1 & -1 \\ -1 & 2 & -1 \\ -1 & -1 & 2 \end{bmatrix} \begin{bmatrix} S_{ag} \\ S_{bg} \\ S_{cg} \end{bmatrix} \quad (3.13)$$

El sistema matricial presentado en (3.13) es fundamental para terminar el análisis del *GSC*, tomando en cuenta los voltajes presentes en los inductores, resistencias del filtro, y el sentido de la corriente mostrado en la Figura 3.3, el modelado del *GSC* queda expresado en (3.14) [10].

$$L \begin{bmatrix} \frac{di_{ag}}{dt} \\ \frac{di_{bg}}{dt} \\ \frac{di_{cg}}{dt} \end{bmatrix} = \begin{bmatrix} v_{ag} \\ v_{bg} \\ v_{cg} \end{bmatrix} - \frac{U_{DC}}{3} \begin{bmatrix} 2 & -1 & -1 \\ -1 & 2 & -1 \\ -1 & -1 & 2 \end{bmatrix} \begin{bmatrix} S_{ag} \\ S_{bg} \\ S_{cg} \end{bmatrix} - R \begin{bmatrix} i_{ag} \\ i_{bg} \\ i_{cg} \end{bmatrix} \quad (3.14)$$

Finalmente, se considera que $L = L_a = L_b = L_c$ y que $R = R_a = R_b = R_c$.

3.4. Análisis y diseño de los filtros del convertidor de lado de la red

El objetivo de los filtros de lado del *GSC* es acoplar el convertidor con la red eléctrica y reducir el rizo proveniente de las señales de conmutación. Para el diseño de estos filtros se considera la corriente que se consume por fase, el voltaje de salida del emulador de armónicos y la potencia nominal de la máquina. Además, análogo al diseño del capacitor de acoplamiento, la potencia nominal de la máquina se multiplica por un factor de 1.3, esto para evitar saturación en los inductores [9], [10].

Para encontrar la corriente aproximada que fluye por cada fase, se tiene que:

$$P_{fase} = \frac{1.3P_{load}}{3} = \frac{(1.3)(372.85W)}{3} = 161.56W$$

$$I_{fase} = \frac{P_{fase}}{v_{fase}} = \frac{161.56W}{42V_{rms}} = 3.8A_{rms}$$

Por otro lado, para dimensionar el valor de los inductores, se considera el circuito de la Figura 3.5.

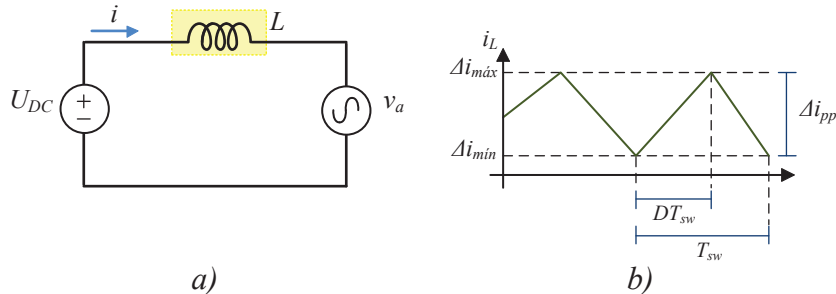


Figura 3.5. a) Circuito equivalente para diseño del filtro, b) Corriente del inductor L .

Para el análisis, sólo se considera una fase, además, se sabe que el convertidor es conmutado mediante una modulación bipolar, los inductores se asumen ideales y, finalmente se asume que la carga y descarga de los inductores tienen aproximaciones lineales [9], [10].

Partiendo del circuito de la Figura 3.5 se tiene:

$$v_a + v_L - U_{DC} = 0 \quad (3.15)$$

Considerando que $v_L = L \frac{di_L}{dt} = L \frac{\Delta i_{pp}}{DT_{sw}}$, se tiene:

$$L \frac{\Delta i_{pp}}{DT_{sw}} = U_{DC} - v_a \quad (3.16)$$

De acuerdo con [44], $v_a = U_{DC}D$ donde $D = m_a \sin(\omega t)$ y $\sin(\omega t) = \frac{1}{2m_a}$. m_a representa el índice de modulación; tomando en cuenta lo anterior y despejando L , obtenemos (3.17).

$$L = \frac{U_{DC}}{4f_{sw}\Delta i_{pp}} \quad (3.17)$$

De la ecuación anterior; U_{DC} , f_{sw} y Δi_{pp} , representan el voltaje en el bus de DC , la frecuencia de conmutación y el rizo de corriente en el inductor, respectivamente. De acuerdo con la literatura, un rizo aceptable es hasta un 20 % de la corriente del inductor [45], [46]. Con la ecuación (3.17), diseñamos el valor del inductor, dando como resultado:

$$L = 18mH.$$

3.5. Análisis y diseño del controlador de lado de la red

Los objetivos de control que se plantearon para el *GSC* son regular el bus de DC y compensar potencia reactiva en el convertidor, para lograr ambos objetivos se plantean dos lazos principales; un lazo interno y un lazo externo. De manera general, el lazo interno genera señales de referencia para la modulación del convertidor y compensa la potencia reactiva, por otro lado, el lazo externo es el responsable de regular el bus de DC . Ambos lazos de control deben trabajar de manera sincronizada respecto a un marco de referencia, para lograr esto se utilizó un *PLL*, Phase Locked Loop por sus siglas en Inglés.

3.5.1. PLL

En los sistemas de generación eólica conectados a la red eléctrica es fundamental que estén sincronizados con ésta con el fin de garantizar una correcta inyección de energía. En estos sistemas, típicamente la red eléctrica es el marco de referencia; es decir, fija parámetros de amplitud y frecuencia para el o los sistemas que se pretendan conectar a la red. La norma IEEE 1547 brinda información al respecto de dichas sincronizaciones con sistemas distribuidos [47]. Existen dos principales métodos para realizar una sincronización; el cruce por cero y el lazo de seguimiento de fase o *PLL*, Phase Locked Loop, por sus siglas en Inglés. El cruce por cero, es un método sencillo y fiable, sin embargo, es una técnica relativamente lenta, limitando la velocidad del sincronismo a 120 Hz [48]. El *PLL*, permite ser diseñado de acuerdo a las necesidades del sistema, además de presentar buen funcionamiento ante voltajes desbalanceados e incluso contenido armónico [49], [50].

Un *PLL* consiste en obtener parámetros de amplitud y frecuencia del marco de referencia utilizando la frecuencia angular del marco de referencia [51]. Este método es

ampliamente utilizado para sincronizar sistemas con cargas como máquinas eléctricas y/o generadores.

El correcto diseño del *PLL* es fundamental para que las leyes de control funcionen correctamente, para esto se parte del hecho que se tiene un sistema trifásico balanceado.

$$\begin{aligned} v_{ag} &= E_m \cos(\omega_g t) \\ v_{bg} &= E_m \cos(\omega_g t - \frac{2\pi}{3}) \\ v_{cg} &= E_m \cos(\omega_g t + \frac{2\pi}{3}) \end{aligned} \quad (3.18)$$

De (3.18) se define E_m como la amplitud del voltaje, $\omega_g t$ es la velocidad angular de la red eléctrica. Aplicando la transformada $abc - \alpha\beta$ a (3.18), se obtiene (3.19).

$$\begin{bmatrix} v_{\alpha_g} \\ v_{\beta_g} \end{bmatrix} = E_m \begin{bmatrix} \cos(\theta_g) \\ \sin(\theta_g) \end{bmatrix} \quad (3.19)$$

Las ecuaciones mostradas anteriormente son equivalentes al sistema trifásico definido en (3.18), pero en un marco de referencia estacionario. Debido a lo anterior, es necesario transformar de coordenadas $\alpha\beta$ a un marco de referencia rotativo dq . Aplicando la transformada $\alpha\beta - dq$, se obtienen las expresiones (3.20) y (3.21)

$$v_{d_g} = E_m \cos(\theta_g - \theta) \quad (3.20)$$

$$v_{q_g} = E_m \sin(\theta_g - \theta) \quad (3.21)$$

Las expresiones mostradas en las ecuaciones anteriores son componentes rotativas del sistema trifásico original, para garantizar el seguimiento de fase, la velocidad angular de las componentes dq debe ser igual a la velocidad angular del marco de referencia. θ_g y θ son definidos como ángulo de red y ángulo de la transformada dq ; de modo que, para satisfacer la condición anterior: $\theta_g - \theta = 0$.

$$\begin{aligned} v_{d_g} &= E_m \cos(0) = E_m \\ v_{q_g} &= E_m \sin(0) = 0 \end{aligned}$$

Del resultado anterior, se concluye que en un sistema sincronizado con su respectivo marco de referencia, la componente d_g está orientada a la amplitud del voltaje de red y la componente q_g es cero, lo anterior se cumple sí y solo si $\theta_g - \theta = 0$.

Para asegurar que la componente q_g sea cero, y el sistema esté continuamente sincronizado, se utiliza un controlador proporcional-integral, a fin de garantizar que $v_{q_g} = 0$. Si se define $\theta_e = \theta_g - \theta \approx 0$, donde θ_e el error entre los ángulos, entonces:

$$v_{q_g} = E_m \theta_e. \quad (3.22)$$

Tomando en cuenta que $\omega = \frac{d\theta}{dt} = C v_{q_g}$, donde $C = \frac{k_p s + k_i}{s}$, se sustituye lo anterior en (3.22) y transformando al dominio de frecuencia, se obtiene la función de transferencia (3.23) [52].

$$\frac{\theta(s)}{\theta_e(s)} = \frac{C E_m}{s} \quad (3.23)$$

La función de transferencia mostrada en (3.23) se puede representar en un diagrama de bloques, como en la Figura 3.6.

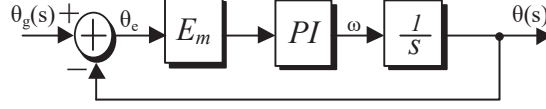


Figura 3.6. Diagrama de bloques del seguimiento de fase, *PLL*.

Finalmente, la función de transferencia en lazo cerrado se muestra en (3.24).

$$\frac{\theta(s)}{\theta_g(s)} = \frac{E_m k_{ppll} s + k_{ipll}}{s^2 + E_m k_{ppll} + E_m k_{ipll}} \quad (3.24)$$

Los términos k_{ppll} y k_{ipll} , son las constantes proporcional e integral del controlador *PI*. Para implementar el *PLL* en un entorno de simulación, la componente v_q es tomada como una variable de error, con el objetivo de asegurar que ésta sea cero. De esta manera, la componente d_q estará orientada al voltaje de red y se asegura una correcta sincronización con el marco de referencia, en la Figura 3.7, se muestra una implementación típica en un entorno de simulación.

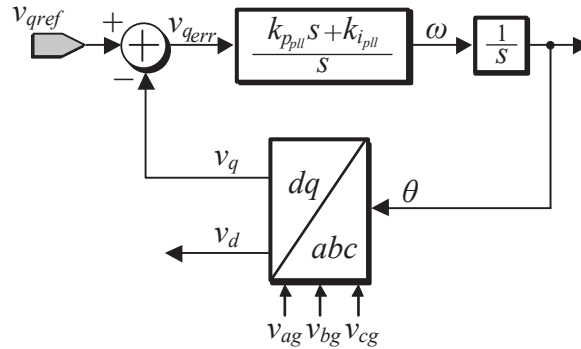


Figura 3.7. Implementación del seguimiento de fase, *PLL*.

Para cuantificar el valor de k_{ppll} y k_{ipll} , se utiliza como modelo el polinomio característico función de transferencia de segundo orden.

$$s^2 + E_m k_{ppll} + E_m k_{ipll} = s^2 + 2\zeta\omega_n + \omega_n$$

De la expresión anterior; se proponen valores para ζ y ω_n ; siendo éstas el coeficiente de amortiguamiento y la frecuencia natural del controlador, respectivamente. Estos parámetros son muy importantes ya que dependiendo de su valor el controlador tendrá dinámicas diferentes. La dinámicas, pueden variar en una respuesta amortiguada, sub-amortiguada o sobre-amortiguada; inherente a estas dinámicas, la velocidad de la respuesta del *PLL* será más rápido o más lento. La selección de dichos parámetros dependerá directamente de qué tan rápido o lento se requiere la respuesta del *PLL* en función a los controladores del sistema [53], [54].

En (3.25) y (3.26), se muestran las ecuaciones para diseñar $k_{p_{pll}}$ y $k_{i_{pll}}$.

$$k_{p_{pll}} = \frac{2\zeta\omega_n}{E_m} \quad (3.25)$$

$$k_{i_{pll}} = \frac{\omega_n^2}{E_m} \quad (3.26)$$

Como se mencionó anteriormente, las componentes d y q son orientadas a el voltaje de red y a el valor cero, respectivamente, de esta manera se garantiza la sincronización con el marco de referencia. En la Figura 3.8, se muestra el funcionamiento del PLL , en donde se observa el voltaje trifásico, las componentes d y q , la frecuencia angular y el ángulo, este último hace posible la sincronización entre la red eléctrica y los controladores del sistema. Para sintonizar correctamente el PLL , se diseñaron primeramente los lazos de control, tomando en cuenta esto, los detalles de sintonización del PLL se muestran en las secciones siguientes.

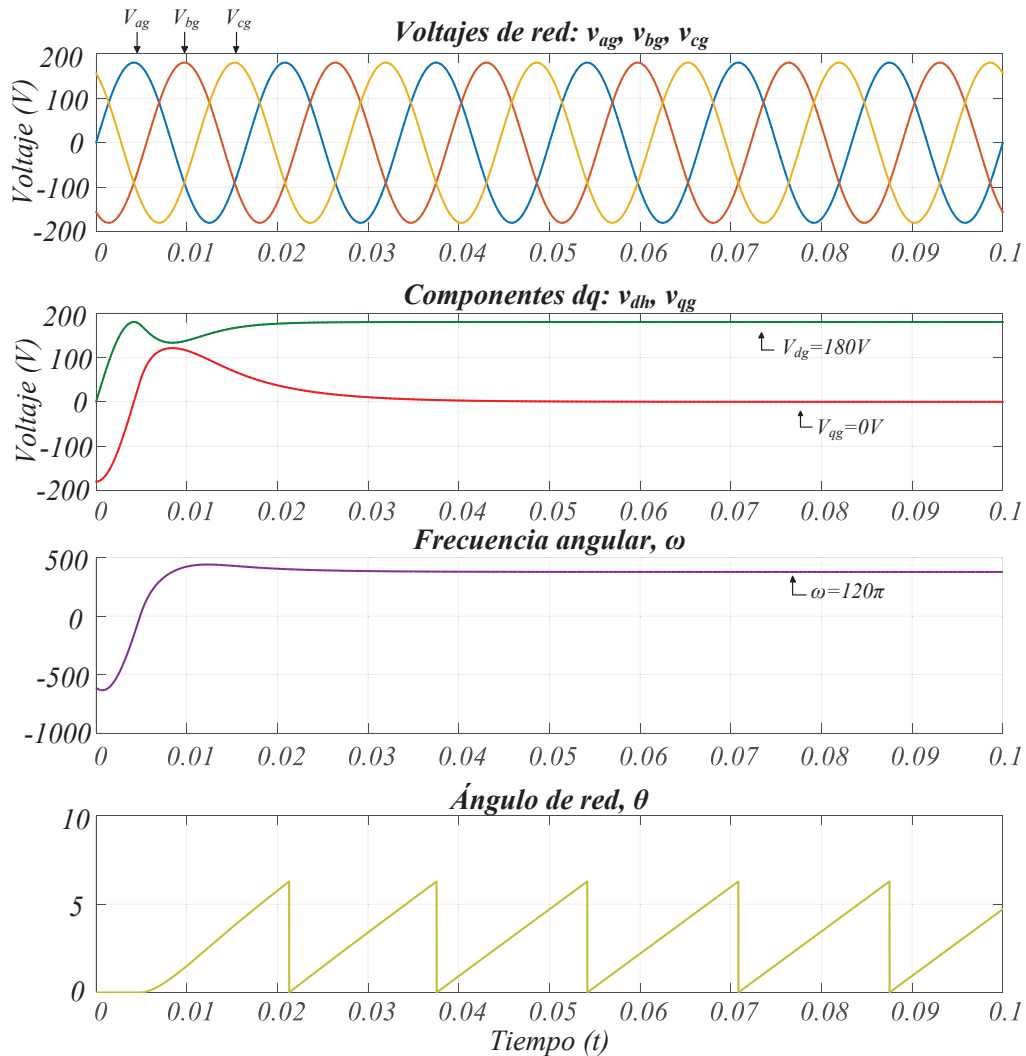


Figura 3.8. Simulación de un PLL .

En la Figura 3.9 se muestra una prueba de simulación considerando un voltaje trifásico contaminado con armónicos de voltaje.

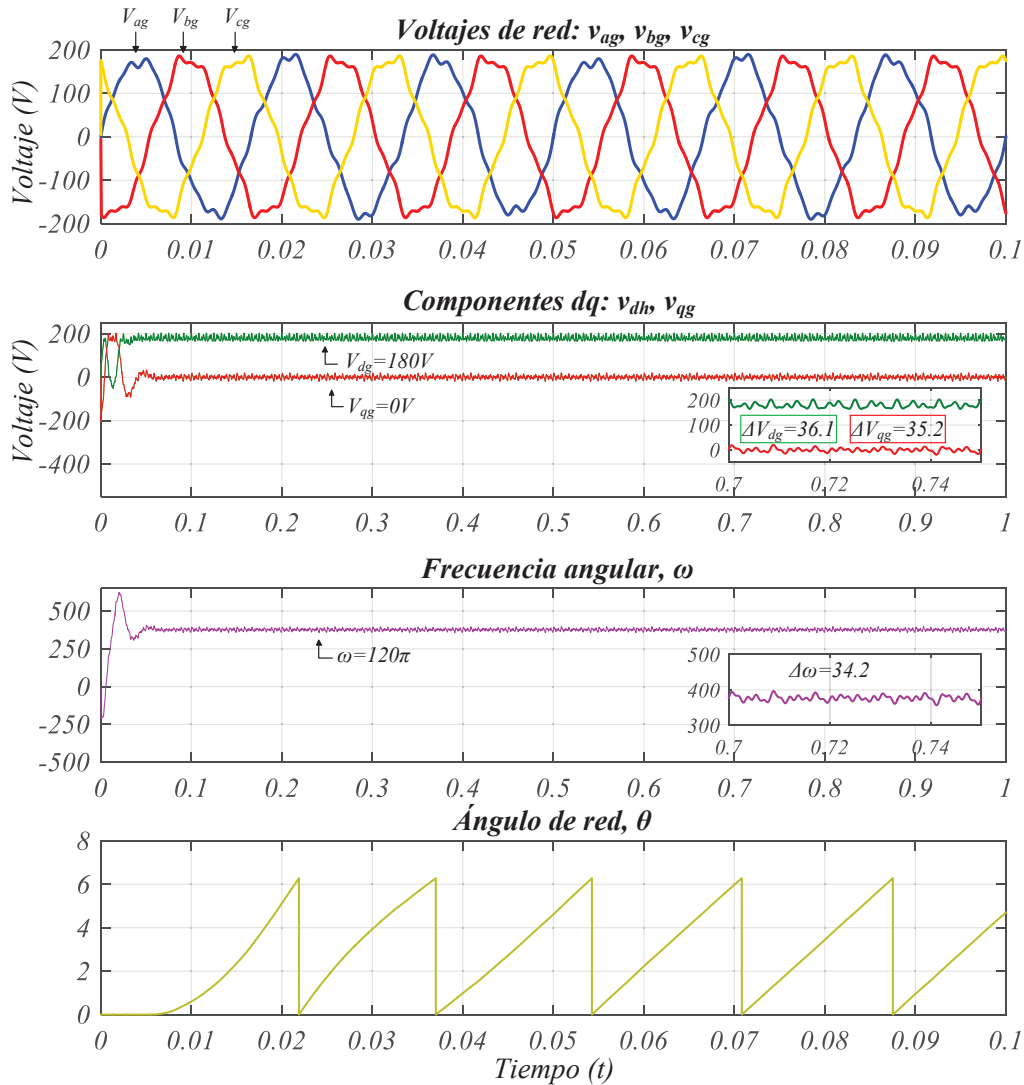


Figura 3.9. Simulación de un *PLL*, considerando una red contaminada.

Esta prueba se realizó en función de evaluar la respuesta del *PLL* ante un voltaje contaminado. El voltaje trifásico presentado en la Figura 3.9 se contaminó con el quinto, séptimo y onceavo armónico, presentando un $THD = 7.5\%$. El funcionamiento óptimo del *PLL*, está orientado hacia sistemas puramente sinusoidales, sin embargo, como se muestra en la Figura 3.9, el sincronismo con la red eléctrica se mantiene mayormente estable. Las componentes armónicas añadidas a la red eléctrica se reflejan en las componentes d y q del *PLL*, la frecuencia angular ω , y al ángulo de red θ . En comparación con la prueba anterior se muestra una respuesta más lenta, a pesar de ello las componentes d y q convergen adecuadamente a su valor esperado. Existen algunas investigaciones que proponen nuevas formas de mantener un sistema sincronizado en un ambiente contaminado con armónicos o desbalance en los voltajes de red [55], [56].

3.5.2. Lazo interno

El diseño del *PLL*, revisado en la sección anterior, es la apertura al análisis y diseño de los lazos de control, ya que los lazos de control dependen directamente del *PLL* para estar sincronizados con la red eléctrica. Partiendo del circuito mostrado en la Figura 3.3, en la Figura 3.10 se muestra un circuito equivalente con las variables de interés para el controlador.

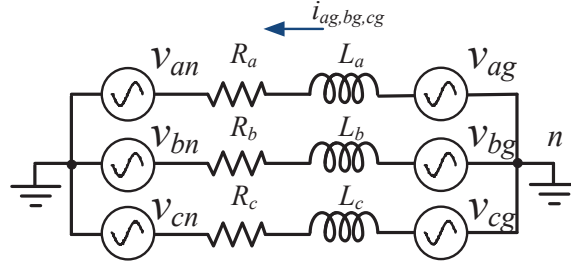


Figura 3.10. Circuito equivalente GSC.

Aplicando la ley de voltajes de Kirchhoff, se tienen las expresiones mostradas en (3.27), (3.28) y (3.29).

$$v_{ag} = L_a \frac{di_{ag}}{dt} + R_a i_{ag} + v_{an} \quad (3.27)$$

$$v_{bg} = L_b \frac{di_{bg}}{dt} + R_b i_{bg} + v_{bn} \quad (3.28)$$

$$v_{cg} = L_c \frac{di_{cg}}{dt} + R_c i_{cg} + v_{cn} \quad (3.29)$$

Donde, i_{ag} , i_{bg} y i_{cg} son las corrientes de cada fase, v_{ag} , v_{bg} y v_{cg} son los voltajes de la red y v_{an} , v_{bn} y v_{cn} los voltajes después del filtro L , referenciado al punto común n . Las expresiones mostradas anteriormente se trabajan en coordenadas dq , en función de desarrollar un análisis más sencillo [10], [38], [57], además para los análisis se considera que $L = L_a = L_b = L_c$ y que $R = R_a = R_b = R_c$.

$$v_{dg} = R i_{dg} - \omega L i_{qg} + L \frac{di_{dg}}{dt} + v_{dn} \quad (3.30)$$

$$v_{qg} = R i_{qg} + \omega L i_{dg} + L \frac{di_{qg}}{dt} + v_{qn} \quad (3.31)$$

Donde v_{dg} , v_{qg} , y v_{dn} , v_{qn} , son las componentes equivalentes del sistema trifásico, v_{ag} , v_{bg} , v_{cg} y v_{an} , v_{bn} , v_{cn} , respectivamente. ω es la velocidad angular del marco de referencia, donde $\omega = 2\pi f_{red}$. i_{dg} , i_{qg} son las componentes equivalentes de la corriente de red, finalmente, L es el valor de inductancia del filtro, calculado anteriormente, y R la componente resistiva implícita en el filtro.

Como se vio anteriormente, la componente v_{dg} está orientada a la magnitud del voltaje de línea y $v_{qg} = 0$, tomando en cuenta estas consideraciones y despejando v_{dn} y v_{qn} de (3.30) y (3.31), respectivamente, se obtiene:

$$v_{dn} = v_{dg} - Ri_{dg} + \omega Li_{qg} - L \frac{di_{dg}}{dt} \quad (3.32)$$

$$v_{qn} = -Ri_{qg} - \omega Li_{dg} - L \frac{di_{qg}}{dt} \quad (3.33)$$

El lazo interno se constituye por la planta y por términos de compensación, para diferenciar éstas de las expresiones (3.32) y (3.33); se agrupan los términos con i_{dg} e i_{qg} , de esta manera, se obtiene el modelo del lazo interno.

$$v_{dn} = -v_{dc1} + comp_d \quad (3.34)$$

$$v_{qn} = -v_{qc1} - comp_q \quad (3.35)$$

Siendo $v_{dc1} = Ri_{dg} + L \frac{di_{dg}}{dt}$ y $v_{qc1} = Ri_{qg} + L \frac{di_{qg}}{dt}$, las plantas y $comp_d = v_{dg} + \omega Li_{qg}$ y $comp_q = \omega Li_{dg}$ términos de compensación del controlador. Éstos últimos ayudan a la síntesis de señales de modulación v_{dn} y v_{qn} para el convertidor [9], [10]. La función de transferencia de las plantas v_{dc1} y v_{qc1} se muestra en (3.36).

$$G_{dc1,d,q}(s) = \frac{I_{dg,qg}(s)}{V_{dc1,qc1}(s)} = \frac{1}{Ls + R} \quad (3.36)$$

Las ecuaciones v_{dc1} y v_{qc1} son ecuaciones diferenciales lineales y de primer orden por esta razón es posible utilizar controladores PI , para cumplir los objetivos de control. La componente d_g , está orientada a la generación de señales de referencia para la modulación del convertidor. Por otro lado, la componente q_g , se orienta a compensar potencia reactiva del convertidor [58].

Para sintonizar el lazo interno, es necesario obtener la función de transferencia de lazo cerrado del lazo, en la Figura 3.11, se muestra el diagrama de control del lazo interno.

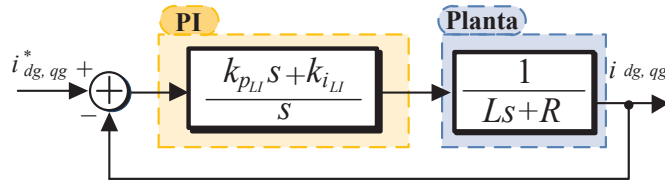


Figura 3.11. Diagrama simplificado del lazo interno.

La señal de entrada del sistema de control de la Figura 3.11 son referencias de corriente que son proporcionadas por el lazo externo, y por otro lado, la salida del sistema es la corriente de la red. La función de transferencia en lazo cerrado del sistema, se muestra en (3.37).

$$G_{LI,d,q}(s) = \frac{I_{dg,qg}(s)}{I_{dg,qg}^*(s)} = \frac{k_{pGSC_{LI}}s + k_{iGSC_{LI}}}{Ls^2 + (k_{pGSC_{LI}} + R)s + k_{iGSC_{LI}}} \quad (3.37)$$

Los parámetros $k_{pGSC_{LI}}$ y $k_{iGSC_{LI}}$ son las constantes proporcional e integral del controlador *PI*. De manera análoga a la sintonización del *PLL*, se utilizó un polinomio característico de segundo orden como modelo para obtener expresiones que diseñen a $k_{pGSC_{LI}}$ y $k_{iGSC_{LI}}$, dichas expresiones se muestran en (3.38) y (3.39).

$$k_{pGSC_{LI}} = 2\zeta\omega_n L - R \quad (3.38)$$

$$k_{iGSC_{LI}} = \omega_n^2 L \quad (3.39)$$

Donde, ζ , ω_n , L y R representan parámetros de coeficiente de amortiguamiento, velocidad del controlador, inductancia del filtro L y R es la resistencia implícita del filtro L . Nuevamente, los parámetros de ζ y ω_n son muy importantes para la sintonización; para sintonizar correctamente el controlador, se propuso que la velocidad en la respuesta del lazo interno fuese mayor a la del lazo externo [40].

3.5.3. Lazo externo

El lazo externo tiene el objetivo de regular el bus de *DC* en el convertidor back to back. Además, este lazo de control proporciona referencias de corriente que son utilizadas por el lazo interno. Para el diseño de este lazo, se plantean ecuaciones de potencia activa y reactiva del sistema mostradas en (3.40) y (3.41) [59] - [62].

$$P_{GSC} = \frac{3}{2}(v_{dg}i_{dg} + v_{qg}i_{qg}) \quad (3.40)$$

$$Q_{GSC} = \frac{3}{2}(v_{qg}i_{dg} - v_{dg}i_{qg}) \quad (3.41)$$

La regulación del bus de *DC*, parte de la suposición que convertidor es ideal, por lo tanto; se asume que la potencia $P_{GSC} = P_{bus}$, de manera que:

$$P_{bus} = U_{DC}i_c = \frac{3}{2}(v_{dg}i_{dg} + v_{qg}i_{qg}) \quad (3.42)$$

de la ecuación (3.42), de manera análoga a los análisis anteriores $v_{qg} = 0$; de manera que, la expresión anterior resulta en (3.43).

$$U_{DC}i_c = \frac{3}{2}(v_{dg}i_{dg}) \quad (3.43)$$

Como se mencionó anteriormente, la modulación que se utilizó para conmutar los convertidores fue una modulación bipolar. Existen dos zonas principales en esta modulación, la zona lineal y la zona sobremodulada, para el correcto funcionamiento de los convertidores se trabajó en la zona lineal. Debido a lo anterior se consideró que $m_a < 1$, siendo m_a el índice de modulación, de tal forma que la componente de frecuencia fundamental varía en forma lineal respecto con la relación de modulación de amplitud m_a . Tomando en cuenta lo anterior se obtiene la expresión (3.44), [63].

$$v_{dg} = \frac{m_a}{2\sqrt{2}}U_{DC}. \quad (3.44)$$

Se sustituye (3.44) en (3.43), obteniendo como resultado la expresión (3.45), [46], [47].

$$i_c = C \frac{dU_{DC}}{dt} = \frac{3}{4\sqrt{2}} i_{dg} m_a \quad (3.45)$$

La expresión anterior relaciona parámetros del interés para el diseño del lazo externo, éstos son el voltaje entre las terminales del capacitor U_{DC} , y la componente dg de la corriente a través del filtro. Si se obtiene la transformada de Laplace de la expresión (3.45), se obtiene la planta del controlador.

$$\frac{U_{DC}(s)}{I_{dg}(s)} = \frac{3m_a}{4\sqrt{2}Cs} \quad (3.46)$$

Por otro lado, para garantizar la compensación de potencia reactiva, de la ecuación (3.41), se obtiene la referencia de corriente para el lazo interno, mostrada en (3.47).

$$i_{qg}^* = -\frac{2}{3v_{dg}} Q^* \quad (3.47)$$

Siendo i_{qg}^* la referencia de corriente para el lazo interno y Q^* la referencia de potencia reactiva. Finalmente, de manera análoga al lazo interno, se utilizó un controlador proporcional-integrar PI , para cumplir el objetivo de control. De modo que para obtener la función de transferencia en lazo cerrado se empleó el diagrama de la Figura 3.12.

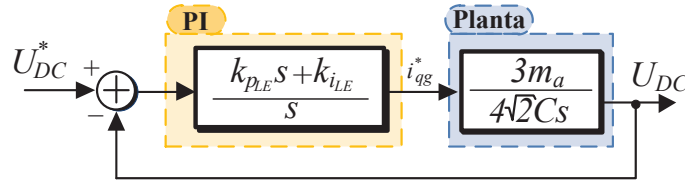


Figura 3.12. Diagrama simplificado del lazo externo.

La función de transferencia en lazo cerrado del diagrama de la Figura 3.12 se muestra en (3.48).

$$G_{LE}(s) = \frac{U_{DC}}{U_{DC}^*} = \frac{\frac{3m_a k_{PLE}}{4\sqrt{2}C} s + \frac{3m_a k_{iLE}}{4\sqrt{2}C}}{s^2 + \frac{3m_a k_{PLE}}{4\sqrt{2}C} s + \frac{3m_a k_{iLE}}{4\sqrt{2}C}} \quad (3.48)$$

La expresión (3.48) de manera análoga al lazo interno, se sintonizó utilizando como referencia el polinomio característico de una función de transferencia de segundo orden. De esta manera se obtuvo expresiones para el diseño de las constantes k_{PLE} y k_{iLE} , mostradas en (3.49) (3.50), respectivamente.

$$k_{PLE} = \frac{8\sqrt{2}C\zeta\omega_n}{3m_a} \quad (3.49)$$

$$k_{iLE} = \frac{4\sqrt{2}C\omega_n^2}{3m_a} \quad (3.50)$$

3.6. Resultados de simulación del convertidor de lado de la red

El objetivo de realizar pruebas de simulación individuales a cada convertidor, es el de garantizar el correcto funcionamiento de los controladores por separado. Para el *GSC*, se realizaron pruebas con los parámetros mostrados en la Tabla 3.3, además, se realizaron cambios en el voltaje del bus de *DC*, éstos con el objetivo de revisar la respuesta transitoria y estacionaria en diferentes voltajes de referencia. En la Figura 3.14, se muestra el sistema con el cual se obtuvieron los resultados de simulación.

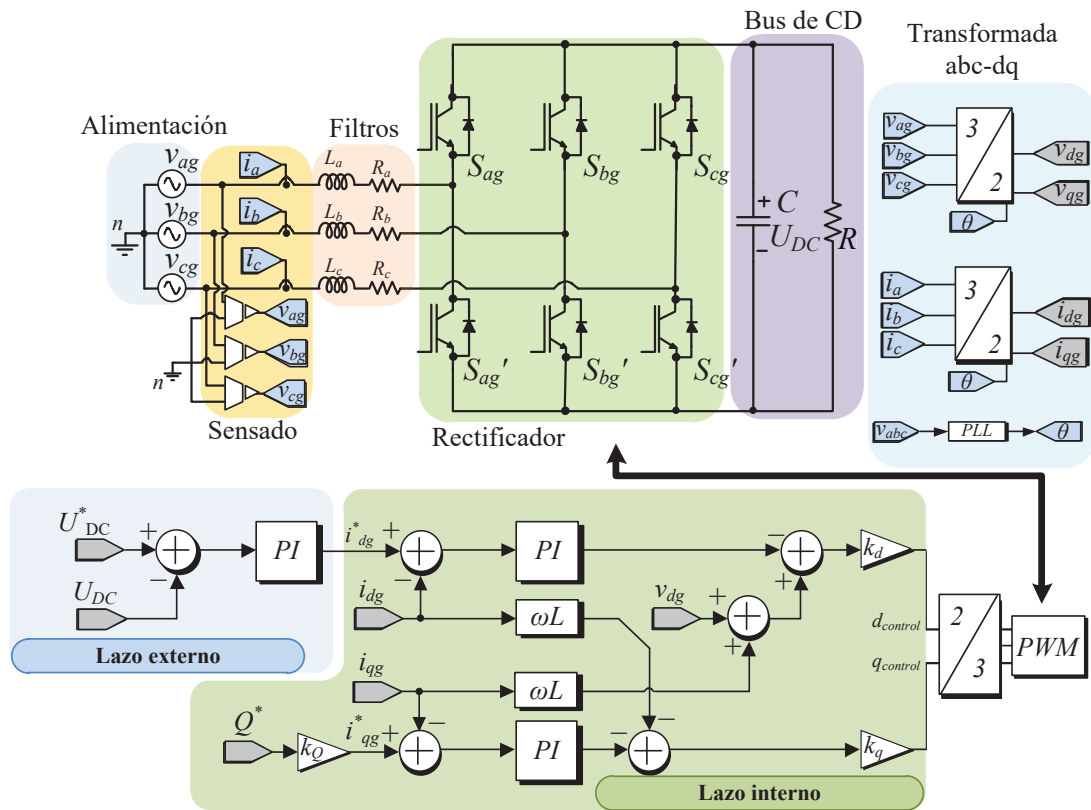


Figura 3.14. Diagrama del *GSC* planteado en simulación.

Tabla 3.3. Parámetros de operación del *GSC*.

Parámetro	Valor
Voltaje de entrada, $v_{ag,bg,cg}$	$80v_{L-L_{RMS}}$
Frecuencia de conmutación, f_{sw}	10 kHz
Potencia	450 W
Voltaje U_{DC}	150 V
Carga, R	50Ω
Capacitor, C	$470\mu F$
Inductores, $L_{a,b,c}$	18 mH

3.6. RESULTADOS DE SIMULACIÓN DEL CONVERTIDOR DE LADO DE LA RED

El diseño para los inductores L_a , L_b , L_c y para el capacitor C , se realizó considerando una potencia nominal mayor a 372.8 W. Las pruebas de simulación se realizaron conectando una carga resistiva de 50 Ω , de esta manera se garantizó el correcto funcionamiento a una potencia mayor que potencia nominal de la máquina.

En la Tabla 3.2, se presentaron los valores numéricos de las ganancias que se utilizaron para obtener resultados de simulación. En la Figura 3.15, se muestra el voltaje U_{DC} , junto al voltaje de referencia, además, se muestran las corrientes de entrada i_{ag} , i_{bg} e i_{cg} .

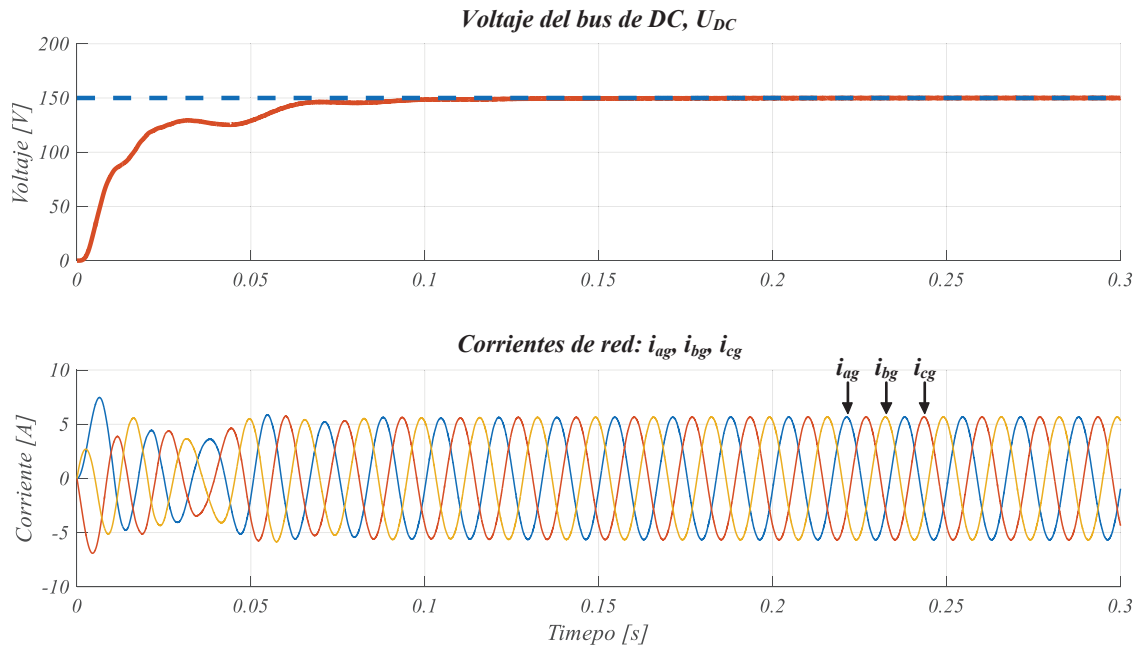


Figura 3.15. Respuesta en estado estacionario y en lazo cerrado. (De arriba abajo) Voltaje del bus de DC; U_{DC} , (eje vertical 50 V/div, eje horizontal 50 ms/div), corrientes de red; i_{ag} , i_{bg} e i_{cg} , (eje vertical 5 A/div).

En la Figura 3.15, se muestra la respuesta transitoria y en estado estacionario, se observa que la dinámica de las corrientes de red es más rápida que la respuesta en el voltaje del capacitor. Esto es debido a que el control de la potencia reactiva es controlado por el lazo interno; como se mencionó anteriormente, este lazo es más rápido que el lazo externo. La corriente de red presenta un consumo de 4 A_{RMS} . Las corrientes de red, presentan un bajo contenido armónico de alta frecuencia, esto es debido a los filtros L_a , L_b y L_c .

La operación nominal del emulador de armónicos se fijó con un voltaje en el bus de DC de 150 V, para corroborar el correcto funcionamiento del controlador se realizaron cambios en el voltaje de referencia. En la Figura 3.16 se muestra la respuesta transitoria y estacionaria del sistema ante tres cambios de referencia consecutivos.

3.6. RESULTADOS DE SIMULACIÓN DEL CONVERTIDOR DE LADO DE LA RED

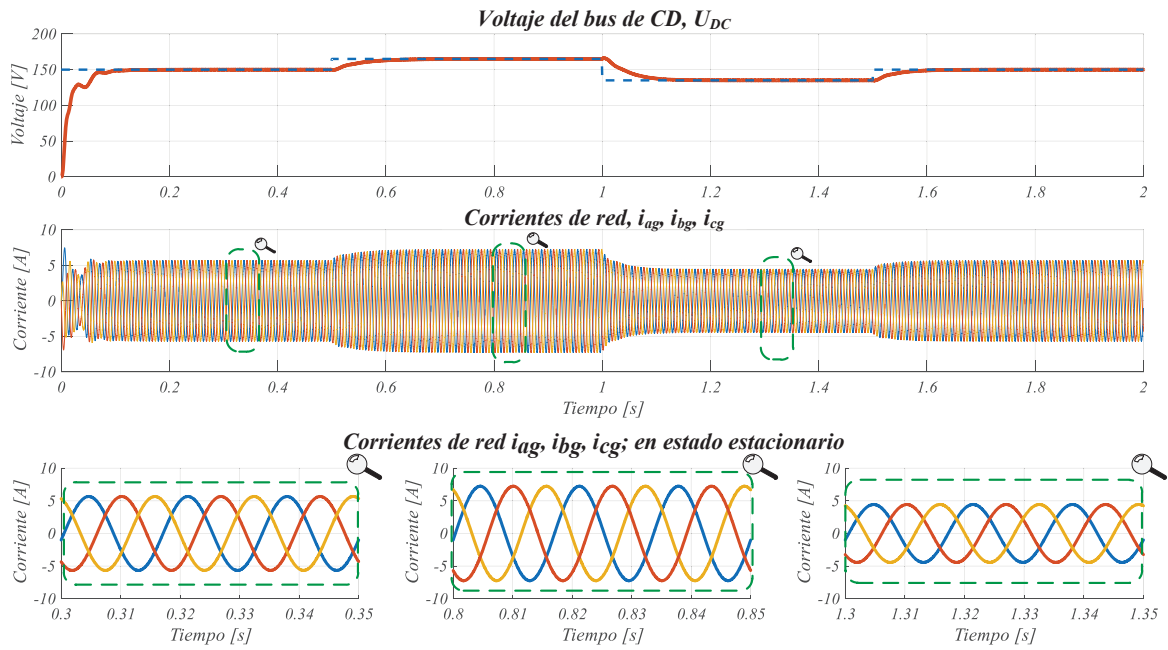


Figura 3.16. Respuesta en estado estacionario y en lazo cerrado. (De arriba abajo) voltaje del bus de DC ; U_{DC} , (eje vertical $50 V/div$, eje horizontal $20 ms/div$), corrientes de red; i_{ag} , i_{bg} e i_{cg} , (eje vertical $5 A/div$). Respuesta en estado estacionario, (de izquierda a derecha) corrientes de red; i_{ag} , i_{bg} e i_{cg} , $U_{DC}^* = 150V$, (eje vertical $5 A/div$, eje horizontal $10 ms/div$), corrientes de red; i_{ag} , i_{bg} e i_{cg} , $U_{DC}^* = 175V$, corrientes de red; i_{ag} , i_{bg} e i_{cg} , $U_{DC}^* = 135V$.

En la Figura 3.16, se muestra la respuesta del sistema ante consecutivos cambios del voltaje de referencia U_{DC}^* ; primeramente se realizó un cambio de $150 V$ a $175 V$, posteriormente de $175 V$ a $135 V$, finalmente de $135 V$ a $150 V$. Se observa que el voltaje en el bus de DC sigue la referencia y converge a su respectiva referencia relativamente rápido. Por el lado de la corriente de red se observan cambios en el consumo, mismos que son producidos por la demanda de potencia en el convertidor. Finalmente, se presenta un acercamiento de las corrientes de red en estado estacionario, éstas no muestran distorsión, además de no presentar contenido armónico de alta frecuencia.

3.7. Análisis y diseño del convertidor de lado de la máquina

Tomando como referencia la Figura 3.1, el convertidor de lado de la máquina o *MSC*, debe sintetizar voltajes trifásicos para el sistema del *DFIG* en el punto de conexión común, *PCC*. Es decir, el comportamiento típico de este convertidor es un inversor, ya que el *GSC* proporciona un bus de *DC* regulado, como se mostró en la sección anterior. En un sistema de generación eólica es inherente el comportamiento bidireccional; por tanto, el emulador de armónicos debe garantizar un comportamiento en ambas direcciones. En la Figura 3.17, se muestra nuevamente el convertidor back to back haciendo un énfasis en el *MSC*.

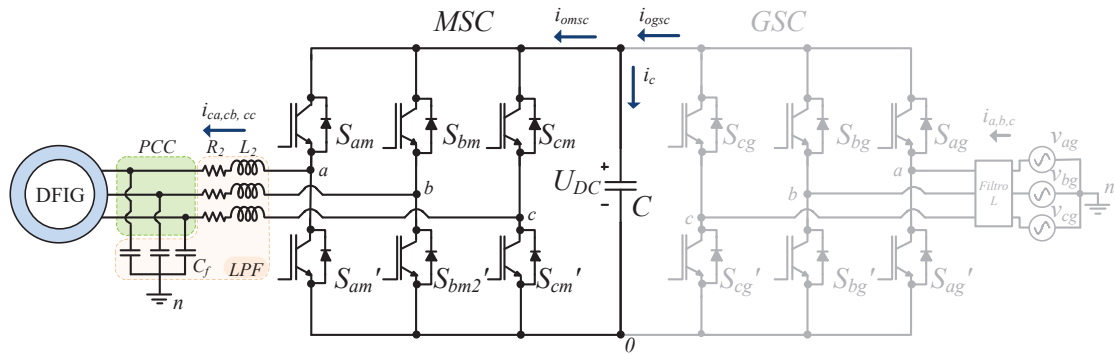


Figura 3.17. Convertidor back to back.

Para acoplar la máquina al generador de armónicos se utilizan filtros pasa bajas, *LC*, como se muestra en la Figura 3.17. Los filtros *LC*, permiten obtener voltajes trifásicos libres de componentes de alta frecuencia, y además, el uso de éstos ayuda a mejorar la vida útil de la máquina y a reducir, en menor medida, la potencia reactiva que típicamente los motores consumen [64], [65].

Tomando en cuenta el sentido de corriente planteado en la Figura 3.16 y el análisis que se mostró en la sección 3.2, es válido para el convertidor de lado de la máquina, el sistema se presenta en la ecuación (3.51).

$$L_2 \begin{bmatrix} \frac{di_{ca}}{dt} \\ \frac{di_{cb}}{dt} \\ \frac{di_{cc}}{dt} \end{bmatrix} = \begin{bmatrix} v_{ca} \\ v_{cb} \\ v_{cc} \end{bmatrix} - \frac{U_{DC}}{3} \begin{bmatrix} 2 & -1 & -1 \\ -1 & 2 & -1 \\ -1 & -1 & 2 \end{bmatrix} \begin{bmatrix} S_{am} \\ S_{bm} \\ S_{cm} \end{bmatrix} - R_2 \begin{bmatrix} i_{ca} \\ i_{cb} \\ i_{cc} \end{bmatrix} \quad (3.51)$$

Donde, L_2 y R_2 es la inductancia y resistencia implícita del inductor L_2 , respectivamente. v_{ca} , v_{cb} y v_{cc} se definen como el voltaje de salida del filtro que es considerado también como el voltaje en el capacitor $C_{f_{a,b,c}}$, referenciado al punto común n , finalmente i_{ca} , i_{cb} y i_{cc} es la corriente que fluye por fase.

3.8. Análisis y diseño de los filtros del convertidor de lado de la máquina

La modulación que se utilizó en este trabajo de tesis para conmutar los convertidores fue la modulación bipolar, se decidió utilizar esta técnica debido a ser relativamente simple respecto a modulaciones especiales, como por ejemplo; la modulación vectorial [63]. Una modulación bipolar; proporciona un voltaje de línea a neutro de salida de tres niveles conectando su carga en estrella, esto es: $0V$, $\pm\frac{1}{3}U_{DC}V$ y $\pm\frac{2}{3}U_{DC}V$ [43]. Los cambios abruptos de voltaje a alta frecuencia, dv/dt , produce de manera general pérdidas en la máquina, lo que traen como consecuencias interferencia electromagnética, *EMI* (por sus siglas en inglés) y presencia de capacitancias parásitas en la máquina, lo cual genera componentes de modo común en el sistema [66].

La implementación de filtros activos, pasivos e híbridos ha sido utilizada para mitigar las componentes de alta frecuencia presentes en los voltajes de salida de un inversor, mismos que impactan negativamente a la máquina [66], [67]. El diseño e implementación este tipo de filtros no es una tarea fácil, requiere de un estudio profundo y detallado, es por esta razón por la cual se optó por utilizar un filtro pasivo de segundo orden *LC*. Se utilizó este tipo de filtro debido a su relativa sencillez de diseño respecto a otras topologías, además, de que este filtro cubre las necesidades principales de este proyecto que es lograr un acoplamiento seguro entre la máquina y el convertidor y, mitigar componentes de alta frecuencia.

Los filtros *LC* producen una mejora notable en el rendimiento de las máquinas conectadas a convertidores trifásicos, disminuyendo el rizo de alta frecuencia. Sin embargo, el uso de estos filtros, presenta consigo algunos inconvenientes; por ejemplo voltajes de modo común entre las conexiones a tierra del filtro y de la máquina, y además, posible interferencia con la frecuencia de resonancia del filtro. Se han propuesto diferentes metodologías de diseño para garantizar el funcionamiento óptimo de los filtros *LC* conectados a máquinas eléctricas [65], [67], [68].

La frecuencia de resonancia en filtros *LC* e incluso *LCL*, produce un alto consumo de corriente, consecuencia de la baja impedancia que presenta el filtro en dicha frecuencia. Diseñar un filtro pasivo sin tomar en cuenta este parámetro es peligroso, debido a la interferencia que puede llegar a presentar en el sistema, provocando posible destrucción del prototipo; o en menor medida, interferir en la sintonización de los controladores [64], [69]. Para realizar el diseño del filtro *LC*, se parte del circuito de la Figura 3.18.

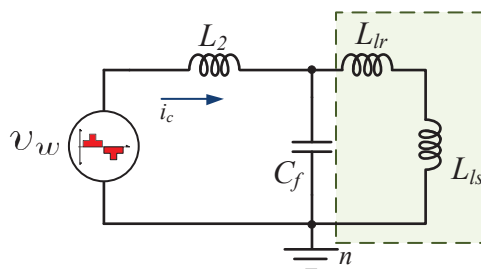


Figura 3.18. Circuito equivalente para el diseño del filtro *LC*.

Donde los inductores denotados como L_{lr} y L_{ls} , representan la inductancia de dispersión de la máquina. El voltaje definido como v_w , representa el voltaje de salida del inversor, finalmente; L_2 y C_f representan los componentes pasivos del filtro LC . Primeramente, del circuito de la Figura 3.18 es posible obtener una inductancia equivalente haciendo uso del teorema de Thevenin, dando como resultado la expresión (3.52).

$$L_{eq} = \frac{L_m L_2}{L_m + L_2} \quad (3.52)$$

Donde L_m , se define como la suma de las inductancias de dispersión del motor, teniendo; $L_m = L_{lr} + L_{ls}$. Tomando en cuenta lo anterior; la frecuencia de resonancia del filtro LC , se puede definir como en (3.53).

$$f_{res} = \frac{1}{2\pi\sqrt{L_{eq}C_f}} \quad (3.53)$$

Para definir un valor para L_2 se utilizó el análisis mostrado en la sección 3.4, haciendo uso de la ecuación mostrada en (3.17); dando como resultado:

$$L_2 = 3.5 \text{ mH}.$$

Para el diseño del capacitor, se utilizó la ecuación (3.53), proponiendo una frecuencia de resonancia; de esta manera se puede definir la ecuación (3.54).

$$C_f = \frac{1}{4\pi^2 f_{res}^2 L_{eq}} \quad (3.54)$$

Para evitar interferencias con la frecuencia de resonancia del filtro se optó por seleccionar una frecuencia de resonancia alejada de las frecuencias que se trabajan en este sistema, estas son; la frecuencia de red a 60 Hz, frecuencia de conmutación a 10 kHz, y las frecuencias de los armónicos que se pretendan emular. Para este caso en particular se seleccionó una $f_{res} = 900 \text{ Hz}$, obteniendo así un capacitor $C_f = 22 \mu\text{F}$ [65], [69].

3.9. Análisis y diseño del controlador de lado de la máquina

En secciones anteriores, se describió el funcionamiento de los controladores de lado de la red, en esta sección se describe el análisis y el diseño del controlador de lado de la máquina.

El *MSC* está conectado al estator de la máquina de inducción, este convertidor tiene como objetivo de control la emulación de armónicos de voltaje. Dicha emulación, se realiza mediante el seguimiento de referencias de voltaje trifásico; en dichas referencias se establecen las magnitudes y frecuencias de los armónicos que se deseen emular.

Para obtener un patrón para generar las referencias de los armónicos, se tomó en cuenta la norma IEEE-519, en donde se establece un porcentaje máximo por armónico en un sistema conectado a la red. En la Tabla 3.4, se muestran los límites permitidos en sistemas menores o iguales a 1 kV [18].

Tabla 3.4. Límites para distorsión de voltaje.

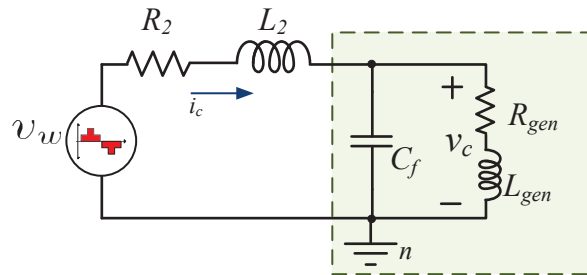
Voltaje PCC	Armónico individual (%)	THD(%)
$V \leq 1.0kV$	5.0	8.0
$1kV < V \leq 69kV$	3.0	5.0
$69kV < V \leq 169kV$	1.5	2.5
$169kV < V$	1.0	1.5

El emulador de armónicos pretende emular señales que sobrepasen los límites establecidos por la norma IEEE-519, de modo que, se propuso utilizar los armónicos 5to, 7mo y 11vo, con un porcentaje de 10 %, 8 % y 5 %, respecto al voltaje presente en el punto de conexión común *PCC*, respectivamente.

Por otro lado, para el diseño del controlador, éste se compone de dos lazos principales denominados lazo interno y lazo externo. Análogamente, al controlador del *GSC*, el lazo interno permite generar señales de referencia, mismas que son utilizadas para la modulación del convertidor. El lazo externo permite el seguimiento de referencias de voltaje con y sin contenido armónico. Este voltaje tiene una magnitud de $42V_{L-L_{rms}}$, se fija en este valor debido a que éste es el voltaje de alimentación nominal de la máquina.

3.9.1. Lazo interno, MSC

Para el diseño de este lazo, se considera el circuito mostrado en la Figura 3.19, en donde se muestra el circuito equivalente de una sola fase referente a la salida del convertidor.


 Figura 3.19. Circuito equivalente de una sola fase del *MSC*.

De la Figura 3.19, R_2 , es la resistencia implícita del inductor L_2 , L_2 y C_f son los componentes pasivos del filtro *LC*. La fuente de voltaje v_w , es el voltaje de salida del inversor antes del filtro *LC*, finalmente, se agregó un inductor L_{gen} y una resistencia R_{gen} , para representar la carga del sistema. Mediante la *KVL*, se obtiene el sistema matricial mostrado en (3.55).

$$\begin{bmatrix} v_{wa} \\ v_{wb} \\ v_{wc} \end{bmatrix} = \begin{bmatrix} i_{ca} \\ i_{cb} \\ i_{cc} \end{bmatrix} R_2 + L_2 \frac{d}{dt} \begin{bmatrix} i_{ca} \\ i_{cb} \\ i_{cc} \end{bmatrix} + \begin{bmatrix} v_{ca} \\ v_{cb} \\ v_{cc} \end{bmatrix} \quad (3.55)$$

Donde, i_{ca} , i_{cb} e i_{cc} son las corrientes de cada fase provenientes del inversor, v_{ca} , v_{cb} y v_{cc} son los voltajes después del filtro LC , referenciado al punto común n .

Como en análisis anteriores, para el desarrollo de los controladores se utilizó el marco de referencia dq , en función de obtener expresiones más sencillas y por consecuencia, controladores más sencillos, de manera que se considera que $L_{2a} = L_{2b} = L_{2c} = L_2$ y $R_{2a} = R_{2b} = R_{2c} = R_2$.

Tomando en cuenta lo anterior, en (3.56) y (3.57) se muestra el sistema (3.55) en un marco de referencia dq .

$$v_{wd} = i_{cd}R_2 + L_2 \frac{di_{cd}}{dt} - \omega L_2 i_{cq} + v_{cd} \quad (3.56)$$

$$v_{wq} = i_{cq}R_2 + L_2 \frac{di_{cq}}{dt} + \omega L_2 i_{cd} + v_{cq} \quad (3.57)$$

Nuevamente, el parámetro ω , es la velocidad angular establecida por el marco de referencia, donde $\omega = 2\pi f_{red}$. El lazo interno se constituye por la planta y por términos de compensación, para diferenciar dichos términos, de las expresiones (3.56) y (3.57) se agrupan los términos i_{wd} e i_{wq} , respectivamente, de tal manera se obtiene (3.58) y (3.59) [10], [59].

$$v_{wd} = v_{MSD_{d1}} - comp_d \quad (3.58)$$

$$v_{wq} = v_{MSD_{q1}} + comp_d \quad (3.59)$$

Donde $v_{MSD_{d1}} = i_{cd}R_2 + L_2 \frac{di_{cd}}{dt}$ y $v_{MSD_{q1}} = i_{cq}R_2 + L_2 \frac{di_{cq}}{dt}$ son las plantas del sistema y $comp_d = \omega L_2 i_{cq} + v_{cd}$ y $comp_q = \omega L_2 i_{cd} + v_{cq}$ son los términos de compensación del controlador [10].

Aplicando la transformada de Laplace a $v_{MSD_{d1}}$ y $v_{MSD_{q1}}$, es posible obtener la función de transferencia; mostrada en (3.60).

$$G_{MSC_{d1,q1}}(s) = \frac{I_{cd,cq}(s)}{v_{MSD_{d1,q1}}(s)} = \frac{1}{L_2 s + R_2} \quad (3.60)$$

Para este controlador se utilizaron lazos PI , las expresiones $v_{MSD_{d1}}$ y $v_{MSD_{q1}}$, son ecuaciones diferenciales de primer orden, de modo que la implementación de lazos PI es posible. Las componentes d y q , están orientadas a la generación de señales referencia, que permitan modular al MSC .

Para sintonizar el lazo interno, es necesario obtener la función de transferencia de lazo cerrado, en la Figura 3.20 se muestra el diagrama de control del lazo interno.

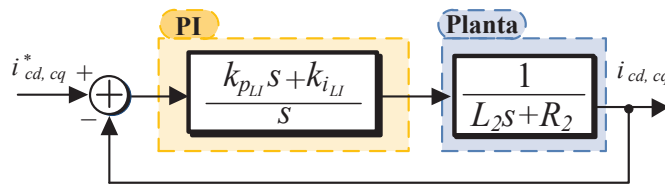


Figura 3.20. Diagrama simplificado del lazo interno.

La señal de entrada del sistema de control de la Figura 3.20 son referencias de corriente que son proporcionadas por el lazo externo del controlador, en la salida del sistema se observan señales de corriente que provienen del inversor antes del filtro LC . La función de transferencia en lazo cerrado del sistema se muestra en (3.61).

$$G_{LLd,q}(s) = \frac{I_{cd,cq}(s)}{I_{cd,cq}^*(s)} = \frac{k_{pMSCLI}s + k_{iMSCLI}}{L_2s^2 + (k_{pMSCLI} + R_2)s + k_{iMSCLI}} \quad (3.61)$$

Siendo k_{pMSCLI} y k_{iMSCLI} , las constantes proporcional e integral del controlador PI . La sintonización del controlador se realizó tomando en cuenta el polinomio característico de una función de transferencia de segundo orden. En (3.62) y (3.63) se muestran las expresiones de diseño para k_{pMSCLI} y k_{iMSCLI} , respectivamente.

$$k_{pMSCLI} = 2\zeta\omega_n L_2 - R_2 \quad (3.62)$$

$$k_{iMSCLI} = \omega_n^2 L_2 \quad (3.63)$$

Donde, ζ , ω_n , L_2 y R_2 representan parámetros de coeficiente de amortiguamiento, velocidad del controlador, inductancia del filtro LC y R_2 es la resistencia implícita del inductor L_2 .

3.9.2. Lazo externo, MSC

El lazo externo tiene como objetivo de control generar voltajes trifásicos con los principales armónicos de la red, este voltaje representa la red eléctrica en el *WECS* mostrado en la Figura 3.1. Este voltaje emula de manera controlada voltajes trifásicos con o sin contenido armónico, de tal manera que en un sistema de generación eólica será posible evaluar algoritmos para mitigar dichas componentes armónicas, todo dentro de un entorno controlado.

Este lazo además proporciona referencias de corriente que se utilizan para el lazo interno, de tal manera que para la sintonización del controlador se busca que el lazo externo sea más rápido que el lazo interno.

El desarrollo de este lazo parte del circuito mostrado en la Figura 3.21.

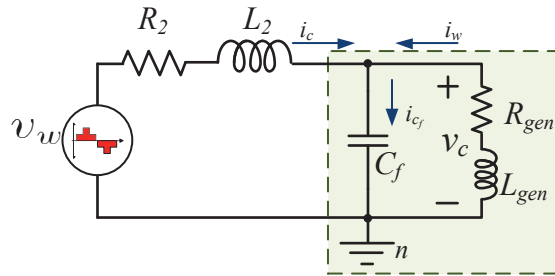


Figura 3.21. Circuito equivalente de una sola fase del *MSC*.

El circuito de la Figura 3.21 representa sólo una fase del sistema, en donde se muestran los componentes pasivos del filtro LC , un resistencia R_2 que denota la resistencia implícita en el inductor L_2 , la carga del sistema y el voltaje de salida del inversor son

denotados por R_{gen} , L_{gen} y v_w respectivamente. Finalmente, v_c denota el voltaje entre las terminales del capacitor C_f . Aplicando la *KCL*, se obtiene el sistema de ecuaciones, expresado en forma matricial, mostrado en (3.64) [10].

$$\begin{bmatrix} i_{ca} \\ i_{cb} \\ i_{cc} \end{bmatrix} = C_f \frac{d}{dt} \begin{bmatrix} v_{ca} \\ v_{cb} \\ v_{cc} \end{bmatrix} - \begin{bmatrix} i_{wa} \\ i_{wb} \\ i_{wc} \end{bmatrix} \quad (3.64)$$

Del sistema anterior se realiza su correspondiente transformación *abc* - *dq*, obteniendo (3.65) y (3.66).

$$i_{cd} = C_f \frac{d}{dt} v_{dc} - \omega C_f v_{cq} - i_{wd} \quad (3.65)$$

$$i_{cq} = C_f \frac{d}{dt} v_{qc} + \omega C_f v_{cd} - i_{wq} \quad (3.66)$$

Al tener un sistema en coordenadas rotativas *dq*, este lazo también está sincronizado con el término $\omega = 2\pi f_{red}$. Como se ha visto en los lazo anteriores; el diseño de este lazo se separa por la planta del sistema y los términos de compensación, como se muestra en (3.67) y (3.68).

$$i_{cd} = i'_{wd} - \omega C_f v_{cq} - i_{wd} \quad (3.67)$$

$$i_{cq} = i'_{wq} + \omega C_f v_{cd} - i_{wq} \quad (3.68)$$

De (3.67) y (3.68), se observa que las plantas del sistema están denotadas como: $i'_{wd} = C_f \frac{d}{dt} v_{dc}$ y $i'_{wq} = C_f \frac{d}{dt} v_{qc}$. La función de transferencia para las plantas se muestra en (3.69).

$$\frac{v_{dc,qc}(s)}{i'_{wd,wq}(s)} = \frac{1}{C_f s} \quad (3.69)$$

La expresión anterior resulta una función de transferencia de primer orden, de manera análoga a los diseños anteriores, se utiliza un controlador *PI*, para proponer constantes para la sintonización del controlador. En la Figura 3.22, se muestra un diagrama a bloques para el lazo externo.

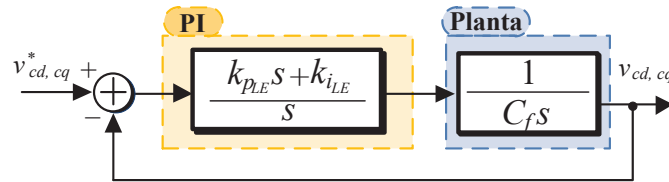


Figura 3.22. Diagrama simplificado del lazo externo.

La función de transferencia en lazo cerrado para este lazo se muestra en (3.70).

$$G_{LEd,q}(s) = \frac{V_{cd,cq}(s)}{V_{cd,cq}^*(s)} = \frac{k_{pMSCLE} s + k_{iMSCLE}}{C_f s^2 + k_{pMSCLE} s + k_{iMSCLE}} \quad (3.70)$$

3.9. ANÁLISIS Y DISEÑO DEL CONTROLADOR DE LADO DE LA MÁQUINA

Las expresiones para proponer valores de $k_{p_{MSCLE}}$ y $k_{i_{MSCLE}}$, se muestran en (3.71) y (3.72), respectivamente.

$$k_{p_{MSCLE}} = 2\zeta\omega_n C_f \quad (3.71)$$

$$k_{i_{MSCLE}} = \omega_n^2 C_f \quad (3.72)$$

El diagrama de control para el *MSC*, se muestra en la Figura 3.23.

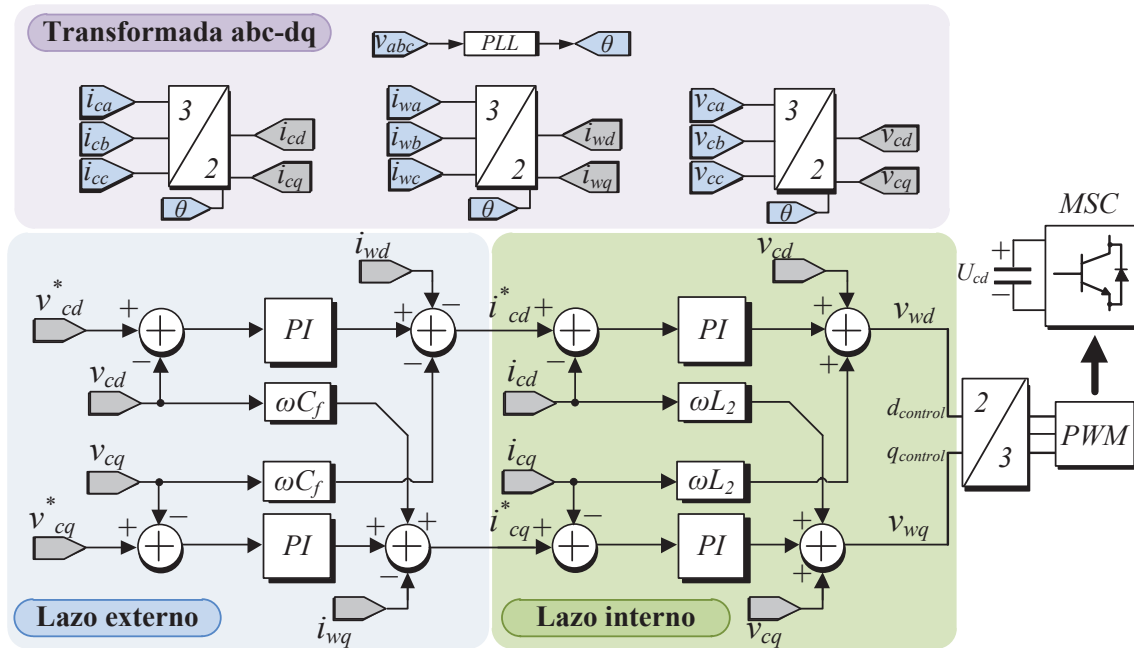


Figura 3.23. Diagrama de bloques del controlador de lado de la máquina.

Las ganancias utilizadas para sintonizar el controlador de la Figura 3.22, se muestra en la Tabla 3.5. Al igual que el lazo diseñado para el *GSC*, las ecuaciones de diseño para el controlador del *MSC* plantearon una guía para sintonizar el controlador.

Tabla 3.5. Parámetros del controlador para el *MSC*.

	ω_n	ζ	k_p	k_i
Lazo interno	24000rad/s	0.8	150	422
Lazo externo	5600rad/s	0.8	2	133

3.10. Resultados de simulación del convertidor de lado de la máquina

Para realizar las pruebas de simulación, se utilizaron los parámetros de la Tabla 3.6. En la Figura 3.23, se muestra el sistema con el cual se obtuvieron los resultados de simulación, además, se utilizó una máquina doblemente alimentada cortocircuitando la parte del rotor y utilizando los parámetros de la Tabla 3.1.

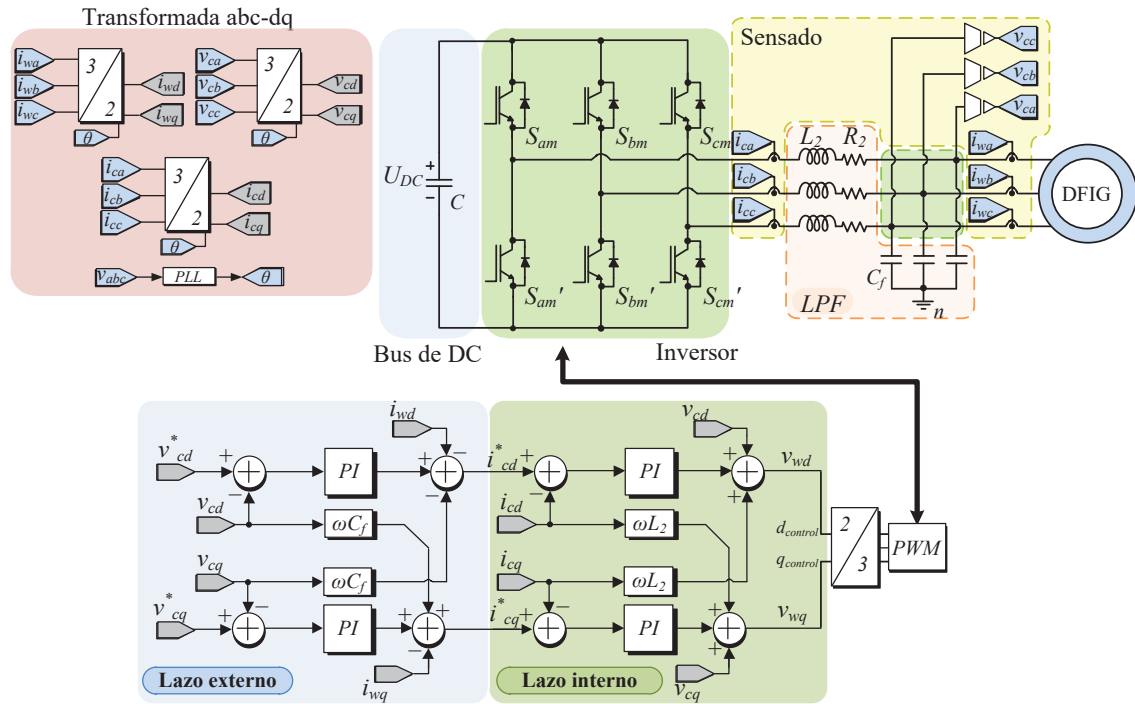


Figura 3.24. Diagrama del MSC planteado en simulación.

Tabla 3.6. Parámetros de operación del MSC.

Parámetro	Valor
Voltaje U_{DC}	150V
Frecuencia de conmutación, f_{sw}	10kHz
Inductores, $L_{2a,2b,2c}$	3.5mH
Capacitores, $C_{fa,fb,fc}$	22μF

Las pruebas de simulación consistieron en obtener voltajes trifásicos con los tres principales armónicos de red, quinto, séptimo y onceavo; la amplitud de éstos se fijó en un 10 %, 8 % y 5 % del voltaje nominal de la máquina respectivamente. Además se presentan cambios de referencias en función de apreciar el comportamiento del sistema ante cambios repentinos de referencia.

3.10. RESULTADOS DE SIMULACIÓN DEL CONVERTIDOR DE LADO DE LA MÁQUINA

Para la generación de las señales de referencia se optó por seguir el modelo mostrado en (3.73).

$$v_{ref} = V_m \sin(\omega t + \theta) + V_{m_5} \sin(5\omega t + \theta) + V_{m_7} \sin(7\omega t + \theta) + V_{m_{11}} \sin(11\omega t + \theta) \quad (3.73)$$

Donde V_m es la amplitud de la fundamental y V_{m_5} , V_{m_7} y $V_{m_{11}}$, son las amplitudes deseadas por cada armónico. θ es el ángulo de desfase, en este caso, este parámetro está definido por la red trifásica; es decir: $\frac{2\pi}{3}$ y $-\frac{2\pi}{3}$.

En la Figura 3.24, se muestra el voltaje de salida obtenido por el emulador teniendo como referencia únicamente la frecuencia fundamental. El voltaje fue medido en el *PCC*.

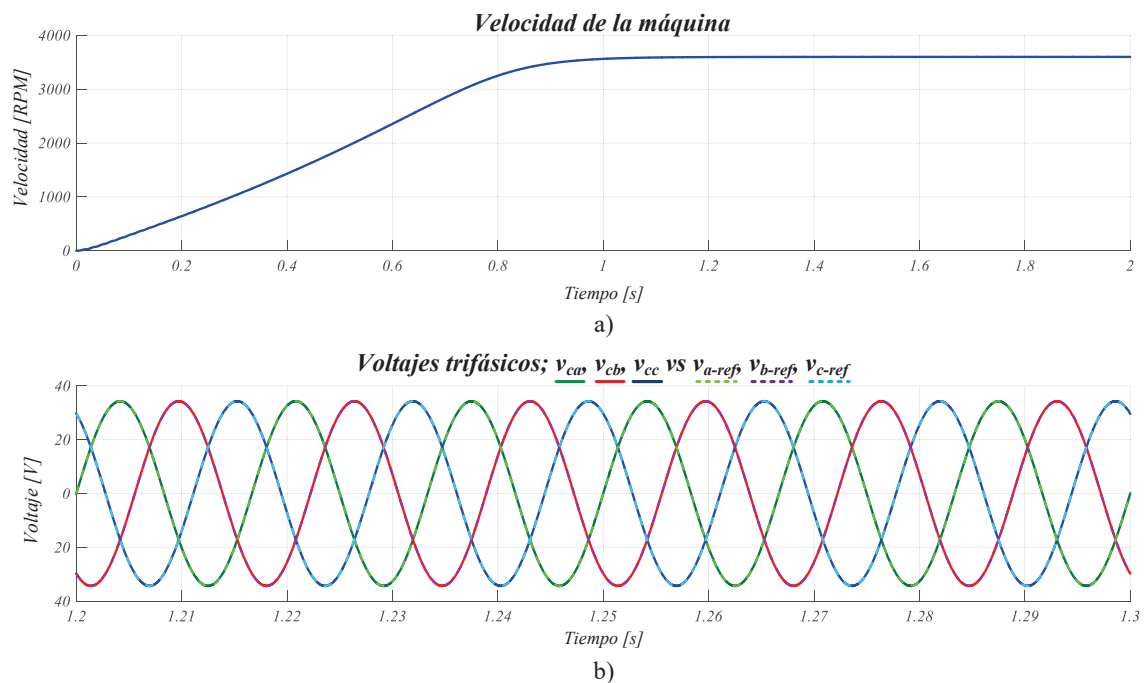


Figura 3.25. Respuesta en estado estacionario y en lazo cerrado; a) velocidad de la máquina (eje vertical 1000 RPM/div , eje horizontal 200 ms/div) b) voltajes trifásicos, v_{ca} , v_{cb} y v_{ca} y voltajes de referencia, v_{a-ref} , v_{b-ref} y v_{c-ref} (eje vertical 20 V/div , eje horizontal 10 ms/div).

De la Figura 3.24, se observa la respuesta transitoria y estacionaria de la máquina, mostrando un buen comportamiento en ambas respuestas. Se observa que la velocidad de giro del rotor está en 3550 RPM , esta velocidad puede ser modificada variando la frecuencia y/o la amplitud del voltaje de alimentación incluso, colocando alguna carga mecánica [12]. Por otro lado, el voltaje trifásico muestra un fiel seguimiento respecto a las señales de referencia.

Debido a las pruebas realizadas en éste sistema, se concluyó que el emulador de armónicos se estabiliza cuando la máquina alcanza su velocidad nominal, es por esto que se muestra el comportamiento de la máquina.

3.10. RESULTADOS DE SIMULACIÓN DEL CONVERTIDOR DE LADO DE LA MÁQUINA

En la Figura 3.25, se muestra el voltaje de salida obtenido por el emulador con la fundamental y el quinto armónico emulado.

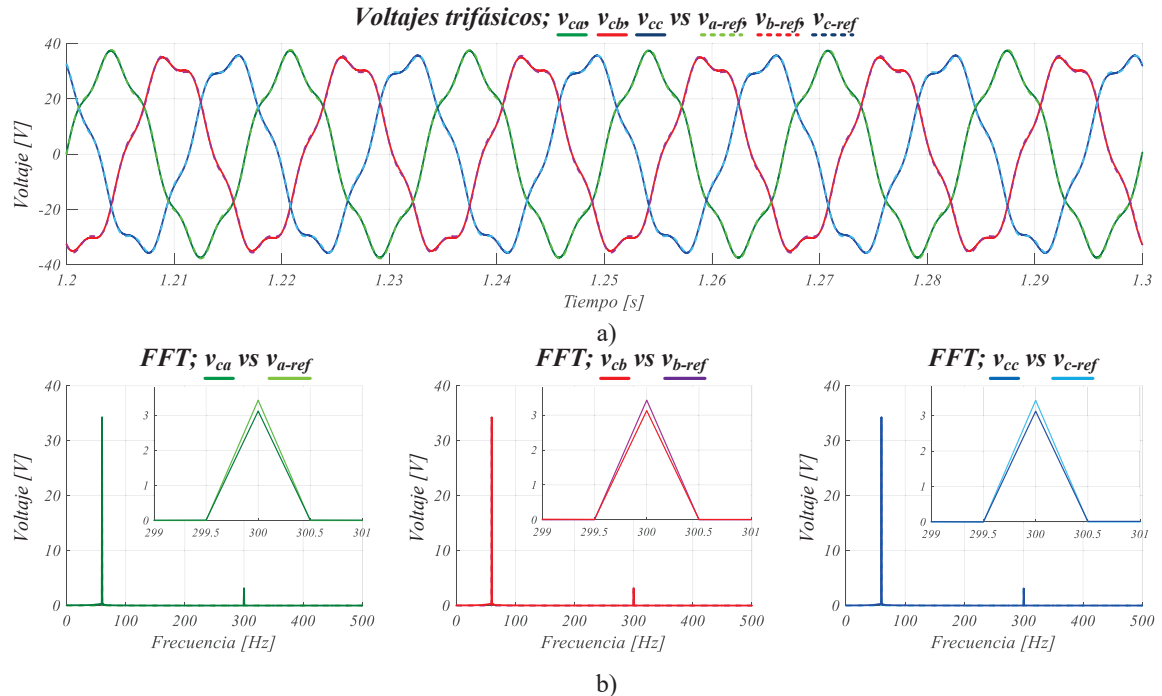


Figura 3.26. Respuesta en estado estacionario y en lazo cerrado emulando al quinto armónico; a) voltajes trifásicos, v_{ca} , v_{cb} y v_{cc} y voltajes de referencia, v_{a-ref} , v_{b-ref} y v_{c-ref} (eje vertical $20 V/div$, eje horizontal $10 ms/div$) b) respuesta en frecuencia, de izquierda a derecha fase a, b y c; respectivamente (eje vertical $10 V/div$, eje horizontal $100 Hz/div$).

De la Figura 3.26, se observa que las formas de onda de cada fase presentan una distorsión uniforme y con un buen seguimiento de las referencias. La amplitud del quinto armónico se fijó en $3.429 V$, un 10% del voltaje nominal de alimentación de la máquina, superando los márgenes que establece la norma IEEE 519, mostrados en la Tabla 3.4, presentando un $THD = 9.66\%$.

Por otro lado, se realizó un análisis en frecuencia con la transformada rápida de Fourier, FFT para cada fase. Se observa que únicamente se presenta una magnitud en la frecuencia fundamental y en el quinto armónico, $300 Hz$. Además, en la emulación del quinto armónico se presenta un error en el seguimiento aproximado al 9% , sin embargo, la respuesta sigue dentro del objetivo principal, superar la normativa establecida.

3.10. RESULTADOS DE SIMULACIÓN DEL CONVERTIDOR DE LADO DE LA MÁQUINA

En la Figura 3.27, se presenta el voltaje de salida obtenido por el emulador, generando la componente fundamental, junto los armónicos quinto y séptimo.

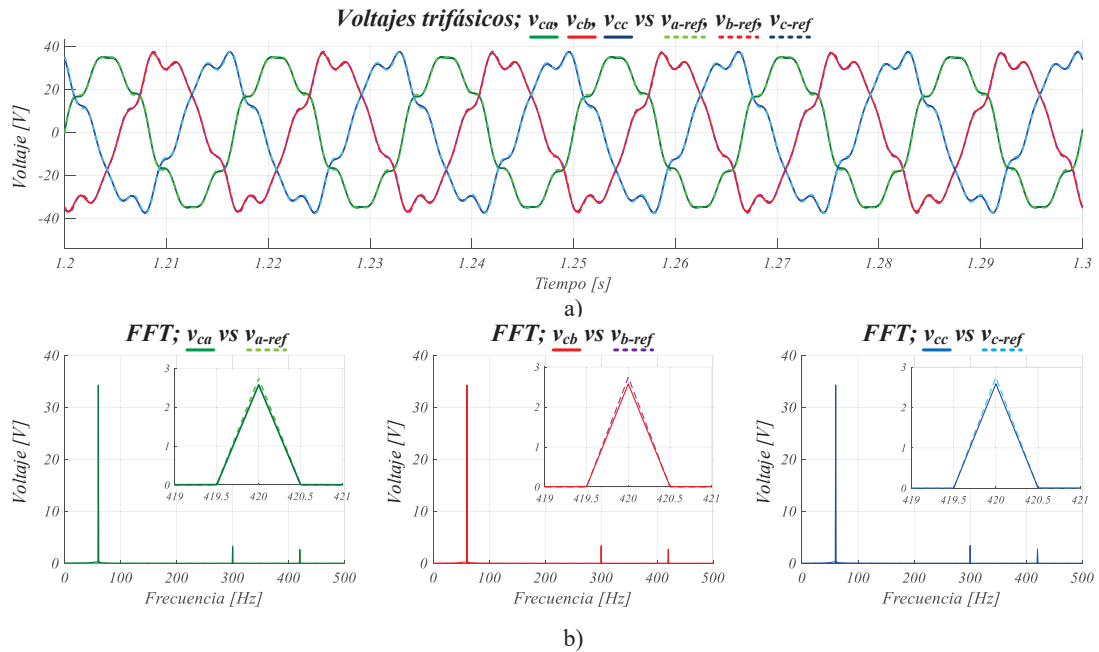


Figura 3.27. Respuesta en estado estacionario y en lazo cerrado emulando a los armónicos quinto y séptimo; a) voltajes trifásicos, v_{ca} , v_{cb} y v_{cc} y voltajes de referencia, v_{a-ref} , v_{b-ref} y v_{c-ref} (eje vertical $20 V/div$, eje horizontal $10 ms/div$) b) respuesta en frecuencia, de izquierda a derecha fase a, b y c; respectivamente (eje vertical $10 V/div$, eje horizontal $100 Hz/div$).

De la Figura 3.27, la amplitud del séptimo armónico se fijó en $2.743V$, equivalente a un 8% del voltaje nominal de alimentación de la máquina. Se observa que el voltaje de salida presenta una distorsión equilibrada, sin variaciones siguiendo las señales de referencia adecuadamente y presentando un $THD = 12.54\%$. Se realizó el análisis en frecuencia, mostrando la amplitud en la frecuencia del séptimo armónico, $420 Hz$. En este caso, para la emulación del séptimo armónico se presentó un error aproximado al 6%.

3.10. RESULTADOS DE SIMULACIÓN DEL CONVERTIDOR DE LADO DE LA MÁQUINA

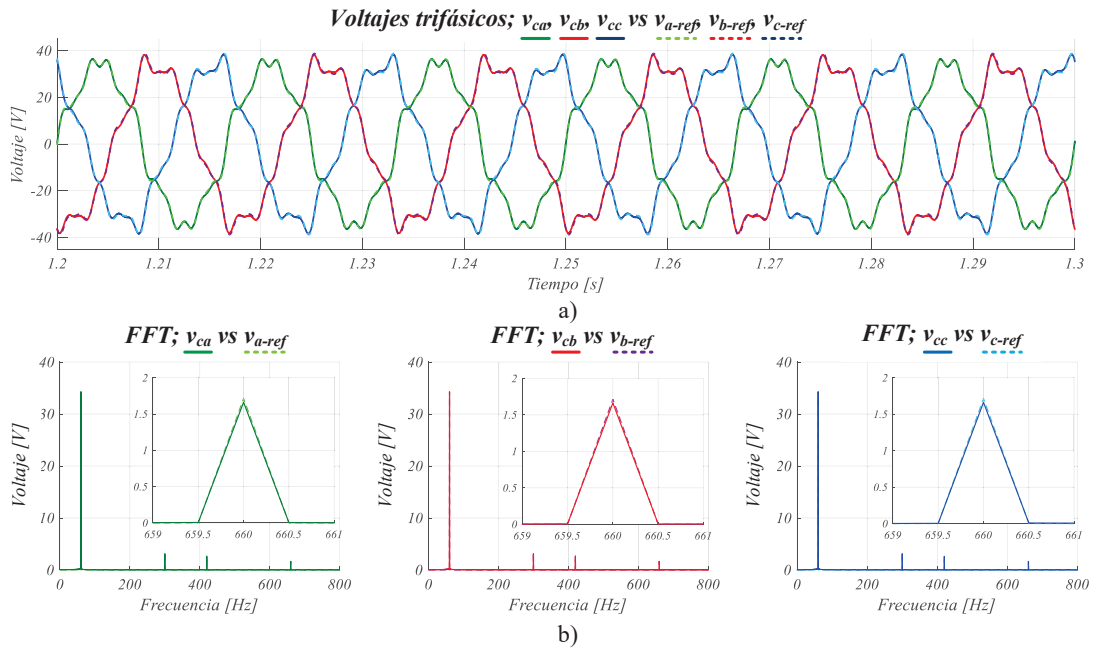


Figura 3.28. Respuesta en estado estacionario y en lazo cerrado emulando a los armónicos quinto, séptimo y onceavo; a) voltajes trifásicos, v_{ca} , v_{cb} y v_{cc} y voltajes de referencia, v_{a-ref} , v_{b-ref} y v_{c-ref} (eje vertical 20 V/div , eje horizontal 10 ms/div) b) respuesta en frecuencia, de izquierda a derecha fase a, b y c; respectivamente (eje vertical 10 V/div , eje horizontal 200 Hz/div).

Finalmente, en la Figura 3.28, se presenta el voltaje de salida del emulador, agregando el onceavo armónico. El seguimiento del voltaje de salida respecto a las señales de referencia se mantiene uniforme, además el porcentaje de error que se presenta en la emulación del onceavo armónico está en 4%, aproximadamente. La amplitud para el onceavo armónico se fijó en 1.7145 V , correspondiente a un 5% del voltaje nominal de la máquina. La distorsión armónica total emulando los tres principales armónicos resultó en un $THD = 13.55\%$.

3.10. RESULTADOS DE SIMULACIÓN DEL CONVERTIDOR DE LADO DE LA MÁQUINA

En la Figura 3.29, se muestra una respuesta transitoria de un voltaje trifásico sin contaminación armónica a un voltaje contaminado hasta el onceavo armónico.

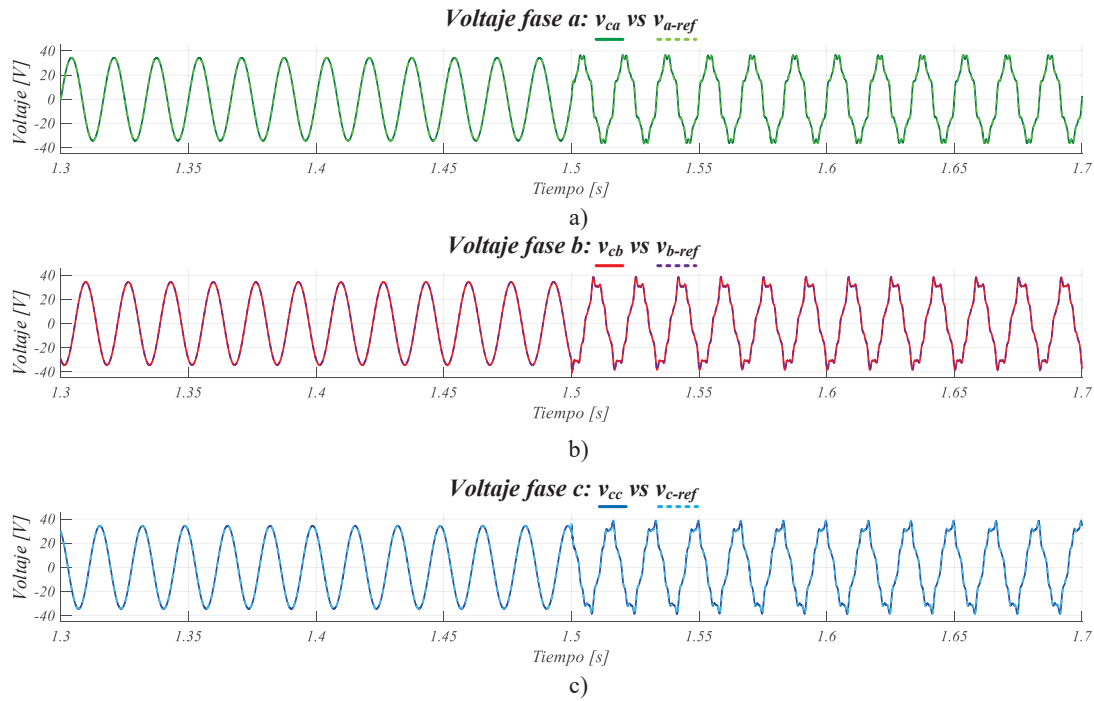


Figura 3.29. Respuesta en estado transitorio, y en lazo cerrado, cambio de referencia de voltaje sin armónicos a voltaje con armónicos quinto, séptimo y onceavo; a) fase a, v_{ca} vs v_{a-ref} , b) fase b, v_{cb} vs v_{b-ref} , c) fase c, v_{cc} vs v_{c-ref} (eje vertical $20 V/div$, eje horizontal $50 ms/div$)

De la Figura 3.29, primeramente se fijaron referencias únicamente con la frecuencia fundamental, posteriormente, se cambian las referencias a un voltaje contaminado con los armónicos quinto, séptimo y onceavo. El cambio de referencia se fijó en $1.5 s$, donde se observa que el voltaje de salida se estabiliza relativamente rápido, esto es debido a que en este punto la máquina está trabajando a su velocidad nominal, por lo tanto, el emulador presenta un comportamiento más rápido.

Es importante mencionar que la amplitud y orden del armónico pueden ser modificadas en función de obtener mayor o menor presencia de armónicos, sin embargo para realizar dicha modificación es necesario modificar las ganancias del controlador del *MSC* para garantizar un correcto seguimiento de las referencias.

3.11. Resultados de simulación del emulador de armónicos

Como resultado de las pruebas de simulación mostrados anteriormente, en esta sección se presenta el funcionamiento del emulador de armónicos. En la Figura 3.30, se muestra un diagrama a bloques del sistema implementado en simulación, los parámetros de cada elemento se mostraron en las Tablas 3.3 y 3.6 para el *GSC* y para el *MSC*, respectivamente.

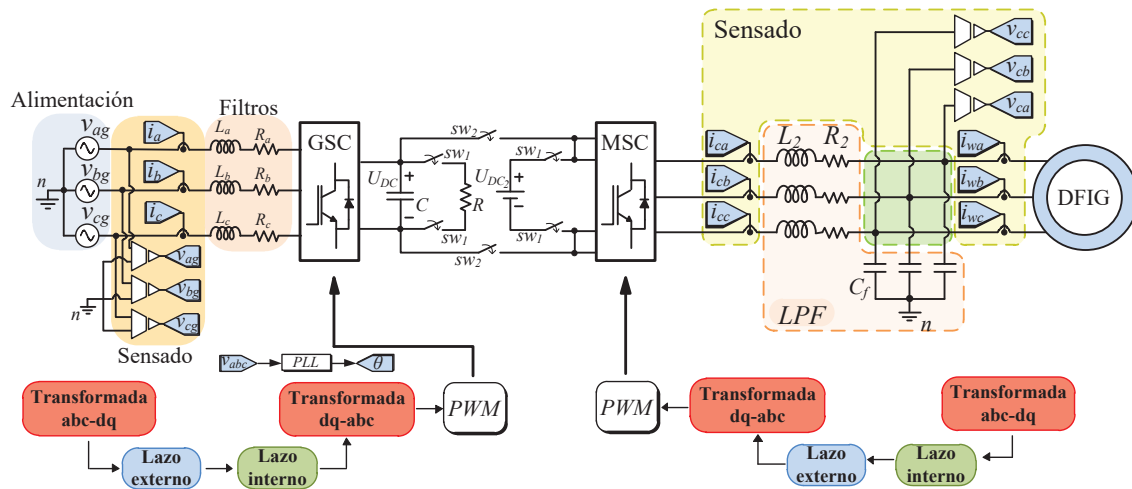


Figura 3.30. Diagrama del emulador de armónicos implementado en simulación

En la Figura 3.30 se muestra de forma resumida la implementación realizada en simulación, los diagramas de bloques para los controladores del *GSC* y *MSC* se detallaron en secciones anteriores (Figura 3.13 y Figura 3.23, respectivamente). El procedimiento para realizar las pruebas de simulación consistió en dos fases, primeramente los interruptores sw_1 permiten operar de forma separada los convertidores *GSC* y *MSC*, esto con el objetivo de asegurar la regulación del bus de *DC* y que la máquina alcance la velocidad nominal. Los interruptores sw_1 a la vez conectan al *GSC* a una resistencia $R = 50 \Omega$ y al *MSC* a una fuente constante de voltaje $U_{DC2} = 150 V$. Posteriormente, los interruptores sw_2 son activados y los interruptores sw_1 desactivados, teniendo así el emulador de armónicos operando. Al realizar pruebas con el sistema completo se realizaron algunos ajustes en la sintonización de los controladores, éstos se muestran en la Tabla 3.7.

Tabla 3.7. Parámetros de operación del emulador de armónicos.

	k_p	k_i
Lazo interno, <i>GSC</i>	130	7500
Lazo externo, <i>GSC</i>	0.06	1.5
Lazo interno, <i>MSC</i>	200	80
Lazo externo, <i>MSC</i>	4	500

3.11. RESULTADOS DE SIMULACIÓN DEL EMULADOR DE ARMÓNICOS

Recordando los objetivos de control para cada convertidor, el *GSC* regula el voltaje en el bus de *DC* y compensa potencia reactiva. Por otro lado, el *MSC* permite la emulación de armónicos trifásicos, dichos armónicos siguen el modelo mostrado en la expresión (3.73). En la Figura 3.31 se muestra la precarga para el capacitor *C* además y la respuesta transitoria y estacionaria de la máquina.

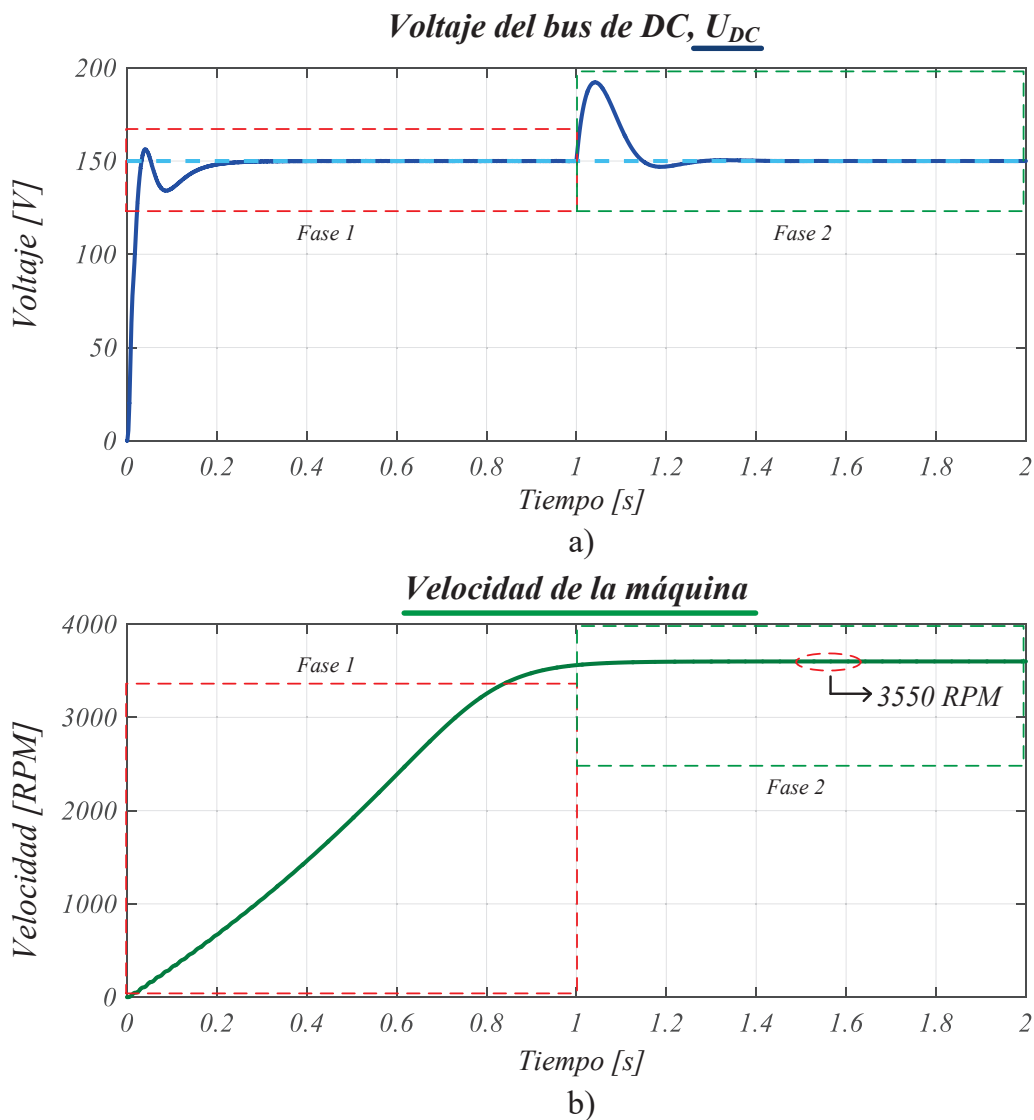


Figura 3.31. Respuesta transitoria y en lazo cerrado del emulador de armónicos; a) bus de *DC*, U_{DC} (eje vertical 50 *V/div*, eje horizontal 0.2 s/*div*), b) velocidad de la máquina (eje vertical 1000 *RPM/div*).

De la Figura 3.31, se observan las dos fases de operación descritas anteriormente, por parte del bus de *DC* se muestra una respuesta relativamente rápida en ambas fases. El bus de *DC* presenta un sobretiro no mayor a 50 *V*, éste debido a la repentina desconexión y conexión del sistema a la máquina. Por otro lado, la velocidad de la máquina se alcanza una velocidad aproximada a 3550 *RPM*, éste no se muestra afectado por el cambio de la fase 1 a la fase 2, esto debido a la rápida respuesta del controlador para regular nuevamente el bus de *DC*.

3.11. RESULTADOS DE SIMULACIÓN DEL EMULADOR DE ARMÓNICOS

En la Figura 3.32 se muestra la respuesta del bus de DC , los voltajes de salida del emulador y corrientes de red en estado estacionario, para esta prueba se fijaron las referencias únicamente con la componente fundamental.

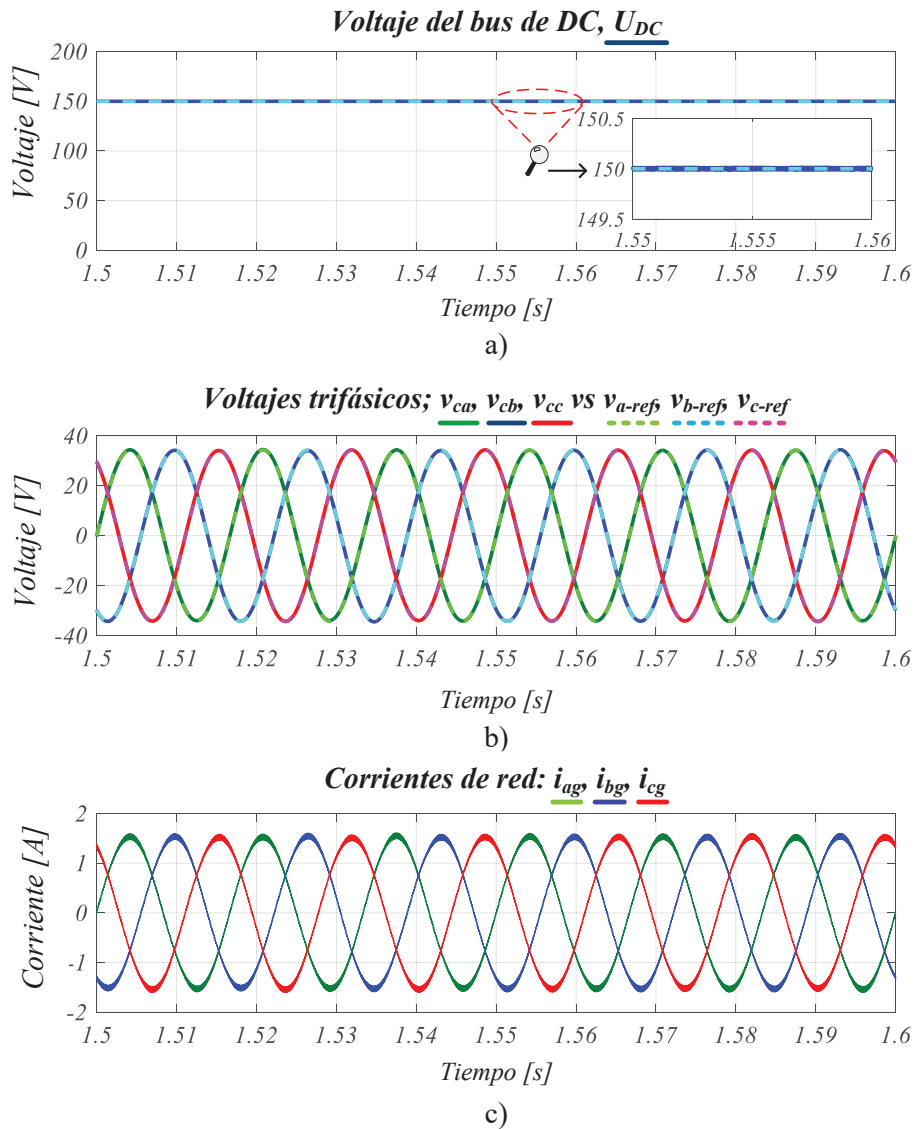


Figura 3.32. Respuesta en estado estacionario y lazo cerrado; a) bus de DC , U_{DC} (eje vertical 50 V/div), b) voltajes trifásicos, v_{ca} , v_{cb} y v_{cc} y voltajes de referencia, v_{a-ref} , v_{b-ref} y v_{c-ref} (eje vertical 20 V/div), c) corrientes de red, i_{ag} , i_{bg} y i_{cg} (eje vertical 1 A/div, eje horizontal 10 ms/div).

De la Figura 3.32, se muestra el voltaje del bus de DC , éste se muestra con un rizo mínimo y constante en la referencia establecida, $U_{DC} = 150$ V. Por otro lado, los voltajes trifásicos obtenidos por el MSC siguen correctamente las señales de referencia establecidas. Finalmente, las corrientes de red muestran una trayectoria sinusoidal pura, sin distorsión ni desbalances, se puede observar un contenido de alta frecuencia, éste debido a los inductores L_a , L_b y L_c . De manera general, se muestra que los objetivos de control funcionan correctamente.

3.11. RESULTADOS DE SIMULACIÓN DEL EMULADOR DE ARMÓNICOS

De manera análoga a la Figura 3.32, en la Figura 3.33 se muestra la respuesta del bus de DC , los voltajes de salida del emulador y corrientes de red en estado estacionario, para esta prueba se añadió el quinto armónico.

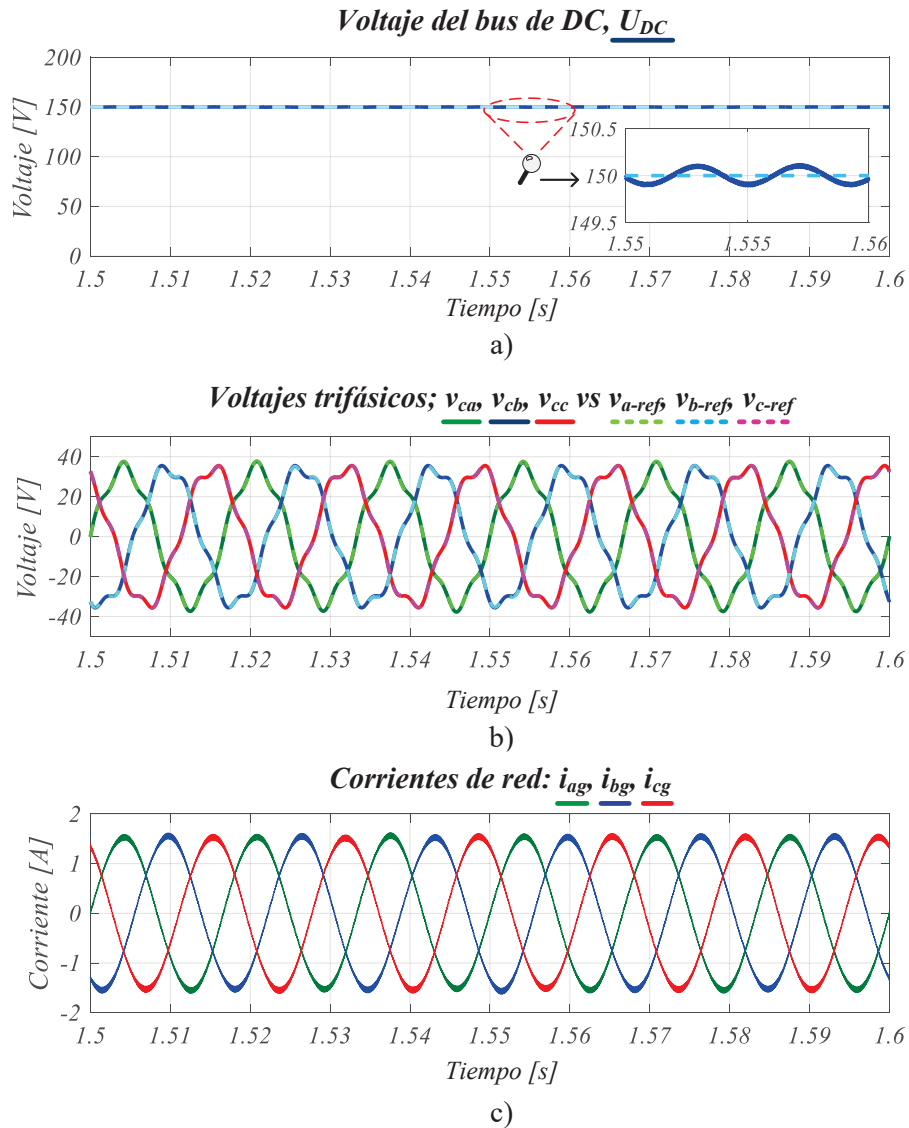


Figura 3.33. Respuesta en estado estacionario y lazo cerrado emulando el quinto armónico; a) bus de DC , U_{DC} (eje vertical 50 V/div), b) voltajes trifásicos, v_{ca} , v_{cb} y v_{cc} y voltajes de referencia, v_{a-ref} , v_{b-ref} y v_{c-ref} (eje vertical 20 V/div), c) corrientes de red, i_{ag} , i_{bg} y i_{cg} (eje vertical 1 A/div, eje horizontal 10 ms/div).

En la Figura 3.33, se muestra el voltaje del bus de DC fijo en $U_{DC} = 150$ V, a comparación de la prueba anterior se muestra un rizo mayor, de 192 mV, aproximadamente. Los voltajes trifásicos obtenidos por el MSC muestran un fiel seguimiento a las referencias establecidas. Se puede observar un comportamiento adecuado en las corriente de red, las cuales no presentan distorsión ni desbalances.

3.11. RESULTADOS DE SIMULACIÓN DEL EMULADOR DE ARMÓNICOS

En la Figura 3.34 se muestra la respuesta del sistema emulando la componente fundamental, el quinto y séptimo armónico.

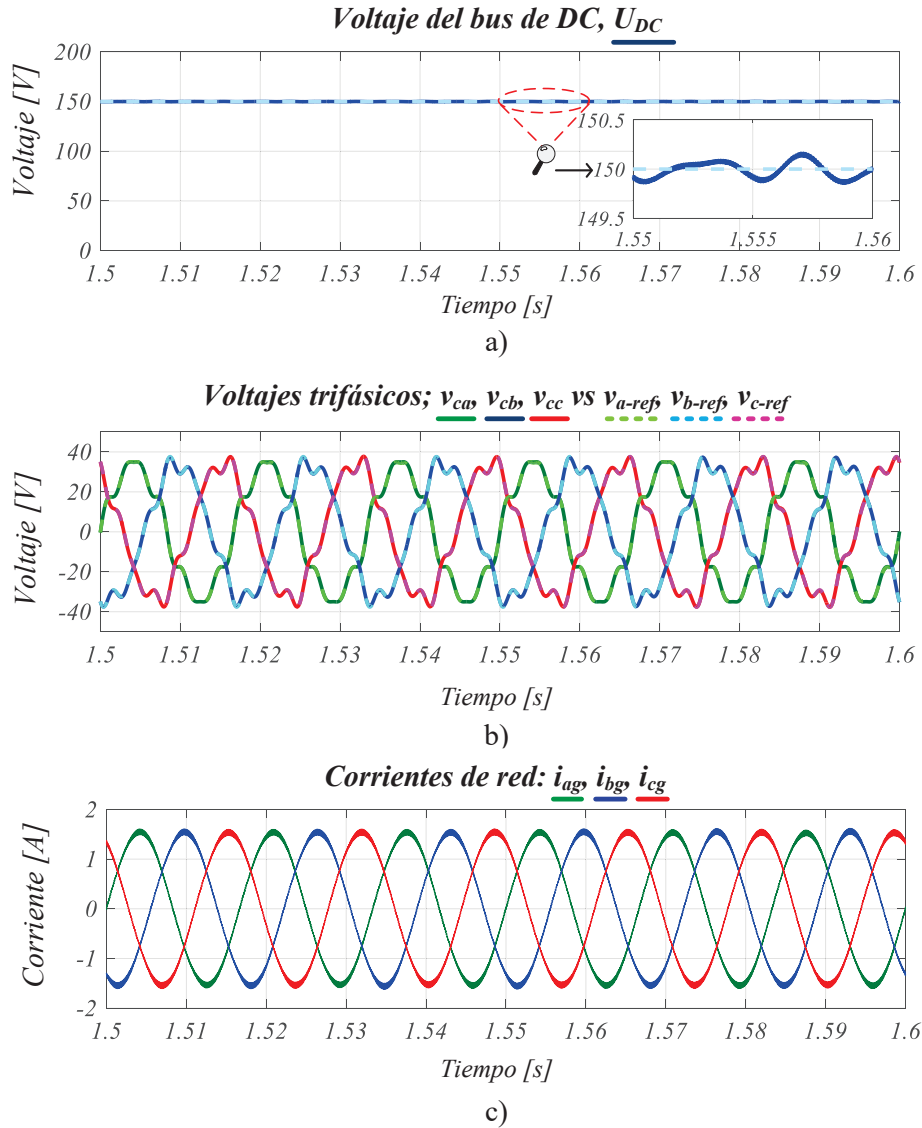


Figura 3.34. Respuesta en estado estacionario y lazo cerrado emulando los armónicos quinto y séptimo; a) bus de DC , U_{DC} (eje vertical 50 V/div), b) voltajes trifásicos, v_{ca} , v_{cb} y v_{cc} y voltajes de referencia, v_{a-ref} , v_{b-ref} y v_{c-ref} (eje vertical 20 V/div), c) corrientes de red, i_{ag} , i_{bg} y i_{cg} (eje vertical 1 A/div, eje horizontal 10 ms/div).

La Figura 3.34, muestra el comportamiento del emulador de armónicos emulando un voltaje trifásico contaminado con el quinto y séptimo armónico. Por parte del bus de DC se muestra un seguimiento adecuado, con un nivel de rizo un poco mayor que el caso anterior, 250 mV, aproximadamente. Las corrientes de red muestran una forma de onda sinusoidal en donde se observa, como en los casos anteriores, componentes de alta frecuencia. Finalmente los voltajes trifásicos entregados por el MSC muestran una distorsión uniforme, siguiendo correctamente las referencias establecidas.

3.11. RESULTADOS DE SIMULACIÓN DEL EMULADOR DE ARMÓNICOS

En la Figura 3.35, se muestra el comportamiento del sistema emulando la componente fundamental en conjunto con los armónicos quinto, séptimo y onceavo.

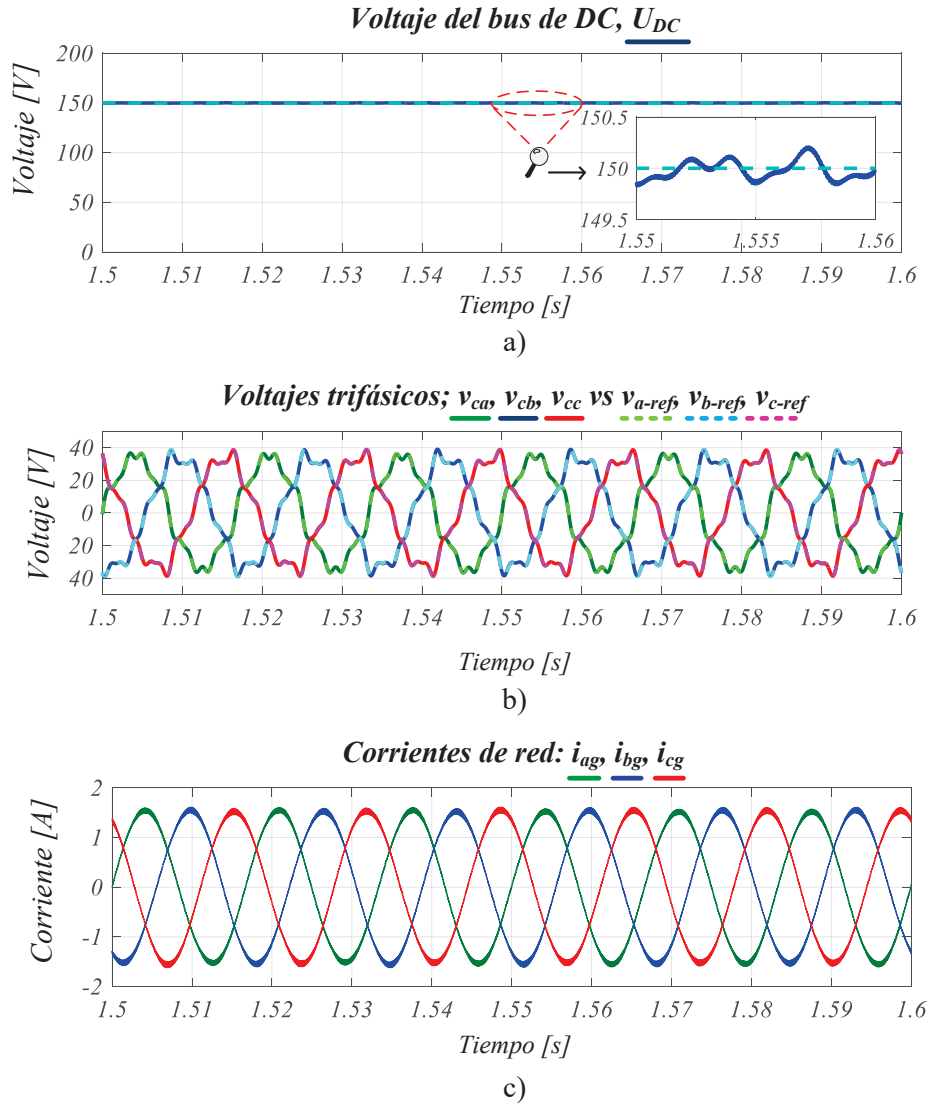


Figura 3.35. Respuesta en estado estacionario y lazo cerrado emulando los armónicos quinto, séptimo y onceavo; a) bus de DC, U_{DC} (eje vertical 50 V/div), b) voltajes trifásicos, v_{ca} , v_{cb} y v_{cc} y voltajes de referencia, v_{a-ref} , v_{b-ref} y v_{c-ref} (eje vertical 20 V/div), c) corrientes de red, i_{ag} , i_{bg} y i_{cg} (eje vertical 1 A/div, eje horizontal 10 ms/div).

De manera similar a los resultados anteriormente descritos, primeramente, en la Figura 3.35 se muestra la regulación del bus de DC el cual presenta un rizo aproximado de 261 mV, éste rizo presenta componentes armónicas correspondientes a los armónicos emulados, sin embargo estas componentes no afectan al funcionamiento del sistema. Por otro lado el voltaje entregado por el MSC muestra un voltaje trifásico contaminado, siguiendo correctamente las referencias establecidas. Finalmente, las corrientes de red no presentan distorsiones, desfases o desbalances entre sí. De manera general, de acuerdo a las pruebas realizadas, se muestra un comportamiento adecuado para cada referencia establecida.

3.11. RESULTADOS DE SIMULACIÓN DEL EMULADOR DE ARMÓNICOS

Tomando en cuenta un voltaje trifásico contaminado con armónicos, en la Figura 3.36 se muestra el comportamiento del sistema.

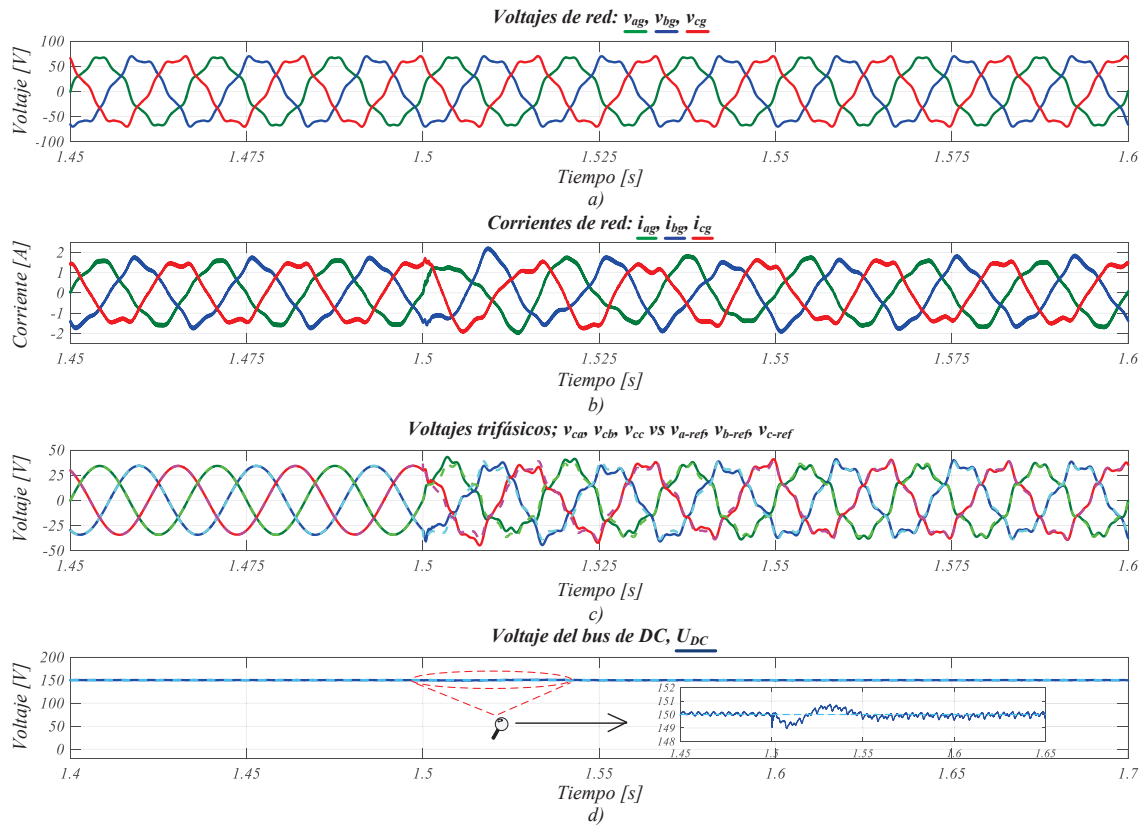


Figura 3.36. Respuesta en estado transitorio y lazo cerrado emulando los armónicos quinto, séptimo y onceavo; considerando un voltaje de red contaminado con armónicos. a) Voltajes de red, v_{ag} , v_{bg} y v_{cg} (eje vertical 50 V/div), b) corrientes de red, i_{ag} , i_{bg} y i_{cg} (eje vertical 1 A/div), c) voltajes trifásicos, v_{ca} , v_{cb} y v_{cc} y voltajes de referencia, v_{a-ref} , v_{b-ref} y v_{c-ref} (eje vertical 20 V/div, eje horizontal 25 ms/div), d) bus de DC, U_{DC} (eje vertical 50 V/div, eje horizontal 50 ms/div)

De la Figura 3.36 se muestra la respuesta transitoria del emulador de armónicos considerando un cambio de referencia, esto se realizó para observar el qué tanto afecta una red contaminada al funcionamiento del emulador. Primeramente se muestra el voltaje trifásico de la red eléctrica, éste se muestra contaminado presentando un $THD = 10.33\%$. Por otro lado, las corrientes de red muestran una forma de onda distorsionada, afectando de manera directa al comportamiento del emulador de armónicos. Los voltajes emulados mostrados en el inciso c), muestran un seguimiento adecuado a las referencias establecidas, el cambio de referencia afecta momentáneamente al seguimiento, sin embargo el controlador muestra una recuperación adecuada. Finalmente el bus de DC muestra un rizo de voltaje debido al voltaje contaminado con armónicos la magnitud de dicho rizo es 478 mV. En términos generales se muestra que el sistema cumple el objetivo principal de emular armónicos de voltaje, sin embargo ante un voltaje distorsionado presenta dificultades para cumplir correctamente con los objetivos de control.

4. IMPLEMENTACIÓN DEL EMULADOR DE ARMÓNICOS

Este capítulo está dedicado a la descripción del diseño e implementación del generador de armónicos basado en un convertidor back to back. Además, se describen las implementaciones prácticas de las tarjetas de sensado de voltaje y corriente, así como un circuito impulsor para la gestión de pulsos *PWM* hacia el convertidor. Estas tarjetas fueron diseñadas para ser utilizadas con una tarjeta *DSP TMS320F28335*.

4.1. Diseño e implementación de la etapa de sensado

La etapa de sensado en un sistema es una parte fundamental para implementar los controladores; el desarrollo e implementación de ésta etapa se realiza para acondicionar y medir las señales que intervendrán en el cálculo del controlador. Las tarjetas de sensado actúan como una interfaz entre el sistema físico y el controlador, midiendo en tiempo real variables físicas de interés para el control. Las tarjetas que se desarrollaron en este trabajo son tres; sensado de voltajes y corrientes trifásicas, además de una tarjeta específica para el sensado de voltaje continuo.

Específicamente, los puntos de interés para sensar son; voltajes y corrientes trifásicos del lado de la red eléctrica, por parte del convertidor de lado del generador se sensan las corrientes trifásicas antes y después del filtro *LC* y los voltajes después del filtro. El voltaje en el capacitor de acoplo *C*, también es sensado, en la Figura 4.1. se muestra de manera general los puntos de sensado.

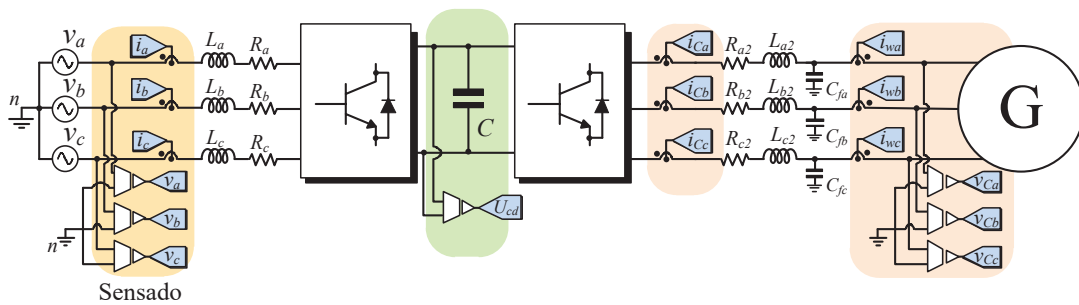


Figura 4.1. Diagrama simplificado del emulador de armónicos junto con la etapa de sensado.

Para el sensado de las magnitudes del sistema, se tomó en cuenta que; el rango de voltaje de entrada de la tarjeta *DSP TMS320F28335*, es de 0 V a 3.3 V. Debido a lo anterior todas las señales sensadas se limitaron a un rango de 0 V a 3 V, con éste rango se aseguró que los puertos *GPIO* de la tarjeta *DSP* no fuesen dañados. Las señales de voltaje y corriente fueron acopladas mediante transformadores reductores y sensores *CSLA1CD*, respectivamente. Finalmente, para garantizar la salida de 0V a 3V se utilizaron amplificadores operacionales.

4.1.1. Sensado de voltaje

Como se mencionó en el capítulo 3, el voltaje de entrada del emulador de armónicos se fijó a $80 V_{rms}$, para sensar los voltajes trifásicos de línea a neutro se utilizaron tres transformadores reductores con una relación de $127 V_{rms}$ a $9 V_{rms}$ a $300 mA$. Se utilizó la derivación central de cada transformador para obtener un voltaje aproximado de $4.5 V_{rms}$. De esta manera, el diseño para sensar los voltajes de línea consistió en adecuar un voltaje de $4.5 V_{rms}$ o $12.72 V_{pp}$ a una señal equivalente entre $0 V$ a $3 V$. En la Figura 4.2, se muestra el diagrama electrónico de la tarjeta de sensado para voltajes trifásicos.

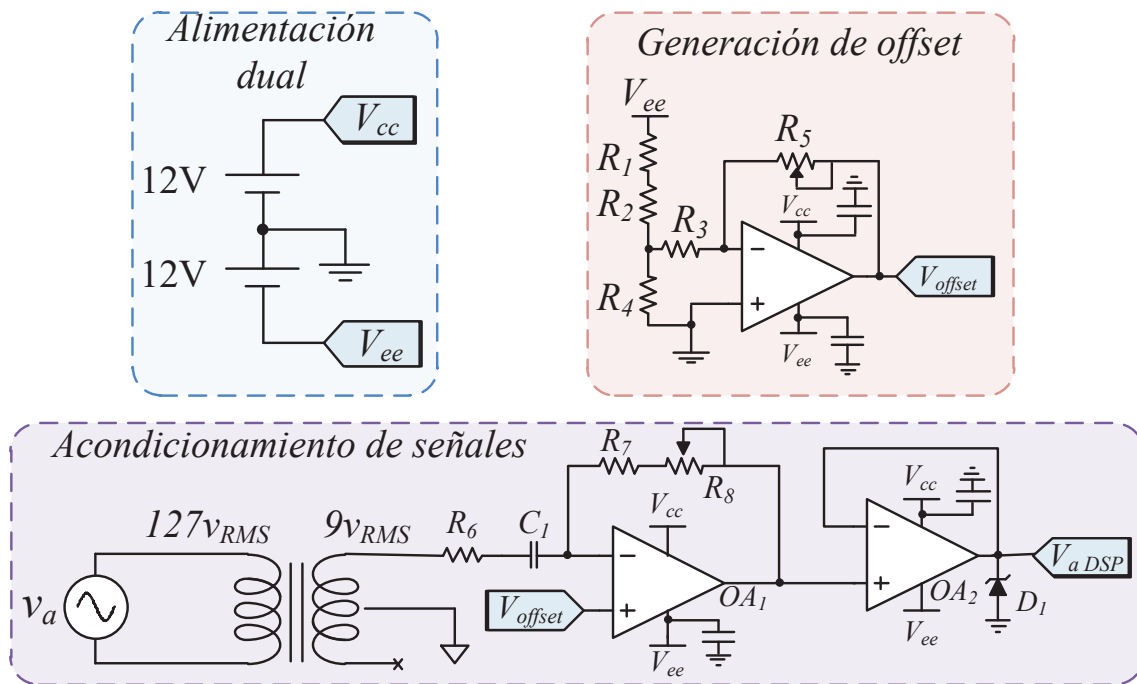


Figura 4.2. Diagrama esquemático de la tarjeta de sensado de voltaje.

En la Figura 4.2 se muestra el diseño propuesto para el sensado de voltaje de una sola fase, el diseño consta de dos secciones principales; la generación de una señal de *offset* y el acondicionamiento del voltaje sensado. La generación de una componente de *DC* es necesaria para montar las señales sensadas en un nivel de $1.5V$, debido a que se requiere adecuar las señales en un rango de $0V$ a $3V$ para trabajar de forma segura con la tarjeta *DSP*. Para lograr dicha componente de *offset*, se realiza un divisor de voltaje utilizando las resistencias R_1, R_2, R_3, R_4 , el potenciómetro R_5 y un amplificador operacional configurado como filtro pasa altas. El potenciómetro tiene la función de ajustar la ganancia del amplificador de tal manera que la componente de *DC* se fije en $1.5 V$.

Por otro lado, el acondicionamiento del voltaje se realizó mediante un transformador reductor con una relación de $127 V_{rms}$ a $9 V_{rms}$, se utilizó la derivación central para obtener una relación de $127 V_{rms}$ a $4.5 V_{rms}$. Los amplificadores TL084 (OA_1 y OA_2) aseguran obtener un voltaje equivalente limitado a $3 V_{pp}$; estos están configurados como un filtro pasa altas y como seguidor de voltaje, respectivamente. El amplificador OA_1 responde a una ganancia de un amplificador inversor, siendo $|OA_1| = -\frac{R_7 + R_8}{R_6}$.

Se diseñó un filtro pasa altas para mitigar posibles componentes de AC de baja frecuencia, además de ajustar la ganancia de conversión. Por parte del seguidor de voltaje este tiene la función de no demandar un consumo excesivo de corriente a la tarjeta de sensado y acoplar la señal antes de ser enviada a la tarjeta DSP . Finalmente se añadió un diodo zener, éste con la función de limitar el voltaje a $3V$ y proteger la tarjeta de control. En la Figura 4.3, se muestra la implementación física y el diagrama PCB de la tarjeta de sensado de voltaje.

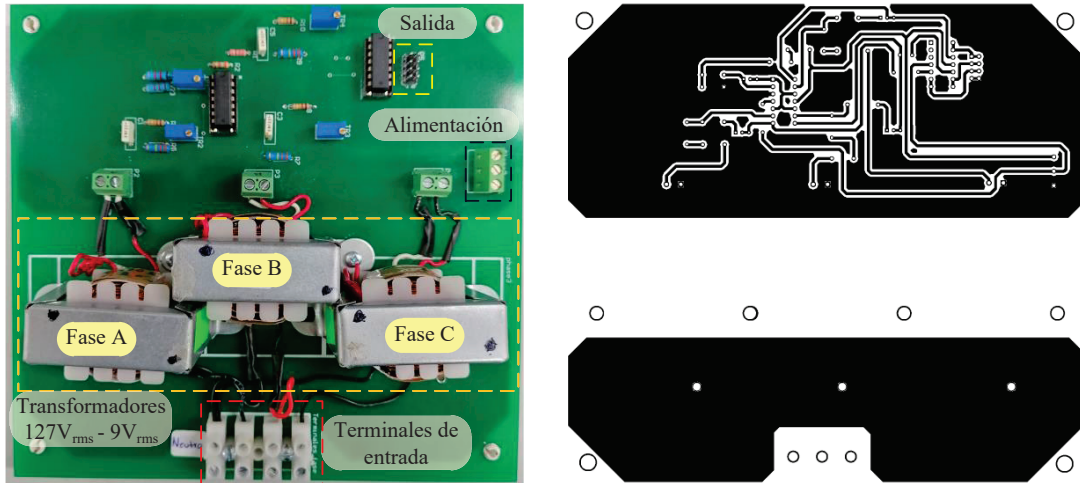


Figura 4.3. De izquierda a derecha, implementación física, diagrama de enrutado PCB de la tarjeta de sensado del voltaje.

Los componentes que se utilizaron para la implementación de la tarjeta de sensado de voltaje se muestra en la Tabla 4.1.

Tabla 4.1. Parámetros de la tarjeta de sensado de voltaje.

Elemento	Valor
R_1	$3.3k\Omega$
R_2	$39k\Omega$
R_3	$1.2k\Omega$
R_4	12Ω
R_5, R_8	$50k\Omega$
R_6	$330k\Omega$
R_7	$39k\Omega$
C_1	$0.22\mu F$

La ganancia de la tarjeta de sensado está definida por los valores de resistencias mostrados en la Tabla 4.1, para R_8 , se consideró un 30 % de su valor. La relación de conversión de la tarjeta de sensado de voltaje es $1.5V_{pk}:180V_{pk}$, matemáticamente considerando la componente de DC de $1.5V$ la ganancia queda expresada como en (4.1):

$$V_{out} = \frac{V_{in}}{120} + 1.5 \quad (4.1)$$

4.1.2. Sensado de corriente

El diseño de la tarjeta de sensado de corriente se realizó utilizando sensores *CSLA1CD*. Éste sensor garantiza un aislamiento galvánico entre las etapas de potencia y control, debido a que es un sensor de efecto Hall. De manera general, el principio de funcionamiento del sensor consiste en entregar a la salida un voltaje equivalente a la corriente sensada en la entrada. Esto es posible debido al campo magnético que se genera provocado por el flujo de corriente a través el sensor. Dicho sensor es un dispositivo con una respuesta lineal y relativamente rápida, sus características principales se presentan en la Tabla 4.2.

Tabla 4.2. Características del sensor de corriente.

Sensor de corriente <i>CSLA1CD</i>	
Voltaje de alimentación	8V a 16V
Relación de conversión	$49.6mV_{RMS} * N:1A_{RMS}$
Rango de medición	$57A_p$
Tolerancia de sensado	$\pm 5mV$

Una ventaja del sensor *CSLA1CD* es la posibilidad de modificar la relación de conversión; esto es posible modificando el numero de vueltas a través del sensor, definida como N . Por ejemplo, si $N = 1$, entonces el sensor entregaría un voltaje de $49.6mV_{RMS}$ por cada Ampere sensado. Para éste diseño se multiplicó el factor de conversión por tres; es decir se realizaron tres vueltas al sensor. De esta manera, la relación de conversión obtenida fue de $148.8mV_{RMS} : 1A_{RMS}$. Con la relación de conversión, se realizó una adecuación del voltaje obtenido por el sensor hacia la tarjeta de control *DSP* a un voltaje máximo de $3V_{pp}$. El diagrama electrónico se muestra en la Figura 4.4.

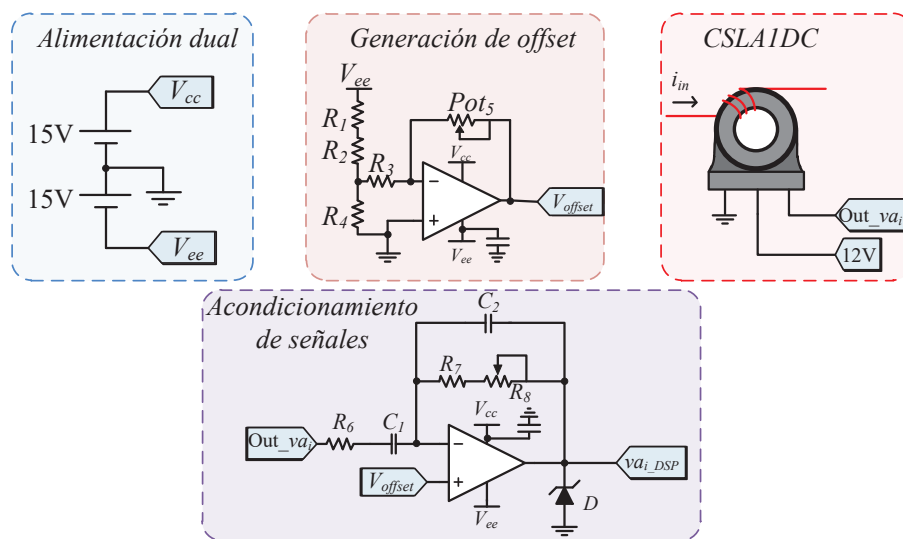


Figura 4.4. Diagrama esquemático de la tarjeta de sensado de corriente.

En la Figura 4.4 se muestra el diseño propuesto para el sensado de corriente de una sola fase, el diseño de manera análoga a la tarjeta de sensado de voltaje consta de dos secciones principales; la generación de una señal de *offset* y un amplificador operacional configurado como filtro pasa banda, con ganancia negativa. El filtro pasa banda se diseñó a un rango de $2Hz$ y $2kHz$, esto para mitigar componentes de *DC* provenientes del sensor y componentes de alta frecuencia. El diseño de la tarjeta se limitó a una corriente de $10A_{RMS}$, de manera que la ganancia del tarjeta de sensado considerando la componente de *DC* de $1.5V$ corresponde a la expresión (4.2).

$$V_{out} = \frac{1.5}{10A_{RMS}} * i_{in}A_{RMS} + 1.5 \quad (4.2)$$

Con la ganancia anterior se obtiene un voltaje de salida máximo de $3V_{pp}$. Para asegurar que el voltaje de salida este limitado, se colocó un diodo zener a $3V$. En la Figura 4.5, se muestra la implementación física y el diagrama *PCB* de la tarjeta de sensado de corriente.

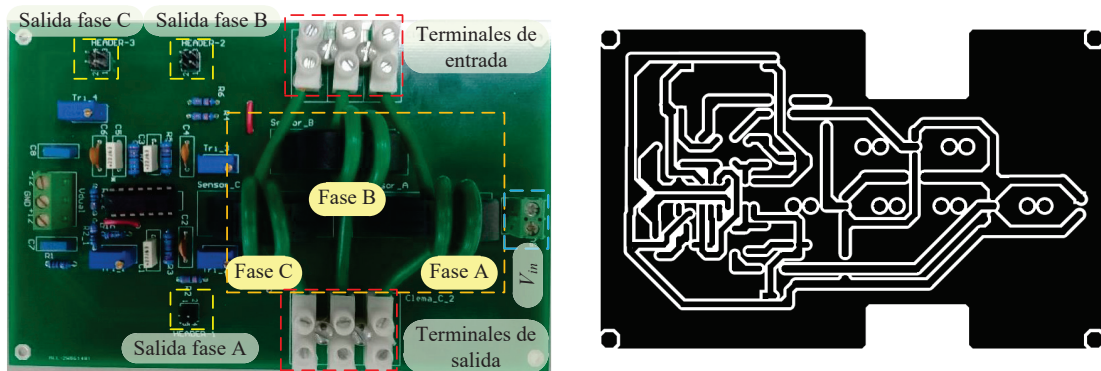


Figura 4.5. De izquierda a derecha, implementación física, diagrama de enrutado *PCB* de la tarjeta de sensado de corriente.

Los componentes que se utilizaron para implementar la tarjeta de sensado de corriente se muestran en la Tabla 4.3, para las resistencias R_1 , R_2 , R_3 , R_4 , R_5 y R_8 su valor corresponde al mostrado en la Tabla 4.1.

Tabla 4.3. Parámetros de la tarjeta de sensado de corriente.

Elemento	Valor
R_6	$330k\Omega$
R_7	$220k\Omega$
C_1	$0.22\mu F$
C_2	$330pF$

4.1.3. Sensado del bus de DC

Además del sensado de voltajes y corrientes trifásicos, el sensado del bus de DC es una parte fundamental, debido a que éste voltaje es regulado mediante una ley de control. Se utilizó el amplificador de aislamiento $ISO-124$ con ganancia unitaria, éste amplificador permite un aislamiento entre la etapa de potencia y la etapa digital. Se incluyó un filtro pasa bajas, diseñado a una frecuencia de corte de $1kHz$, este filtro tiene el objetivo de mitigar componentes de conmutación provenientes del convertidor. En la Figura 4.6 se presenta el diagrama esquemático de la tarjeta de sensado del bus de DC .

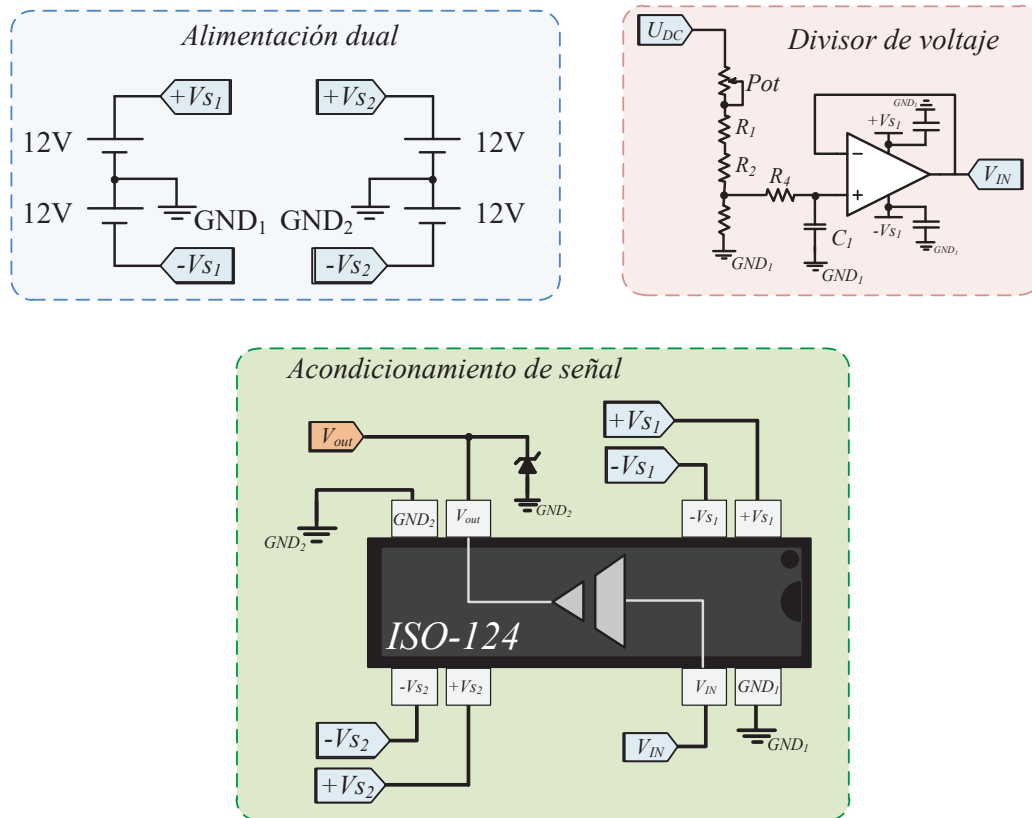


Figura 4.6. Diagrama esquemático de la tarjeta de sensado del bus de DC .

El límite de voltaje de la tarjeta de sensado se fijó en $450V_{DC}$, de tal manera que la relación de conversión se define como $450V_{DC}:3V_{DC}$, matemáticamente, la expresión anterior se puede expresar como en (4.3).

$$V_{out} = \frac{V_{in}}{150} \quad (4.3)$$

4.1. DISEÑO E IMPLEMENTACIÓN DE LA ETAPA DE SENSADO

Los componentes que se utilizaron para implementar la tarjeta de sensado del bus de *DC* se muestra en la Tabla 4.4. La implementación física y diagrama *PCB* de la tarjeta se muestran en la Figura 4.7.

Tabla 4.4. Parámetros de la tarjeta de sensado del bus de *DC*.

Elemento	Valor
Pot	$50k\Omega$
R_1	$110k\Omega$
R_2	$1.5M\Omega$
R_3	$12k\Omega$
R_4	$15k\Omega$
C_1	$10nF$

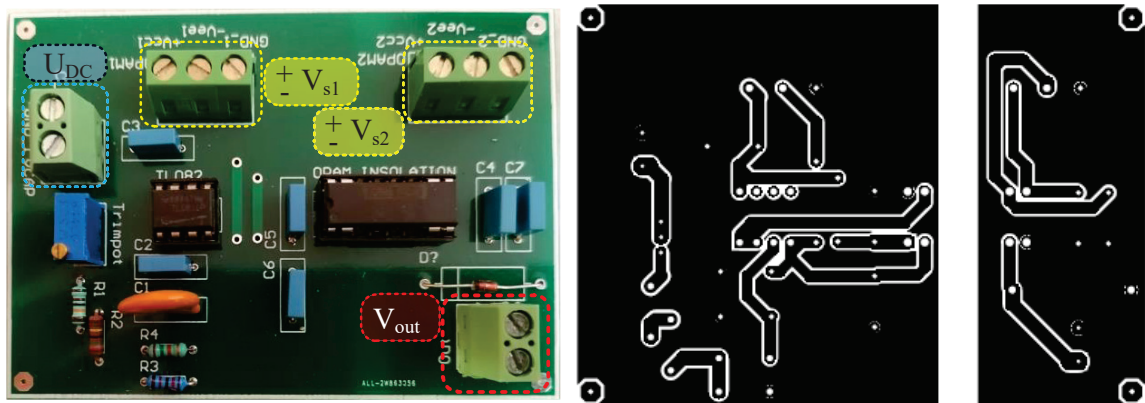


Figura 4.7. De izquierda a derecha, implementación física, diagrama de enrutado *PCB* de la tarjeta de sensado del bus de *DC*.

4.2. Diseño e implementación del circuito impulsor

El circuito impulsor se diseñó con el objetivo de gestionar las señales de conmutación hacia el convertidor back to back mediante emisores de fibra óptica. Como se mencionó anteriormente, la etapa de sensado permite obtener magnitudes de corriente y voltaje en tiempo real que son utilizadas para la implementación de los controladores; éstas son manipuladas mediante la tarjeta *DSP TMS320F28335*. El controlador implementado genera por medio de las leyes de control las señales de modulación para los convertidores, de tal manera que es necesario el diseño de una interfaz que gestione la secuencia de conmutación y además aisle la parte digital y de potencia del sistema.

El diseño consistió en dos partes principales denominadas como: circuito buffer y circuito de fibra óptica. El objetivo del circuito buffer es asegurar que no se demande una corriente excesiva a la tarjeta *DSP TMS320F28335*, a razón de evitar daños en la tarjeta. Se utilizó el circuito integrado *74LS541*, debido a sus múltiples puertos de entrada y a su capacidad de reforzar la corriente en la parte digital cuando ésta se opera en conjunto con la etapa de potencia. Internamente el integrado puede activar o desactivar las salidas mediante una compuerta AND, las entradas de éste son de lógica negada, por lo tanto si una entrada o ambas están en 1 lógico, las salidas del buffer actúan como una alta impedancia, es decir no se obtiene salida. En la Figura 4.8 se muestra el diagrama esquemático del circuito impulsor.

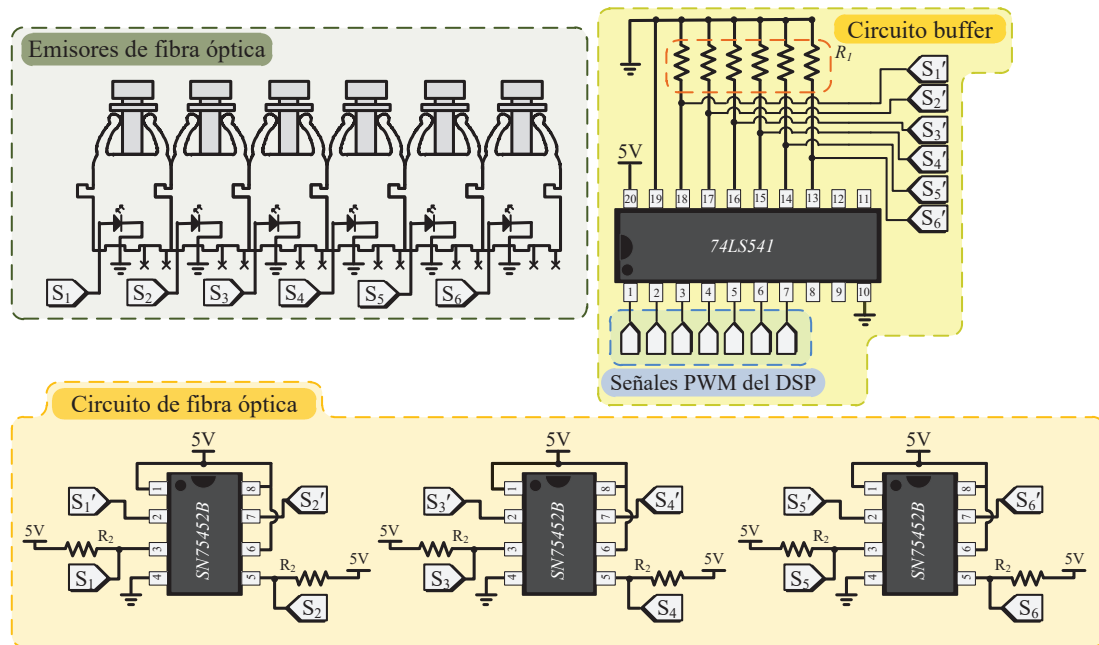


Figura 4.8. Diagrama esquemático del circuito impulsor.

El valor para R_1 y R_2 se utilizó de $10k\Omega$ y $1k\Omega$, respectivamente. Por otro lado, como medida de protección se propuso el uso de fibra óptica y un opto-driver para lograr un aislamiento de la parte digital de la de potencia. Se utilizaron emisores y receptores modelo *HFBR-1531Z* y *HFBR-2531Z*, respectivamente. El opto-driver *SN75452B*, permite el control hacia los emisores de fibra, este integrado, provee dos salidas en un mismo encapsulado; de manera que se utilizaron un total de tres opto-drivers para seis emisores de fibra óptica. En la Figura 4.9 se muestra la implementación física junto el diagrama *PCB* de la tarjeta impulsora.

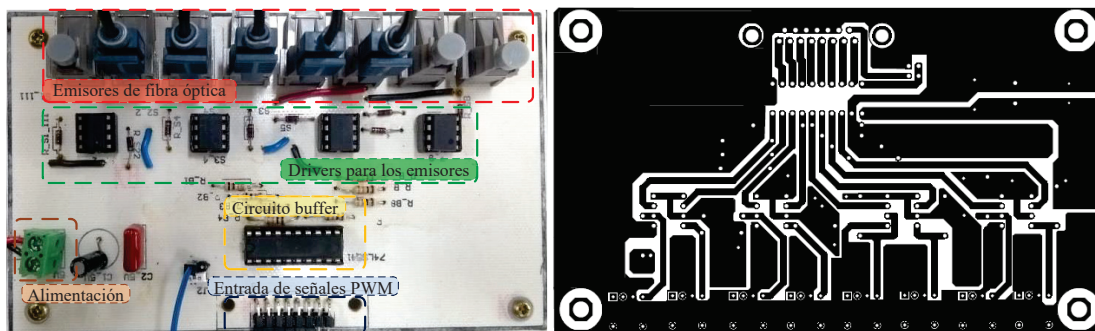


Figura 4.9. De izquierda a derecha, implementación física, diagrama de enrutado *PCB* del circuito impulsor.

4.3. Diseño e implementación del convertidor back to back

Como se describió en el Capítulo 3, el convertidor back to back, se compone de dos convertidores trifásicos acoplados mediante un capacitor. Estos convertidores pueden operar como rectificador controlado o inversor; el funcionamiento de éstos depende directamente del flujo de corriente en el sistema.

Objetivamente, el diseño del convertidor back to back consiste en diseñar dos convertidores trifásicos idénticos, priorizando el objetivo principal del trabajo de tesis, se implementó una parte del convertidor, quedando pendiente duplicar la segunda parte de éste. Por practicidad, se decidió que el diseño se dividiera en tres convertidores monofásicos; de esta manera las conexiones para operar el convertidor como inversor o rectificador se efectuara de manera externa.

El dispositivo semiconductor utilizado fue un IGBTs, modelo: *IRFP60LC*; se optó por utilizar dicho dispositivo debido a su rapidez y al nivel de potencia que soporta. Para este diseño se contempló que los dispositivos semiconductores reposaran sobre un disipador, en función de evitar sobrecalentamiento en los dispositivos semiconductores.

La etapa digital para la gestión de las señales de conmutación se realizó mediante receptores de fibra óptica *HFBR-2531Z* y un acondicionamiento de las señales de conmutación, provenientes del circuito impulsor. Este acondicionamiento se realizó con una fuente aislada *Murata MGJ2D051505SC* y un opto-driver *ACPL-3130*, con el objetivo de conmutar correctamente los dispositivos semiconductores.

4.3. DISEÑO E IMPLEMENTACIÓN DEL CONVERTIDOR BACK TO BACK

Finalmente se utilizó un diodo rápido por disparo D_1 , D_2 modelo $ES3J$, para protección de la etapa digital.

El diagrama esquemático para una fase del convertidor se muestra en la Figura 4.10. Para completar el convertidor trifásico se replica este diseño dos veces. Esta parte del convertidor es operada como un inversor, debido a que se desea que el voltaje de salida siga referencias de voltaje con los principales armónicos de red presentes en sistemas eólicos.

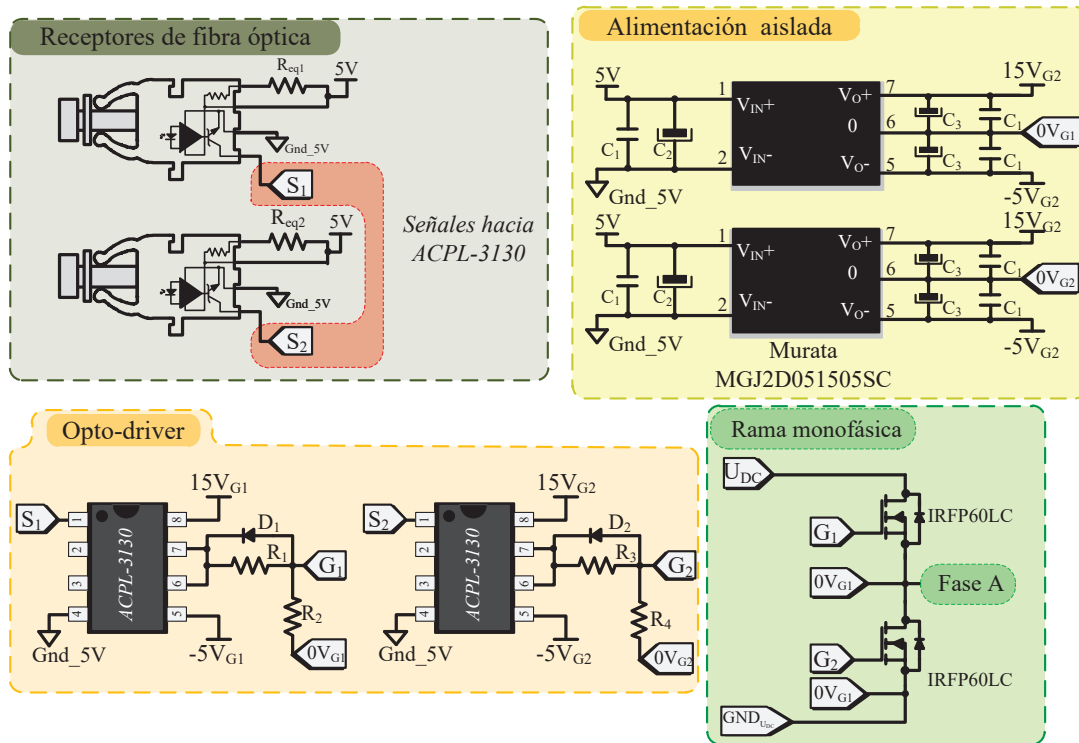


Figura 4.10. Diagrama esquemático del convertidor.

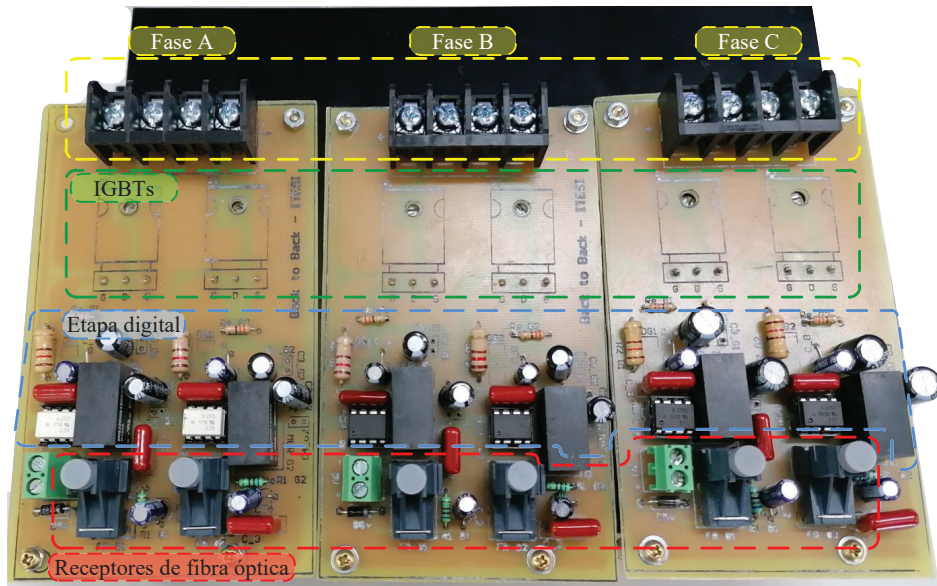
Finalmente, en la Tabla 4.5 se muestran los componentes utilizados para la implementación del inversor.

Tabla 4.5. Parámetros del convertidor.

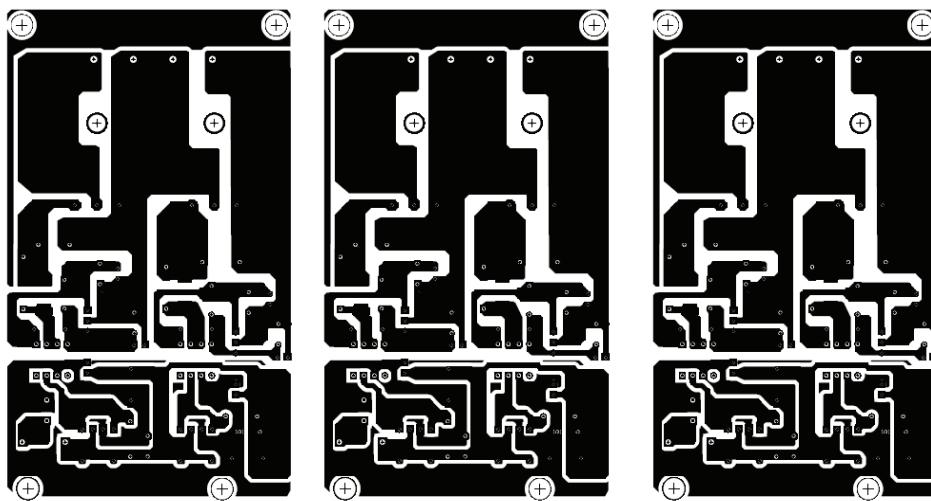
Elemento	Valor
$R_{eq1} = R_{eq2}$	680Ω
$R_1 = R_3$	120Ω
$R_2 = R_4$	330Ω
R_3	$12k\Omega$
R_4	$15k\Omega$
C_1	$0.1\mu F$
C_2	$22\mu F$
C_3	$220\mu F$

4.3. DISEÑO E IMPLEMENTACIÓN DEL CONVERTIDOR BACK TO BACK

La implementación física y el diagrama *PCB* del inversor trifásico se muestra en la Figura 4.11 a) y b), respectivamente.



a)



b)

Figura 4.11. Convertidor back to back a) Implementación física, b) Diagrama de enrutado *PCB*.

5. CONCLUSIONES

En este trabajo se presentó el análisis y diseño de un convertidor back to back capaz de emular los principales armónicos de bajo orden encontrados en la red eléctrica. El análisis y diseño del emulador de armónicos se basó en un convertidor trifásico back to back, obteniendo resultados de simulación con una máquina de inducción doblemente alimentada como carga. El objetivo de diseñar un emulador de armónicos es integrar dicho sistema a un sistema de generación eólica basado en un generador de inducción doblemente alimentado.

El análisis del convertidor y sus respectivas leyes de control se dividieron en dos secciones principales, el convertidor de lado de la red *GSC*, y el convertidor de lado del generador *MSC*. El análisis de ambas secciones permitió plantear el diseño de tres objetivos de control, por parte del *GSC* se estableció la regulación del bus de *DC* y la compensación de potencia reactiva del convertidor back to back. Por otro lado el *MSC* se centró en emular voltajes trifásicos contaminado con los principales armónicos de red, definiendo amplitud y orden de los armónicos.

Para acoplar correctamente el convertidor back to back a la red eléctrica y a la máquina se analizaron y diseñaron filtros *L* y *LC*, respectivamente. Finalmente, en función de sincronizar el emulador de armónicos con la red eléctrica se utilizó un algoritmo de seguimiento de fase *PLL*.

Se realizaron únicamente pruebas de simulación, éstas se dividieron en tres secciones, primeramente se evaluó individualmente al *GSC* y al *MSC*, finalmente se realizaron pruebas al sistema completo. Para cada prueba realizada se mostró un comportamiento satisfactorio, cumpliendo correctamente cada objetivo de control.

La validación experimental de este proyecto no se logró realizar, sin embargo se logró implementar un inversor trifásico diseñado para soportar potencias superiores a 350 W. Además, como parte del sistema de sensado, se implementaron tarjetas para sensar magnitudes de voltaje y corriente, destinadas para la adquisición de datos con la tarjeta *DSP*.

Trabajo futuro y recomendaciones

Para la continuidad de este trabajo se recomienda considerar los siguientes puntos:

- Primeramente como medida de seguridad, se recomienda conseguir e instalar una caja de protección para el convertidor, esto en función de evitar cualquier accidente mayor al momento de realizar pruebas experimentales.
- En este trabajo los objetivos de control se probaron de forma individual, esto con el objetivo de asegurarse que el respectivo análisis y consideraciones vistas en este trabajo fueran correctas. Se recomienda seguir esa metodología de pruebas.
- En la Figura 3.29, del capítulo tres se mostró un diagrama del emulador de armónicos, en donde se mostró la implementación en un entorno de simulación. Para la implementación experimental, se recomienda utilizar interruptores de estado sólido ya que estos pueden ser controlados mediante un microcontrolador, un arduino o una tarjeta DSP. Para la precarga del capacitor, se propone utilizar el sistema mostrado en la Figura 5.1.

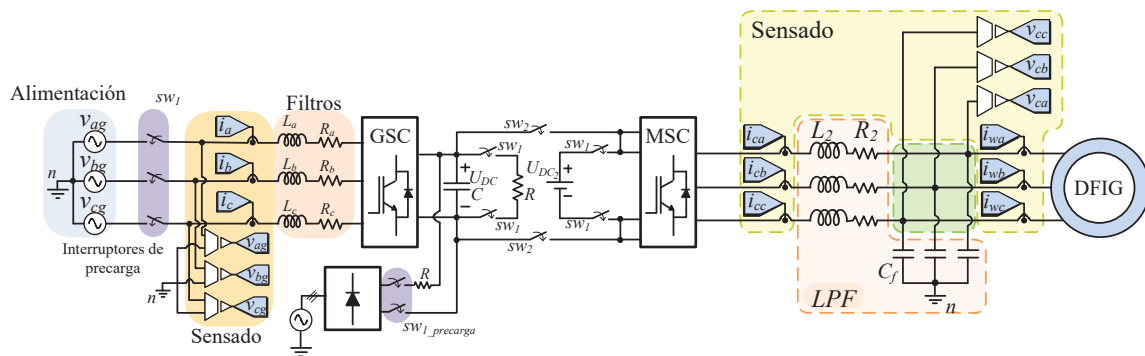


Figura 5.1. Diagrama propuesto para realizar la precarga al capacitor.

De manera general, la precarga del capacitor se puede realizar mediante un rectificador no controlado conectado directamente a la red eléctrica. Este método utiliza una resistencia que se conecta a la terminal positiva del capacitor para limitar el flujo de corriente y permitir una carga más lenta.

- Para las pruebas experimentales del convertidor de lado de la máquina se recomienda que primeramente se realicen pruebas con una carga resistiva, posteriormente conectar la máquina.

Bibliografía

- [1] "REN21. 2020. Renewables Global Futures Report (Paris: REN21)," *Renew. Energy Policy Netw. 21st Century*, 2020
- [2] "Prospectiva de energías renovables 2018-2032", Secretaría de Energía (SENER), México, 2018.
- [3] Remus Teodorescu, Marco Liserre, Pedro Rodriguez, "Grid Converter Structures for Wind Turbine Systems", in *Grid Converters for Photovoltaic and Wind Power Systems*, IEEE, 2007, pp.123-143, doi: 10.1002/9780470667057.
- [4] K.R. Rao, "Wind Energy for Power Generation", in *Wind Energy: Technical Considerations - Contents*, Springer International Publishing, 2019, pp. 16-56, doi: 10.1007/978-3-319-75134-4.
- [5] Y. Fan, M. Goyal, A. Ghosh and F. Shahnia, "Integration of Wind Energy Conversion System with microgrid and utility", 2014 Australasian Universities Power Engineering Conference (AUPEC), Perth, WA, 2014, pp. 1-6, doi: 10.1109/AUPEC.2014.6966503.
- [6] E. Muljadi, M. Singh and V. Gevorgian, "Fixed-speed and variable-slip wind turbines providing spinning reserves to the grid", 2013 IEEE Power & Energy Society General Meeting, Vancouver, BC, 2013, pp. 1-5, doi: 10.1109/PESMG.2013.6672228.
- [7] Venkata Yaramasu, Bin Wu, "Model Predictive Control of Wind Energy Conversion Systems", in *Review of Generator-Converter Configurations for WECS*, Wiley-IEEE Press, 2016, pp. 26-35.
- [8] G. Calderón, J. Mina, J.H. Calleja, A. López, "Modelado y simulación de un Sistema de Conversión de Energía Eólica de velocidad variable interconectado a la red eléctrica", in *XVI CONGRESO LATINOAMERICANO DE CONTROL AUTOMÁTICO*, CLCA 14, pp. 1012-1017, September 2014.
- [9] A. R. López Núñez, "Estrategias para la Compensación de Perturbaciones Armónicas en Sistemas de Generación Eoloeléctricas Interconectados a la Red", tesis doctoral, Departamento de Ingeniería Electrónica, CENIDET, Cuernavaca, Morelos, 2017.
- [10] G. Calderón Zavala, "Análisis de un Sistema de Generación Eoloeléctrico Interconectado a la Red Ante Huecos de Tensión Utilizando Diferentes Marcos de Referencia", Tesis doctoral, , Departamento de Ingeniería Electrónica, CENIDET, Cuernavaca, Morelos, 2017.
- [11] J. T. J. Binoj and R. Rajasekaran, "DFIG based wind energy conversion system for seamless operation during grid faults," 2015 International Conference on Innovations

-
- in Information, Embedded and Communication Systems (ICIIECS), Coimbatore, 2015, pp. 1-10, doi: 10.1109/ICIIECS.2015.7192997.
- [12] A. Rolán Blanco, "Estudio del Efecto de los Huecos de Tensión en el Generador de Inducción Doblemente Alimentado", Departamento de Ingeniería Eléctrica, Universidad Politécnica de Cataluña, Barcelona, España.
- [13] R. Cardenas, R. Pena, S. Alepuz and G. Asher, "Overview of Control Systems for the Operation of DFIGs in Wind Energy Applications, in IEEE Transactions on Industrial Electronics, vol. 60, no. 7, pp. 2776-2798, July 2013, doi: 10.1109/TIE.2013.2243372.
- [14] Z. Xu, R. Li, H. Zhu, D. Xu and C. H. Zhang, "Control of Parallel Multiple Converters for Direct-Drive Permanent-Magnet Wind Power Generation Systems, in IEEE Transactions on Power Electronics, vol. 27, no. 3, pp. 1259-1270, March 2012, doi: 10.1109/TPEL.2011.2165224.
- [15] J. Rodriguez, S. Bernet, P. K. Steimer and I. E. Lizama, "A Survey on Neutral-Point-Clamped Inverters, in IEEE Transactions on Industrial Electronics, vol. 57, no. 7, pp. 2219-2230, July 2010, doi: 10.1109/TIE.2009.2032430.
- [16] B. Wu, J. Pontt, J. Rodriguez, S. Bernet and S. Kouro, "Current-Source Converter and Cycloconverter Topologies for Industrial Medium-Voltage Drives, in IEEE Transactions on Industrial Electronics, vol. 55, no. 7, pp. 2786-2797, July 2008, doi: 10.1109/TIE.2008.924175.
- [17] J. M. Sosa, P. R. Martínez-Rodríguez, C. A. Limones-Pozos, G. Vázquez, G. Escobar and C. A. Gómez-Saavedra, "Experimental Validation of a Buck Converter in Discontinuous Conduction Mode with Power Factor Correction," 2018 IEEE International Autumn Meeting on Power, Electronics and Computing (ROPEC), Ixtapa, Mexico, 2018, pp. 1-6, doi: 10.1109/ROPEC.2018.8661383.
- [18] "IEEE Recommended Practice and Requirements for Harmonic Control in Electric Power Systems, in IEEE Std 519-2014 (Revision of IEEE Std 519-1992) , vol., no., pp.1-29, 11 June 2014, doi: 10.1109/IEEESTD.2014.6826459.
- [19] Calidad de la Energía: Características y Límites de las Perturbaciones de los Parámetros de la Energía Eléctrica, 2009, México
- [20] A. Larsson, O. Carlson, G. Sidén, "Electrical Generating Systems in Wind Turbine Applications". Stockholm Power Tech, Stockholm, Sweden, 18-22 June 1995, Proceedings, Vol. Electrical Machines and Drives, p. 205 - 210.
- [21] M. T. Abolhassani, P. Enjeti and H. A. Toliyat, "Integrated doubly-fed electric alternator/active filter (IDEA), a viable power quality solution, for wind energy conversion systems, Conference Record of the 2004 IEEE Industry Applications Conference, 2004. 39th IAS Annual Meeting., Seattle, WA, USA, 2004, pp. 2036-2043 vol.3, doi: 10.1109/IAS.2004.1348747
- [22] C. Liu, F. Blaabjerg, W. Chen and D. Xu, "Stator Current Harmonic Control With Resonant Controller for Doubly Fed Induction Generator, in IEEE Transactions on Power Electronics, vol. 27, no. 7, pp. 3207-3220, July 2012, doi: 10.1109/TPEL.2011.2179561.
-

- [23] A. Larsson, "Power Quality of Wind Turbine Generating Systems and their Interaction with the Grid", Technical Report No. 4R, Department of Electric Power Engineering, Chalmers University of Technology, Göteborg, Sweden, 1997.
- [24] S. K. Khadem, M. Basu and M. F. Conlon, "Power Quality in Grid Connected Renewable Energy Systems: Role of Custom Power Devices", in International Conference on Renewable Energies and Power Quality, Granada, España, 2010.
- [25] M. R. I. Sheikh, F. Eva, M. A. Motin and M. A. Hossain, "Wind generator output power smoothing and terminal voltage regulation by using STATCOM/SMES," 2nd International Conference on the Developments in Renewable Energy Technology (ICDRET 2012), Dhaka, 2012, pp. 1-5.
- [26] T. Aboul-Seoud and A. M. Sharaf, "A novel dynamic voltage regulator compensation scheme for a standalone village electricity wind energy conversion system," 2009 Canadian Conference on Electrical and Computer Engineering, St. John's, NL, 2009, pp. 117-121, doi: 10.1109/CCECE.2009.5090103.
- [27] G. Calderón, J. H. Mina, J. H. Calleja, A. López, "Modelado y simulación de un Sistema de Conversión de Energía Eólica de velocidad variable interconectado a la red eléctrica", Memorias del XVI Congreso Latinoamericano de Control Automático, CLCA, 2014, Cancún, Quintana Roo, México.
- [28] A. R. Lopez-Nuñez, G. Vázquez, J. M. Sosa, M. Juárez, C. A. Correa, "Current Harmonics Mitigation in a Wind Energy Conversion System Through the Selection of the PI Control Parameters in the Rotor Side Converter", 2018 14th International Conference on Power Electronics (CIEP), 2018, Puebla, México.
- [29] A. R. Lopez-Nuñez, J. D. Mina, J. Aguayo and G. Calderón, "Proportional Integral Resonant controller for current harmonics mitigation in a wind energy conversion system," 2016 13th International Conference on Power Electronics (CIEP), Guanajuato, 2016, pp. 232-237, doi: 10.1109/CIEP.2016.7530762.
- [30] C. Gutiérrez Torres, R. d. J. Romero Troncoso, R. A. Osorio Rios, L. Morales Velázquez y D. Granados Lieberman, "Diseño de sistema reconfigurable para la síntesis de perturbaciones eléctricas basado en un FPGA", pistas educativas, no. 108, pp. 594 - 614, 2014.
- [31] C. B. Khadse, M. A. Chaudhari and V. B. Borghate, "A laboratory set-up for power quality disturbance generator and real time power quality monitoring", 2016 IEEE International WIE Conference on Electrical and Computer Engineering (WIECON-ECE), Pune, 2016, pp. 61-64, doi: 10.1109/WIECON-ECE.2016.8009088.
- [32] Takahashi, R. "A prototype implementation of a voltage sag generator". Induscon. VIII International Conference of Industrial Applications. Federal University of Itajubá - Power Electronics and Applications Research Group (GPEPA). Brazil, 2008.
- [33] A. García, C. León, I. Monedero, J. Roperó, "A Precise Electrical Disturbance Generator for Neutral Network Training with Real Level Output", Progress in Pattern Recognition, Image Analysis and Applications, 12th Iberoamerican Congress on Pattern Recognition, CIARP 2007, Valparaiso, Chile, 2007.

- [34] W. Jantee, S. Premrudeepreechacharn, K. Oranpiroj and W. Muangjai, "Voltage sag signal generator program for testing electrical equipment," 2014 International Electrical Engineering Congress (iEECON), Chonburi, 2014, pp. 1-4, doi: 10.1109/iEECON.2014.6925871.
- [35] W. Muangjai and S. Premrudeepreechacharn, "Implementation of a carrier-based three-dimensional space vector PWM technique for three-phase four-leg voltage source converter with microcontroller," 2009 4th IEEE Conference on Industrial Electronics and Applications, Xi'an, 2009, pp. 837-841, doi: 10.1109/ICIEA.2009.5138320.
- [36] E. R. Q. Chaves, V. O. Roda and R. L. A. Ribeiro, "Power converters based electrical disturbance generator using repetitive control," 2015 IEEE 13th Brazilian Power Electronics Conference and 1st Southern Power Electronics Conference (COBEP/SPEC), Fortaleza, 2015, pp. 1-4, doi: 10.1109/COBEP.2015.7420042.
- [37] G. Calderon Zavala, A. R. López Nuñez y J. D. Mina Antonio, "Modelado y Control de un Generador de SAGs Basado en un Convertidor Back to Back", *pistas educativas*, no. 112, pp. 61-80, 2015.
- [38] Jing, Xin, "Modeling and Control of a Doubly-Fed Induction Generator for Wind Turbine-Generator Systems", *Master's Theses*, 2009, Paper 167.
- [39] L. Malesani, L. Rossetto, P. Tenti and P. Tomasin, "AC/DC/AC PWM converter with reduced energy storage in the DC link," in *IEEE Transactions on Industry Applications*, vol. 31, no. 2, pp. 287-292, March-April 1995.
- [40] O. Hernández, "Emulador de Turbina Eólica Basado en una Máquina Eléctrica" *Tesis de maestría*, Departamento de Ingeniería Electrónica, CENIDET, Cuernavaca, Morelos, 2016.
- [41] T. Ackermann, *Wind Power in Power Systems*, 2nd editio. Stockholm, Sweden: John Wiley and Sons, 2005.
- [42] A. Carlsson, "The Back-to-back converter control and design," *Lund Institute of Technology*, 1998.
- [43] Gonzalo Abad; Jesús López; Miguel Rodríguez; Luis Marroyo; Grzegorz Iwanski, "Back-to-Back Power Electronic Converter, in *Doubly Fed Induction Machine: Modeling and Control for Wind Energy Generation Applications* , IEEE, 2011, pp.87-154
- [44] Texas Instrument, *Voltage Source Inverter Design Guide*, 2015.
- [45] J. M. Sosa, G. Escobar, P. R. Martínez-Rodríguez, G. Vázquez, M. A. Juárez and M. Diosdado, "Comparative Evaluation of L and LCL Filters in Transformerless Grid Tied Converters for Active Power Injection," 2014 IEEE International Autumn Meeting on Power, Electronics and Computing (ROPEC), Ixtapa, 2014, pp. 1-6.
- [46] P. Mishra and R. Maheshwari, "LC Filter Design Method for Pulse Width Modulated Inverter Fed Induction Motor Drive," 2017 IEEE Transportation Electrification Conference (ITEC-India), Pune, 2017, pp. 1-6.

- [47] W. Zahoor and S. H. Zaidi, "Synchronization and dq current control of grid-connected voltage source inverter," 17th IEEE International Multi Topic Conference 2014, Karachi, 2014, pp. 462-466.
- [48] T. Rahman, M. K. Hasan, M. M Ahmed, Z. Hossain, "Design and Simulation of a Zero Crossing VSC Based Phase Synchronous Inverter for Microgrid System", Journal of Telecommunication, 2018, Vol. 9, No 3-10.
- [49] Se-Kyo Chung, "A phase tracking system for three phase utility interface inverters," in IEEE Transactions on Power Electronics, vol. 15, no. 3, pp. 431-438, May 2000
- [50] N. R. N. Ama, F. O. Martinz, L. Matakas and F. Kassab, "Phase-Locked Loop Based on Selective Harmonics Elimination for Utility Applications," in IEEE Transactions on Power Electronics, vol. 28, no. 1, pp. 144-153, Jan. 2013, doi: 10.1109/TPEL.2012.2195506.
- [51] Guan-Chyun Hsieh and J. C. Hung, "Phase-locked loop techniques. A survey," in IEEE Transactions on Industrial Electronics, vol. 43, no. 6, pp. 609-615, Dec. 1996.
- [52] S. Chatterjee and S. Chatterjee, "Simulation of synchronous reference frame PLL based grid connected inverter for photovoltaic application", 2015 1st Conference on Power, Dielectric and Energy Management at NERIST (ICPDEN), Itanagar, 2015, pp. 1-6.
- [53] K. Ogata, "Ingeniería de control moderna", Madrid, España, 5 Ed, Pearson Educación, 2010.
- [54] N. Rosendo Fuentes, "Sistema Para la Interconexión de un Generador Eoloeléctrico con la Red Eléctrica, Implementado en una Plataforma Digital", tesis de maestría, Departamento de Ingeniería Electrónica, CENIDET, Cuernavaca, Morelos, 2015.
- [55] H. Karimi, Y. Seyedi and M. Karimi-Ghartemani, "A Robust and Simple Phase-Locked Loop for Unbalanced Power Grid Applications," 2019 IEEE 28th International Symposium on Industrial Electronics (ISIE), Vancouver, BC, Canada, 2019, pp. 29-34.
- [56] A. Safayet, I. Husain, A. Elrayyah and Y. Sozer, "Grid harmonics and voltage unbalance effect elimination for three-phase PLL grid synchronization algorithm," 2013 IEEE Energy Conversion Congress and Exposition, Denver, CO, 2013, pp. 3299-3304.
- [57] Bong-Hwan Kwon, Jang-Hyoun Youm and Jee-Woo Lim, "A line-voltage-sensorless synchronous rectifier," in IEEE Transactions on Power Electronics, vol. 14, no. 5, pp. 966-972, Sept. 1999.
- [58] D. G. Zill, M. R. Cullen, "Ecuaciones Diferenciales", México, D.F., 7 Ed, CENGAGE Learning, 2009.
- [59] R. Pena, J. C. Clare and G. M. Asher, "Doubly fed induction generator using back-to-back PWM converters and its application to variable-speed wind-energy generation," in IEE Proceedings - Electric Power Applications, vol. 143, no. 3, pp. 231-241, May 1996.

- [60] H. Akagi, E. Hirokazu Watanabe, M. Aredes, "Instantaneous Power Theory and Applications to Power Conditioning", 2 Ed, 2017.
- [61] A. Sangwongwanich, A. Abdelhakim, Y. Yang, K. Zhou, "Control of Power Electronic Converters and Systems", Academic Press, 2018, pp. 153-173.
- [62] J. Rodriguez and G. Kastner, "Fast measurement of active and reactive power in three-phase systems, in IEE Proceedings A - Physical Science, Measurement and Instrumentation, Management and Education - Reviews, vol. 134, no. 4, pp. 335-338, April 1987.
- [63] N. Mohan, T. M. Undeland, W. P. Robbins, "Electrónica de Potencia, Convertidores, Aplicaciones y Diseño", Ed. 3, Mc Graw Hill, 2009.
- [64] J. K. Steinke, "Use of an LC filter to achieve a motor-friendly performance of the PWM voltage source inverter, in IEEE Transactions on Energy Conversion, vol. 14, no. 3, pp. 649-654, Sept. 1999.
- [65] P. Mishra and R. Maheshwari, "LC filter design method for pulse width modulated inverter Fed induction motor drive," 2017 IEEE Transportation Electrification Conference (ITEC-India), Pune, 2017, pp. 1-6.
- [66] C. Choochuan, "A survey of output filter topologies to minimize the impact of PWM inverter waveforms on three-phase AC induction motors," 2005 International Power Engineering Conference, Singapore, 2005, pp. 1-544, doi: 10.1109/IPEC.2005.206967.
- [67] J. K. Steinke, "Use of an LC filter to achieve a motor-friendly performance of the PWM voltage source inverter, in IEEE Transactions on Energy Conversion, vol. 14, no. 3, pp. 649-654, Sept. 1999.
- [68] Chen Xiyu, Yan Bin and Gao Yu, "The engineering design and optimisation of inverter output RILC filter in AC motor drive system, IEEE 2002 28th Annual Conference of the Industrial Electronics Society. IECON 02, Sevilla, 2002, pp. 175-180 vol.1, doi: 10.1109/IECON.2002.1187502.
- [69] P. Mishra and R. Maheshwari, "Design, Analysis, and Impacts of Sinusoidal LC Filter on Pulsewidth Modulated Inverter Fed-Induction Motor Drive, in IEEE Transactions on Industrial Electronics, vol. 67, no. 4, pp. 2678-2688, April 2020, doi: 10.1109/TIE.2019.2913824