

# Centro Nacional de Investigación y Desarrollo Tecnológico

Subdirección Académica

Departamento de Ingeniería Electrónica

## TESIS DE MAESTRÍA EN CIENCIAS

**Eliminación de Armónicos en un Inversor Multinivel en Cascada  
Asimétrico con Fuentes Desiguales**

presentada por

**Ing. Angel Figueroa Delgado**

como requisito para la obtención del grado de  
**Maestro en Ciencias en Ingeniería Electrónica**

Director de tesis  
**Dr. Jorge Hugo Calleja Gjumlich**

Cuernavaca, Mor., 26/Junio/2015

OFICIO No. DIE/101/2015

Asunto: Aceptación de documento de tesis

**DR. GERARDO V. GUERRERO RAMÍREZ**  
SUBDIRECTOR ACADÉMICO  
PRESENTE

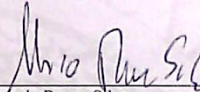
Por este conducto, los integrantes de Comité Tutorial del C. **Angel Figueroa Delgado**, con número de control M13CE006, de la Maestría en Ciencias en Ingeniería Electrónica, le informamos que hemos revisado el trabajo de tesis profesional titulado "ELIMINACIÓN DE ARMÓNICOS EN UN INVERSOR MULTINIVEL EN CASCADA ASIMÉTRICO CON FUENTES DESIGUALES", y hemos encontrado que se han realizado todas las correcciones y observaciones que se le indicaron, por lo que hemos acordado aceptar el documento de tesis y le solicitamos la autorización de impresión definitiva.

DIRECTOR DE TESIS



Dr. Jorge Hugo Calleja Gjumlich  
Doctor en Ciencias en Ingeniería Electrónica  
Cédula Profesional 4033213

REVISOR 1



Dr. Mario Ponce Silva  
Doctor en Ciencias en Ingeniería Electrónica  
Cédula Profesional 3516427

REVISOR 2



Dr. Jesús Darío Mina Antón  
Doctor en Ingeniería  
Cédula Profesional 6094069

REVISOR 3

C. p. L.I. Guadalupe Garrido Rivera - Jefa del Departamento de Servicios Escolares.  
Estudiante  
Expediente

CMAZ/rr

"2015, Año del Generalísimo José María Morelos y Pavón"

Cuernavaca, Mor., 26 de junio de 2015  
OFICIO No. SAC/164/2015

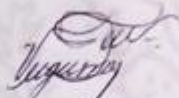
**Asunto:** Autorización de impresión de tesis

**ING. ANGEL FIGUEROA DELGADO  
CANDIDATO AL GRADO DE MAESTRO EN CIENCIAS  
EN INGENIERÍA ELECTRÓNICA  
PRESENTE**

Por este conducto, tengo el agrado de comunicarle que el Comité Tutorial asignado a su trabajo de tesis titulado "**Eliminación de armónicos en un inversor multinivel en cascada asimétrico con fuentes desiguales**", ha informado a esta Subdirección Académica, que están de acuerdo con el trabajo presentado. Por lo anterior, se le autoriza a que proceda con la impresión definitiva de su trabajo de tesis.

Esperando que el logro del mismo sea acorde con sus aspiraciones profesionales, reciba un cordial saludo.

**ATENTAMENTE**  
"CONOCIMIENTO Y TECNOLOGÍA AL SERVICIO DE MÉXICO"



**DR. GERARDO VICENTE GUERRERO RAMÍREZ  
SUBDIRECTOR ACADÉMICO**



Cp. Lic. Guadalupe Garrido Rivera.- Jefa del Departamento de Servicios Escolares.  
Expediente

GVGR/mcr

# *DEDICATORIA*

## **A Dios**

Con toda la humildad de mi corazón, dedico mi trabajo a Dios, por permitirme venir a este mundo, brindarme su protección, alejarme del mal camino, mantener viva mi fe, bendecir a todos mis seres queridos y darme fortaleza para continuar cuando he estado a punto de caer.

## **A mi madre**

Dedico esta tesis a mi madre, María Félix, por ser mi apoyo en cada decisión que tomaba, por acompañarme en cada paso que doy, por mostrarme el amor de una familia, por formarme con buenos sentimientos, hábitos y valores, lo cual me ha ayudado a salir adelante en los momentos difíciles.

## **A mi padre**

Al hombre que me dio la vida por sus enseñanzas y consejos, el cual a pesar de haberlo perdido a muy temprana edad, ha estado siempre cuidándome y guiándome desde el cielo.

## **A mi hermano**

Por estar junto a mí, por brindarme su apoyo en momentos difíciles y ayudarme cuando siempre lo necesite.

## **A mi familia**

Tíos, tías, primos, primas y sobrinos que no menciono pero que saben que los llevo en mi corazón, le agradezco por cada consejo, por su apoyo incondicional que me han brindado en todo momento.

## **A mi novia**

De igual forma, dedico este trabajo a mi novia y amiga, Karen Paola, por apoyarme y acompañarme en mi carrera, por compartir buenos y malos momentos, por ayudarme, aconsejarme, por permitirme crecer y aprender a tu lado, siempre serás para mí alguien especial en la vida, te quiero mi amor.

# *AGRADECIMIENTOS*

Agradezco a mis asesores el Dr. Jorge Hugo Calleja Gjumlich y el Dr. Jesús Aguayo Alquicira quienes siempre me motivaron y apoyaron para desarrollar el trabajo de investigación.

A mis revisores el Dr. Mario Ponce Silva y el Dr. Jesús Darío Mina Antonio que me dieron sus valiosos consejos y opiniones para mejorar el trabajo de tesis.

A mis compañeros y amigos de generación: Omar Arellano Cruz (Thor), Julio Cesar Ayala Mendoza (Tulio), Rita Ávila Medina (Boje), Oscar Miguel Rodríguez Benítez (Riqui), Giovanni Velazco Toledo (Gio).

A mis “hermanos”: Rodolfo Vargas Méndez, Angélica Moreno Garibaldi, Angélica González Coronel y Nicolás Torres Cruz.

A mis amigos Juan Antonio Aquí (el Maestro), Josefa Gordillo, Alberto Méndez (el perchas), Jorge Rivas (el ponchis), Eduardo Vargas Zacarías (la copia), Jorge Edmundo Mastache, Genaro Ixmatlahua, Oscar Hernández y todos aquellos que convivieron conmigo durante la maestría.

A toda la comunidad del departamento de Electrónica, por la amistad, el apoyo y conocimientos que me brindaron durante mi estancia en el CENIDET.

A la Sra. Lorena Ruiz Ramírez por su gran apoyo para los trámites de titulación y a cada una de las personas que convivieron conmigo este gran proyecto.

Al Centro Nacional de Investigación y Desarrollo Tecnológico (CENIDET) por haberme dado la oportunidad de realizar mis estudios de posgrado.

Así como al Consejo Nacional de Ciencia y Tecnología (CONACyT).

## Resumen

Este trabajo de tesis presenta el estudio de un inversor multinivel en cascada asimétrico de 7 y 9 niveles, el cual es una alternativa de conversión de energía de CD-CA. La principal característica del inversor multinivel es la de sintetizar el voltaje de salida en escalones de tensión, de manera que los dispositivos semiconductores sólo manejan el valor de tensión de un escalón; esta característica hace que las topologías multinivel sean una excelente opción para la conversión de CD-CA.

El principal objetivo de estudiar el convertidor multinivel en cascada asimétrico, es mantener una THD reducida, bajo condiciones de disturbios en la tensión de entrada, utilizando las técnicas de modulación tradicionales para el comando de los interruptores.

Para el desarrollo de este trabajo se llevaron a cabo diversas simulaciones, las cuales permitieron observar y estudiar los efectos ocasionados a la onda de salida cuando se presentan desbalances en alguna de las fuentes de alimentación.

Las técnicas de modulación utilizadas en este trabajo son la PWM sinusoidal, PWM escalonada (SHE) y la Modulación híbrida, que son muy utilizadas en los inversores simétricos.

Se implementó la etapa de potencia del inversor multinivel en cascada asimétrico para comparar y validar los resultados de las simulaciones. La implementación se realizó en una plataforma de prueba existente en CENIDET. Para desarrollar la etapa de control del inversor se utilizó un FPGA, específicamente la tarjeta de desarrollo modelo Spartan-2E. Además, como lenguaje de programación se utilizó VHDL. El uso del FPGA permite obtener un sistema eficiente ya que, por un lado, ejecuta las tareas de manera paralela y, por otro, cuenta con la flexibilidad para generar múltiples líneas de control con definiciones precisas de la frecuencia y la amplitud.

Finalmente se muestra que resultados obtenidos en esta investigación están dentro de los niveles de desbalance de tensión permitidos y cubren con los valores de variación de THD sugeridos por las normas IEC 61000, IEE 519 y L0000-45.

## **Abstrac**

A study of a 7 and 9 level asymmetric multilevel cascade inverter is presented in this thesis, which is an alternative conversion of DC-AC energy. The main feature of the multilevel inverter is synthesize the output in steps voltage, such that the semiconductors just manage the voltage value of one step. This feature allows that multilevel topologies are an excellent choice to DC-AC conversion.

The main objective of studying the asymmetrical cascade multilevel inverter is to maintain a reduced THD under conditions of disturbances in the input voltage. Using traditional modulation techniques for command switches.

For the development of this work were carried out various simulations, which allowed observe and study the effects caused to the output waveforms when imbalances occur in any of the power supplies.

Modulation techniques used in this work are the sinusoidal PWM, Stepped PWM, and hybrid modulation, which are widely used in the symmetric inverters.

The power stage of the multilevel inverter was implemented in asymmetric cascade to compare and validate the results of simulations. The implementation was done on CENIDET's existing platform test. To develop inverter control stage was used an FPGA, a Card Spartan-2E development model, using VHDL as a language program. The use of the FPGA allows for an efficient system since, on the first hand, executes tasks in parallel and, secondly, has the flexibility to generate multiple control lines with precise definitions of frequency and amplitude.

Finally shows that results obtained in this study are within levels permitted voltage unbalance and achieve the different variations of THD values suggested by the IEC 61000, and IEEE 519 standards L0000-45.

---



---

**Contenido**

Índice de figuras .....	IV
Índice de tablas .....	VII
Simbología.....	VIII
Capítulo I: Introducción .....	1
1.1. Antecedentes .....	2
1.1.1. Tipos de Convertidores.....	2
1.1.1.1. Inversor Multinivel de Diodos de Enclavamiento (DCMLI) .....	3
1.1.1.2. Inversor Multinivel de Capacitores Flotados (FCMLI) .....	3
1.1.1.3. Inversor Multinivel en Cascada (CMLI).....	4
1.2. Planteamiento del Problema .....	7
1.3. Estado del Arte.....	8
1.4. Propuesta de Solución .....	10
1.5. Objetivos.....	10
1.5.1. Objetivo General .....	10
1.5.2. Objetivos Específicos .....	10
1.6. Justificación .....	10
1.7. Alcances y Limitaciones.....	11
1.8. Organización del Documento .....	11
Capítulo II: Inversor Multinivel en Cascada Asimétrico, ACMLI. ....	13
2.1 Estudio del Convertidor Multinivel en Cascada Asimétrico .....	14
2.1.1. Inversor Multinivel en Cascada Asimétrico de Potencia 2.....	17
2.1.2. Inversor Multinivel en Cascada Asimétrico de Potencia 3.....	19
2.2. Estudio de las Técnicas de Modulación Aplicadas al Convertidor Multinivel en Cascada Asimétrico .....	21
2.2.1. Estrategia de Modulación PWM Sinusoidal Basada en Portadoras .....	21
2.2.1.1. Aspectos Fundamentales de la Modulación SPWM.....	22
2.2.2. Estrategia de Modulación PWM Escalonada.....	23
2.2.3. Modulación Híbrida.....	25
2.3. Distorsión Armónica .....	27
2.3.1. Normas Regulatoras de Armónicos.....	28
2.3.1.1. IEEE 519.....	28
2.3.1.2. IEC 61000 .....	28



---

2.3.1.3. NRS 048-02.....	31
2.3.1.4. EN 50160 .....	31
2.3.1.5. L0000-45 .....	32
2.3.2. Distorsión Armónica Total .....	33
Capítulo III: Herramientas de Implementación FPGA .....	35
3.1. Introducción.....	36
3.2. Dispositivos FPGA.....	36
3.3. Lenguaje de Programación VHDL.....	37
3.4. Tarjeta Spartan-2E .....	38
3.5. Programación VHDL .....	39
3.6. Plataforma Experimental de Potencia .....	40
Capítulo IV: Resultados Experimentales y de Simulación .....	42
4.1. Descripción General.....	43
4.2. Resultados de Simulación.....	43
4.2.1. Simulación del Inversor Multinivel en Cascada Asimétrico de 7 Niveles. ....	44
4.2.1.1. Simulación del Inversor Multinivel en Cascada Asimétrico de 7 Niveles con Modulación PWM Escalonada. ....	45
4.2.1.2. Simulación del Inversor Multinivel en Cascada Asimétrico de 7 Niveles con Modulación PWM Sinusoidal PD. ....	46
4.2.2. Simulación del Inversor Multinivel en Cascada Asimétrico de 9 Niveles .....	49
4.2.2.1. Simulación del Inversor Multinivel en Cascada Asimétrico de 9 Niveles con Modulación PWM Escalonada. ....	50
4.2.2.2. Simulación del Inversor Multinivel en Cascada Asimétrico de 9 Niveles con Modulación PWM Sinusoidal PD. ....	51
4.2.2.3. Simulación del Inversor Multinivel en Cascada Asimétrico de 9 Niveles con Modulación Híbrida PD. ....	52
4.3. Resultados Experimentales.....	54
4.3.1. Inversor Multinivel en Cascada Asimétrico de 7 Niveles .....	54
4.3.1.1. Resultados Experimentales del Inversor Multinivel en Cascada Asimétrico de 7 Niveles con Modulación PWM Escalonada. ....	55
4.3.1.2. Resultados Experimentales del Inversor Multinivel en Cascada Asimétrico de 7 Niveles con Modulación PWM Sinusoidal PD.....	57
4.3.1.3. Resultados Experimentales del Inversor Multinivel en Cascada Asimétrico de 7 Niveles con Modulación Híbrida PD. ....	59
4.3.2. Inversor Multinivel en Cascada Asimétrico de 9 Niveles .....	61

---

4.3.2.1. Resultados Experimentales del Inversor Multinivel en Cascada Asimétrico de 9 Niveles con Modulación PWM Escalonada. ....	61
4.3.2.2. Resultados Experimentales del Inversor Multinivel en Cascada Asimétrico de 9 Niveles con Modulación PWM Sinusoidal PD.....	63
4.3.2.3. Resultados Experimentales del Inversor Multinivel en Cascada Asimétrico de 9 Niveles con Modulación Híbrida PD. ....	66
4.3.3. Discusión y Comparación de Resultados .....	68
Capítulo V: Conclusiones y Trabajos Futuros.....	83
5.1. Conclusiones.....	84
5.2. Trabajos Futuros .....	85
Referencias Bibliográficas .....	86
Anexos.....	90
Anexo A .....	90
Anexo B.....	97
Anexo C.....	100
Anexo D .....	106

## Índice de figuras

Figura 1.1. Clasificación de los inversores multinivel alimentados en tensión.....	2
Figura 1.2. Inversor multinivel de diodos enclavados de tres niveles. ....	3
Figura 1.3. Inversor multinivel de capacitores flotados de tres niveles. ....	4
Figura 1.4. Inversor Multinivel en Cascada Simétrico, SCMLI.....	6
Figura 1.5. Inversor Multinivel en Cascada Asimétrico, ACMLI. ....	7
Figura 1.6. Voltaje de salida del ACMLI.....	8
Figura 1.7. Voltaje de salida del ACMLI cuando existe un desbalance del 20% en la fuente de mayor tensión. ....	8
Figura 2.1. Inversor multinivel en cascada asimétrico: a) potencia 2, b) potencia 3.....	14
Figura 2.2. Voltaje de salida del ACMLI de 7 niveles. ....	15
Figura 2.3. Voltaje de salida del ACMLI de 9 niveles. ....	15
Figura 2.4. Configuración de un ACMLI de h puentes H, a) potencia 2 y b) potencia. ....	16
Figura 2.5. Estados de conducción para cada nivel del ACMLI de potencia 2, con dos celdas. ....	19
Figura 2.6. Estados de conducción para cada nivel del ACMLI de potencia 3.....	21
Figura 2.7. Onda de referencia y portadoras, a) PD, b) POD, c) APOD. ....	22
Figura 2.8. Ángulos de disparo en una señal con similitud de $\frac{1}{4}$ de onda, de 7 niveles. ....	24
Figura 2.9. Diagrama de bloques de la modulación híbrida.....	26
Figura 2.10. Comando del puente de menor tensión, a) PD, b) POD, c) PS.....	27
Figura 3.1. Arquitectura general de un FPGA.....	37
Figura 3.2. Tarjeta de Desarrollo Espartan-2E.....	39
Figura 3.3. Programación VHDL en Bloques. ....	39
Figura 3.4. Inversor multinivel asimétrico de baja potencia de siete y nueve niveles.....	40
Figura 4.1. Patrón de conmutación y forma de conexión.....	44
Figura 4.2. Señal de voltaje de salida de inversor de 7 niveles.....	44
Figura 4.3. Tensión de salida del ACMLI.....	45
Figura 4.4. Transformada rápida de Fourier del voltaje de salida.....	45
Figura 4.5. Tensión de salida del ACMLI.....	46
Figura 4.6. Transformada rápida de Fourier del voltaje de salida.....	47
Figura 4.7. Tensión de salida del ACMLI.....	47
Figura 4.8. Transformada rápida de Fourier del voltaje de salida.....	48
Figura 4.9. Patrón de conmutación y forma de conexión.....	49
Figura 4.10. Señal de voltaje de salida de inversor de 9 niveles.....	49
Figura 4.11. Tensión de salida del ACMLI.....	50
Figura 4.12. Transformada rápida de Fourier del voltaje de salida.....	51
Figura 4.13. Tensión de salida del ACMLI.....	51
Figura 4.14. Transformada rápida de Fourier del voltaje de salida.....	52
Figura 4.15. Tensión de salida del ACML.....	53
Figura 4.16. Transformada rápida de Fourier del voltaje de salida.....	53

---

Figura 4.17. Tensión de salida del ACMLI con carga resistiva.....	55
Figura 4.18. Transformada rápida de Fourier del voltaje de salida.....	55
Figura 4.19. Tensión de salida del ACMLI con carga RL.....	56
Figura 4.20. Transformada rápida de Fourier del voltaje de salida.....	56
Figura 4.21. Tensión de salida del ACMLI con carga resistiva.....	57
Figura 4.22. Transformada rápida de Fourier del voltaje de salida.....	58
Figura 4.23. Tensión de salida del ACMLI con carga RL.....	58
Figura 4.24. Transformada rápida de Fourier del voltaje de salida.....	59
Figura 4.25. Tensión de salida del ACMLI con carga resistiva.....	59
Figura 4.26. Transformada rápida de Fourier del voltaje de salida.....	60
Figura 4.27. Tensión de salida del ACMLI con carga RL.....	60
Figura 4.28. Transformada rápida de Fourier del voltaje de salida.....	61
Figura 4.29. Tensión de salida del ACMLI con carga resistiva.....	62
Figura 4.30. Transformada rápida de Fourier del voltaje de salida.....	62
Figura 4.31. Tensión de salida del ACMLI con carga RL.....	63
Figura 4.32. Transformada rápida de Fourier del voltaje de salida.....	63
Figura 4.33. Tensión de salida del ACMLI con carga resistiva.....	64
Figura 4.34. Transformada rápida de Fourier del voltaje de salida.....	64
Figura 4.35. Tensión de salida del ACMLI con carga RL.....	65
Figura 4.36. Transformada rápida de Fourier del voltaje de salida.....	65
Figura 4.37. Tensión de salida del ACMLI con carga resistiva.....	66
Figura 4.38. Transformada rápida de Fourier del voltaje de salida.....	66
Figura 4.39. Tensión de salida del ACMLI con carga RL.....	67
Figura 4.40. Transformada rápida de Fourier del voltaje de salida.....	67
Figura 4.41. THD vs Desbalance de tensión en la fuente de menor tensión.....	69
Figura 4.42. THD vs Desbalance de tensión en la fuente de mayor tensión.....	69
Figura 4.43. THD vs Desbalance de tensión en la fuente de menor tensión.....	70
Figura 4.44. THD vs Desbalance de tensión en la fuente de mayor tensión.....	71
Figura 4.45. THD vs Desbalance de tensión en la fuente de menor tensión.....	72
Figura 4.46. THD vs Desbalance de tensión en la fuente de mayor tensión.....	72
Figura 4.47. THD vs Desbalance de tensión en la fuente de menor tensión.....	73
Figura 4.48. THD vs Desbalance de tensión en la fuente de mayor tensión.....	74
Figura 4.49. THD vs Desbalance de tensión en la fuente de menor tensión.....	75
Figura 4.50. THD vs Desbalance de tensión en la fuente de mayor tensión.....	75
Figura 4.51. THD vs Desbalance de tensión en la fuente de menor tensión.....	76
Figura 4.52. THD vs Desbalance de tensión en la fuente de mayor tensión.....	77
Figura 4.53. Contenido armónico de la técnica PWM escalonada vs Normas, del inversor de 7 niveles.....	78
Figura 4.54. Contenido armónico de la técnica PWM sinusoidal vs Normas, del inversor de 7 niveles.....	78
Figura 4.55. Contenido armónico de la técnica de modulación híbrida vs Normas, del inversor de 7 niveles.....	79
Figura 4.56. Contenido armónico de la técnica PWM escalonada vs Normas, del inversor de 9 niveles.....	79

---

---

Figura 4.57. Contenido armónico de la técnica PWM sinusoidal vs Normas, del inversor de 9 niveles.....	80
Figura 4.58. Contenido armónico de la técnica de modulación híbrida vs Normas.....	80
Figura A. 1. Pulsos para generar la parte positiva de la tensión de salida. ....	90
Figura A. 2. Pulsos para generar la parte negativa de la tensión de salida. ....	91
Figura A. 3. Ondas SPWM de 9 niveles. ....	92
Figura A. 4. Diagrama lógico para generar los pulsos del ACMLI con la estrategia SPWM de 9 niveles.....	93
Figura A. 5. Ángulos de conmutación del inversor de 7 niveles.....	94
Figura A. 6. Ángulos de conmutación del inversor de 9 niveles.....	94
Figura A. 7. Estrategia de modulación híbrida de 7 niveles.....	95
Figura A. 8. Estrategia de modulación híbrida de 9 niveles.....	96
Figura C. 1. Ángulos de disparo en una señal con similitud de $\frac{1}{4}$ de onda, de 7 niveles. ....	100
Figura C. 2. Ángulos de disparo en una señal con similitud de $\frac{1}{4}$ de onda, de 9 niveles. ....	103
Figura D. 1. Tanque resonante paralelo. ....	106

**Índice de tablas**

Tabla 1.1. Ventajas y desventajas de los inversores DCMLI y FCMLI. ....	4
Tabla 1.2. Ventajas y desventajas del inversor multinivel en cascada. ....	5
Tabla 2.1. Relación entre la función de conmutación, voltaje de salida de un puente H y los estados de conmutación. ....	17
Tabla 2.2. Estados de conducción para el ACMLI de 7 niveles. ....	18
Tabla 2.3. Estados de conducción para el ACMLI de 9 niveles. ....	20
Tabla 2.4. Límites de distorsión armónica de voltaje en porcentaje del voltaje nominal de frecuencia fundamental. ....	28
Tabla 2.5. Niveles de compatibilidad para voltajes armónicos individuales en la red de baja tensión, IEC61000-2-2. ....	30
Tabla 2.6. Tabla de voltajes armónicos para sistemas de alimentación de baja y media tensión, EN 50160. ....	32
Tabla 2.7. Límites de distorsión armónica en voltaje en porcentaje del voltaje nominal. ....	32
Tabla 4.1. Resultados de la THD del inversor de 7 niveles, con carga resistiva. ....	68
Tabla 4.2. Resultados de la THD del inversor de 7 niveles en simulación y calculada analíticamente, con carga resistiva. ....	70
Tabla 4.3. Resultados de la THD del inversor de 7 niveles, con motor monofásico como carga. ....	71
Tabla 4.4. Resultados de la THD del inversor de 9 niveles, con carga resistiva. ....	73
Tabla 4.5. Resultados de la THD del inversor de 9 niveles en simulación y calculada analíticamente, con carga resistiva. ....	74
Tabla 4.6. Resultados de la THD del inversor de 9 niveles, con motor monofásico como carga. ....	76

### Simbología

<b>A</b>	Ampere.
<b>A<sub>p</sub></b>	Amplitud Máxima de la Onda Portadora.
<b>A<sub>m</sub></b>	Amplitud Máxima de la Onda Moduladora.
<b>APOD</b>	Disposición Alterna Opuesta de Fase.
<b>C</b>	Capacitancia.
<b>CA</b>	Corriente Alterna.
<b>CAD</b>	Diseño Asistido por Computadora.
<b>CD</b>	Corriente Directa.
<b>CENELEC</b>	Comité Europeo para la Estandarización Electrónica.
<b>CENIDET</b>	Centro Nacional de Investigación y Desarrollo Tecnológico.
<b>CFE</b>	Comisión Federal de Electricidad.
<b>CLB</b>	Bloque Lógico Configurable.
<b>CMLI</b>	Inversor Multinivel en Cascada.
<b>SCMLI</b>	Inversor Multinivel en Cascada Simétrico.
<b>ACMLI</b>	Inversor Multinivel en Cascada Asimétrico.
<b>HCMLI</b>	Inversor Multinivel en Cascada Híbrido.
<b>Cos <math>\phi</math></b>	Coseno del Ángulo $\phi$ .
<b>D</b>	Potencia de Distorsión Armónica.
<b>DCMLI</b>	Inversor Multinivel en Cascada con Diodos de Enclavamiento.
<b>DSEP</b>	Dispositivo Semiconductor de Potencia.
<b>DSP</b>	Procesador Digital de Señales.
<b>EMC</b>	Compatibilidad Electromagnética.
<b>EN</b>	Norma Europea.
<b>FCMLI</b>	Inversor Multinivel en Cascada con Condensadores Flotantes.
<b>FFT</b>	Transformada Rápida de Fourier.
<b>F<sub>i</sub></b>	Función de Conmutación.
<b>FPGA</b>	Arreglo Programable de Compuertas de Campo.
<b>H</b>	Puentes H.
<b>h</b>	Orden del Armónico.
<b>Hz</b>	Hertz.
<b>i</b>	Número del Puente H.
<b>I/O</b>	Entrada/Salida.
<b>IEC</b>	Comisión Electrotécnica Internacional.
<b>IEEE</b>	Instituto de Ingenieros Eléctricos y Electrónicos.
<b>IEEE 519-1992</b>	Norma o Estándar de la IEEE.
<b>I<sub>h</sub></b>	Corriente Armónica.
<b>I<sub>rms</sub></b>	Corriente Eficaz.
<b>kHz</b>	Kilo-Hertz.

<b>kV</b>	Kilo-Volts.
<b>kVAr</b>	Kilo Volt-Ampere Reactivo.
<b>LC</b>	Inductivo-Capacitivo.
<b>Led</b>	Diodo Emisor de Luz.
<b>m<sub>a</sub></b>	Índice de Modulación.
<b>MATLAB</b>	Software Matemático.
<b>m<sub>f</sub></b>	Índice de Frecuencia.
<b>MH</b>	Modulación Híbrida.
<b>mH</b>	mili-Henry.
<b>MHz</b>	Mega-Hertz.
<b>Mod</b>	Moduladora.
<b>ms</b>	Milisegundo.
<b>n</b>	Cantidad de Niveles que se Obtienen en la Onda de Salida.
<b>NRS</b>	Estándar de Calidad Suministro.
<b>P</b>	Potencia activa.
<b>PD</b>	Disposición de Fase.
<b>POD</b>	Disposición Opuesta de Fase.
<b>PS</b>	Desplazamiento de Fase.
<b>PSIM</b>	Software de Simulación para Circuitos Electrónicos.
<b>PSO</b>	Optimización de Enjambre de Partículas.
<b>PS-PWM</b>	Desplazamiento de Fase PWM.
<b>PWM</b>	Modulación por Ancho de Pulso.
<b>Q</b>	Factor de Calidad.
<b>Q</b>	Potencia Reactiva.
<b>R</b>	Resistencia o Carga Resistiva.
<b>RL</b>	Carga Resistiva-Inductiva o Motor monofásico.
<b>RTL</b>	Transferencia de Registros.
<b>S</b>	Potencia Aparente.
<b>SHE</b>	Eliminación Selectiva de Armónicos o PWM escalonado.
<b>S<sub>i1</sub></b>	Interruptor del Puente i Número 1.
<b>S<sub>i2</sub></b>	Interruptor del Puente i Número 2.
<b>S<sub>i3</sub></b>	Interruptor del Puente i Número 3.
<b>S<sub>i4</sub></b>	Interruptor del Puente i Número 4.
<b>SPARTA-2E</b>	Versión de la Tarjeta FPGA.
<b>SPWM</b>	PWM Sinusoidal.
<b>T1-T8</b>	Señal Triangular desde la 1 hasta la 8.
<b>THD</b>	Distorsión Armónica Total.
<b>THD</b> <i>Calculada</i>	Distorsión Armónica Total Calculada de forma analítica.
<b>THD</b> <i>MH_Experimental</i>	Distorsión Armónica Total Obtenida de Forma Experimental en la Técnica de Modulación Híbrida.
<b>THD</b> <i>Simulación con filtro</i>	Distorsión Armónica Total Obtenida en Simulación con Filtro.



<b>THD</b> PWM_Escalonada Experimental	Distorsión Armónica Total Obtenida de Forma Experimental en la Técnica de Modulación Híbrida.
<b>THD</b> SPWM_Experimental	Distorsión Armónica Total Obtenida de Forma Experimental en la Técnica de PWM Sinusoidal.
<b>THD</b> Simulación sin filtro	Distorsión Armónica Total Obtenida en Simulación sin Filtro.
$\mu\text{C}$	Micro-Controlador.
$\mu\text{F}$	Micro-Farad.
<b>Var</b>	Volt-Ampere Reactivo.
$V_{\text{CD}}$	Voltaje de Corriente Directa.
$V_{\text{CDi}}$	Representa el Voltaje de Entrada del Último Puente H.
<b>VFISPWM</b>	Estrategia PWM de Sinusoide Invertida de Frecuencia Variable.
$V_{\text{h}}$	Amplitud de Voltaje del Armónico.
<b>VHDL</b>	Lenguaje de Descripción de Hardware.
$V_{\text{Hi}}$	Representa el Voltaje de Salida del Último Puente H.
$V_{\text{n}}$	Voltaje Nominal.
$V_{\text{o}}$	Voltaje de Salida del Inversor.
$V_{\text{pico}}$	Voltaje Pico.
$V_{\text{rms}}$	Voltaje Eficaz.
<b>W</b>	Watt.
$f_c$	Frecuencia de Corte.
$w_c$	Frecuencia de Portadora.
$w_m$	Frecuencia de Moduladora.
$X_c$	Reactancia Capacitiva.
$X_l$	Reactancia Inductiva.
<b>XNOR</b>	Compuerta Lógica Digital cuya Función es la Inversa de la Compuerta OR Exclusiva.
<b>z</b>	Cantidad de Celdas que Integran el Inversor.

# Capítulo I: Introducción

---

*Actualmente, los inversores se consideran como los convertidores de potencia con mayor demanda de utilización en la industria, por ser los más adecuados para aplicaciones donde se requiera media tensión y niveles de alta potencia.*

*La función principal de los inversores multinivel es la de sintetizar una tensión de salida deseada a partir de varios niveles de entrada de CD. La forma de onda de salida puede tener más niveles conforme aumenta el número de fuentes de entrada, y así mismo se puede producir una salida escalonada que se aproxime a la onda deseada (sinusoidal). Por esta razón, los inversores multinivel son una excelente opción para suministrar energía, en este caso de corriente directa a corriente alterna (CD-CA); además de que presentan bajo contenido armónico en la señal de salida y pérdidas por conmutación mínimas.*

## 1.1. Antecedentes

Durante los últimos años se han reportado diversas variantes y configuraciones de las topologías de los inversores multinivel, para satisfacer requerimientos de alguna aplicación en particular o mejorar la operación del mismo, una de estas variantes del inversor multinivel en cascada CMLI; es el inversor multinivel en cascada híbrido HCMLI, este se deriva del inversor multinivel en cascada simétrico SCMLI y el inversor multinivel en cascada asimétrico ACMLI, el cual conserva las características generales de un inversor multinivel, y en conjunto con la apropiada técnica de modulación es capaz de obtener mayor número de niveles y menor THD, [1].

En este trabajo se presenta el estudio de la topología del inversor multinivel en cascada asimétrico y las técnicas de modulación más empleadas para lograr un mejor funcionamiento del mismo.

A continuación, se describen algunos conceptos previos relacionados con el tema de los inversores para tener una idea más clara acerca de este trabajo de investigación.

### 1.1.1. Tipos de Convertidores

Los inversores multinivel se pueden dividir en tres importantes grupos, [2]. La Figura 1.1, muestra la clasificación de los inversores multinivel alimentados en tensión.

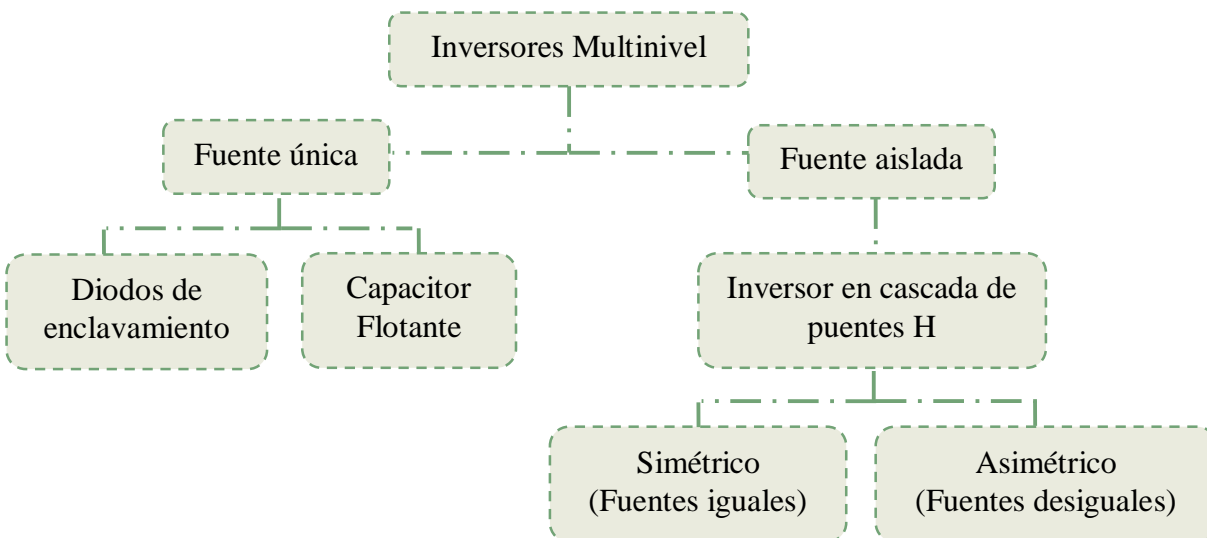


Figura 1.1. Clasificación de los inversores multinivel alimentados en tensión.

### 1.1.1.1. Inversor Multinivel de Diodos de Enclavamiento (DCMLI)

En la Figura 1.2 se presenta el diagrama de un inversor DCMLI monofásico de tres niveles, cuya construcción requiere  $n-1$  condensadores en el bus de CD,  $2(n-1)$  interruptores para  $n$  niveles de tensión deseados a la salida y  $(n-1)(n-2)$  diodos de enclavamiento por fase. Una de las características que muestra este convertidor es que el esfuerzo de tensión se balancea con el número de niveles y los diodos de enclavamiento pueden llegar a manejar más de un nivel; para la versión trifásica ocupa un banco de condensadores. También estos diodos permiten fijar los niveles de tensión a la salida.

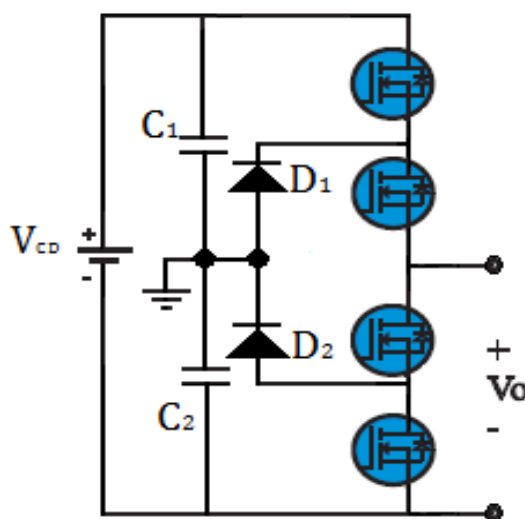


Figura 1.2. Inversor multinivel de diodos enclavados de tres niveles.

### 1.1.1.2. Inversor Multinivel de Capacitores Flotados (FCMLI)

El inversor FCMLI que se muestra en la Figura 1.3 corresponde a la configuración monofásica de tres niveles. Esta topología es similar a la de inversor DCMLI pero los diodos de enclavamiento se sustituyen con condensadores, los cuales, a través de las posibles combinaciones de conexión, generan la tensión de salida que permite tener un sistema redundante. Sin embargo, las dificultades para mantener equilibradas las tensiones en los condensadores evitan que la topología se desarrolle en aplicaciones de alta potencia. En este caso, la técnica de modulación implementada debe corregir dicho problema mediante la implementación de un control muy complejo; además, en esta topología es necesario cargar previamente los condensadores antes de empezar a operar como inversor, por lo tanto, el arranque se torna lento, [3].

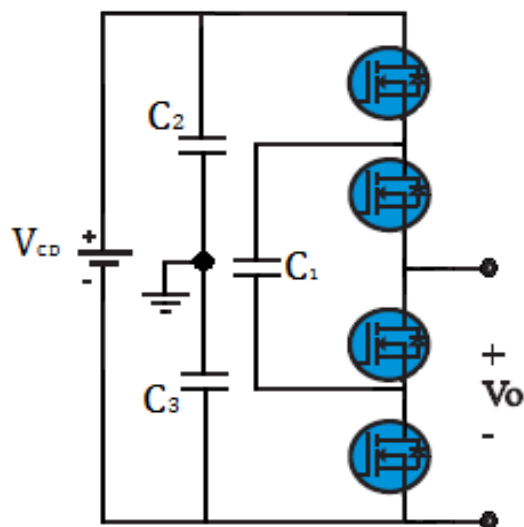


Figura 1.3. Inversor multinivel de capacitores flotados de tres niveles.

Las ventajas y desventajas de los inversores multinivel, mostrados anteriormente, se resumen en la Tabla 1.1.

Tabla 1.1. Ventajas y desventajas de los inversores DCMLI y FCMLI.

DCMLI		FCMLI	
Ventajas	Desventajas	Ventajas	Desventajas
<ul style="list-style-type: none"> <li>Número de niveles grande.</li> <li>Bajos contenido armónico.</li> <li>Alta eficiencia.</li> </ul>	<ul style="list-style-type: none"> <li>Requieren de un número excesivo de diodos, cuando el número de niveles es alto.</li> <li>Es complicado obtener el control del flujo de potencia.</li> </ul>	<ul style="list-style-type: none"> <li>Eficiencia alta.</li> <li>Proporciona combinaciones extras para balancear niveles de tensión.</li> </ul>	<ul style="list-style-type: none"> <li>Alto número de condensadores.</li> <li>Control complejo.</li> </ul>

### 1.1.1.3. Inversor Multinivel en Cascada (CMLI)

Estos inversores generan una tensión sinusoidal a partir de distintas fuentes de CD. Su estructura en cascada de inversores puente completo, evita el uso de diodos o condensadores,

tiene una mínima distorsión armónica al controlar ángulos de disparo. La tensión de fase es la suma de tensiones de salida, además posee la flexibilidad para incrementar el número de niveles, [2-3]. Algunas ventajas y desventajas del CMLI se describen en la Tabla 1.2.

Tabla 1.2. Ventajas y desventajas del inversor multinivel en cascada.

Ventajas	Desventajas
<ul style="list-style-type: none"> <li>• Requiere un número reducido de condensadores.</li> <li>• La tensión de salida se incrementa conforme aumenta el número de celdas.</li> </ul>	<ul style="list-style-type: none"> <li>• La cantidad de fuentes de CD aisladas que alimenta el bus de CD aumenta proporcionalmente con las celdas que integran el inversor.</li> </ul>

#### 1.1.1.3.1. Características del Inversor en Cascada

- a) La tensión de fase es la suma de las tensiones de salida de los inversores puente completo individuales.
- b) Facilidad para poder incrementar el número de niveles.
- c) Disminución del estrés en los dispositivos semiconductores conforme aumenta el número de niveles.

Los inversores multinivel en cascada se pueden dividir en dos importantes topologías, las cuales a continuación se describen.

#### 1.1.1.3.2. Inversor Multinivel en Cascada Simétrico (SCMLI)

En esta configuración los niveles de alimentación de cada una de sus celdas son de la misma magnitud, tal y como se muestra en la Figura 1.4; cada celda proporciona tres niveles de tensión que son:  $+V_{CD}$ , 0 y  $-V_{CD}$ , el número de niveles generados en la tensión de salida depende del número de celdas y está dado por la ecuación 1.1, [4].

$$n = 2z + 1 \quad (1.1)$$

Dónde:

- $n$  = Cantidad de niveles que se obtienen en la onda de salida.
- $z$  = Cantidad de celdas que integran el inversor.

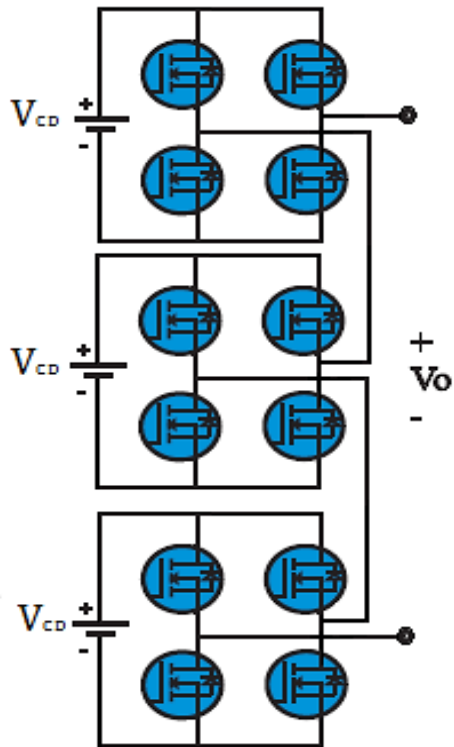


Figura 1.4. Inversor Multinivel en Cascada Simétrico, SCMLI.

#### 1.1.1.3.3. Inversor Multinivel en Cascada Asimétrico (ACMLI)

Esta clasificación posee la misma configuración que el SCMLI, pero en este caso los niveles de tensión de CD de cada celda del inversor son de valores diferentes, como se observa en la Figura 1.5. Con esta característica se pueden obtener más niveles en la onda de salida con el mismo número de elementos utilizados en un SCMLI, sin embargo, la célula que maneja mayor voltaje es más vulnerable a fallas.

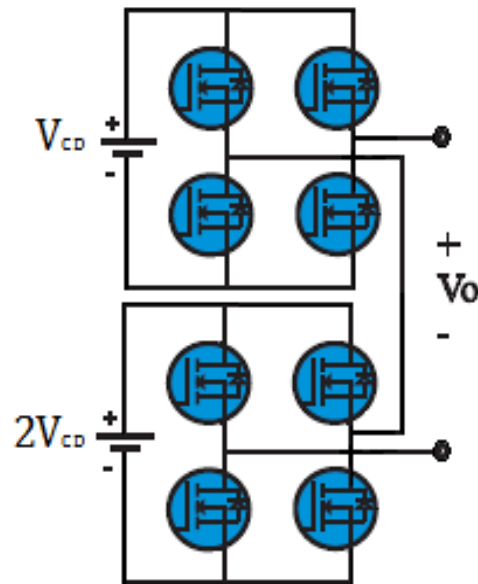


Figura 1.5. Inversor Multinivel en Cascada Asimétrico, ACMLI.

## 1.2. Planteamiento del Problema

La comunidad científica ha dedicado un gran esfuerzo a la investigación de diferentes métodos de modulación para los inversores multinivel. Esto se debe principalmente al hecho de que la estrategia de conmutación seleccionada impacta en el espectro armónico de la onda de salida así como en las pérdidas por conducción y por conmutación.

En el caso de los inversores multinivel en cascada asimétricos, los cuales son alimentados con distintos niveles de voltaje, las técnicas de modulación descritas anteriormente son aplicables cuando se tienen las fuentes de alimentación balanceadas, sin embargo, cuando existe un desbalance entre las fuentes se presentan inconvenientes que requieren de técnicas más complejas o un análisis más detallado, [5-6].

Cambios en la amplitud de la componente fundamental, cambios en el valor efectivo del voltaje ( $V_{rms}$ ) y armónicos a una frecuencia más baja son las modificaciones que se presentan a la salida de un inversor multinivel cuando existen variaciones en el nivel de voltaje de las fuentes de entrada, [5,7].

En condiciones normales, el voltaje de salida se comporta como se muestra en la Figura 1.6, donde se observa que la amplitud es la suma de las tensiones de cada fuente de CD de alimentación. Sin embargo, cuando existe una disminución del voltaje, en alguna de las fuentes de alimentación, la forma de onda de salida tiende a deformarse y/o a disminuir su amplitud, como se observa en la Figura 1.7.



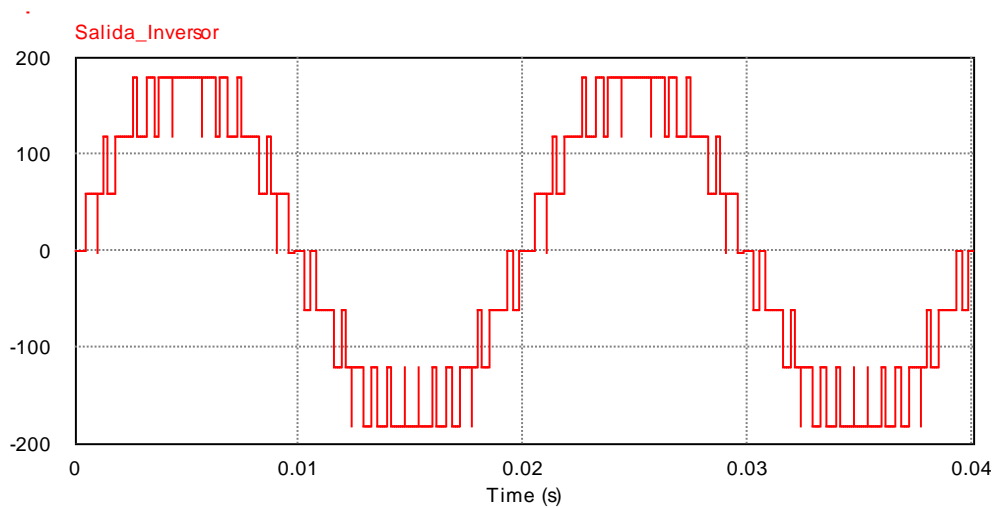


Figura 1.6. Voltaje de salida del ACMLI.

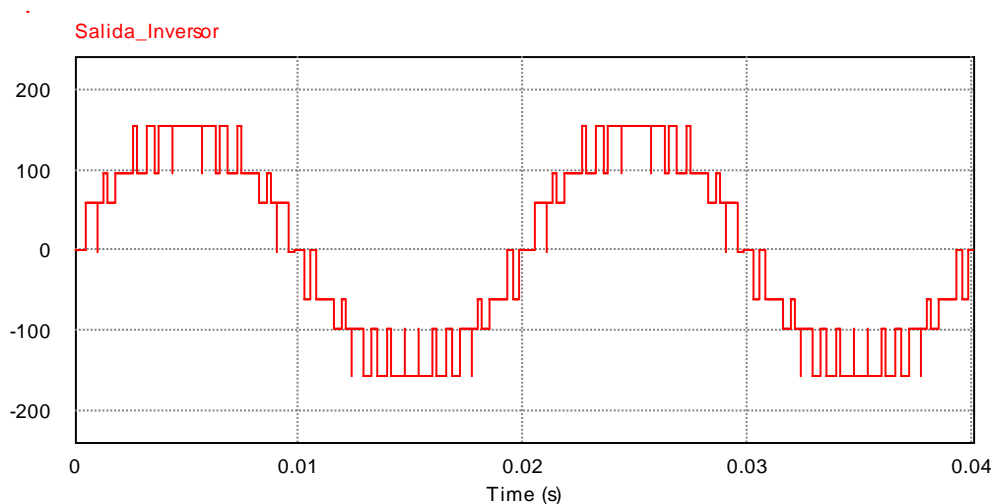


Figura 1.7. Voltaje de salida del ACMLI cuando existe un desbalance del 20% en la fuente de mayor tensión.

### 1.3. Estado del Arte

En Babaei [8], se proponen nuevas topologías del inversor multinivel simétrico y asimétrico. Los convertidores multinivel propuestos utilizan un número reducido de dispositivos de conmutación para un número específico de niveles de voltaje de salida en comparación con las topologías convencionales y otras no convencionales. En este documento se presenta la comparación y simulación del inversor asimétrico, mostrando buenos resultados y reduciendo el número de interruptores.

En Gordillo [5], se realiza el estudio del inversor multinivel simétrico ante la presencia de desbalances en las fuentes de alimentación. Este trabajo consistió en la construcción de un modulador, el cual sensa el voltaje de una de las fuentes de alimentación; de acuerdo al

sensado genera los patrones de conmutación para los interruptores. La técnica de modulación utilizada es la PWM con corrimiento de fase (PS-PWM), ya que le permite modificar con facilidad el índice de modulación.

En Tolbert [6], se propone la eliminación selectiva de armónicos con el fin de reducir los armónicos de bajo orden, los cuales aparecen cuando existen desbalances en las fuentes de alimentación del inversor. Esto se logra convirtiendo primero las ecuaciones trascendentales que especifican la eliminación de los armónicos en un conjunto equivalente de ecuaciones polinómicas. Posteriormente, usando teoría de resultantes, se pueden encontrar todas las soluciones a este problema equivalente.

En Othman [7], presenta un algoritmo llamado optimización de enjambre de partículas PSO (Particle Swarm Optimization), el cual elimina armónicos de manera programada y rápidamente. Este emplea un conjunto de ecuaciones matemáticas para describir la forma de onda de salida del inversor multinivel con desbalances en las fuentes de alimentación. Una vez que se tiene dicho conjunto de ecuaciones, se usa el algoritmo PSO para calcular el conjunto de soluciones óptimas de los ángulos de conmutación, si es que existe, para cada perfil armónico necesario.

Taghizadeh [9] refuerza a Othman [7], en donde utiliza el mismo algoritmo para la eliminación de armónicos con un método de solución más sencillo que el que emplea el enfoque de teoría resultante; en este trabajo se presentan resultados de simulación y experimentales para un inversor de once niveles para validar la precisión de los resultados del cálculo.

En Jiménez [10], se realiza la investigación del ACMLI demostrando que tiene la ventaja de disminuir la distorsión armónica y que es tolerante a fallas como el inversor simétrico, además; el ACMLI ha sido menos estudiado es por ello resulta ser una topología muy atractiva porque contiene menor THD en el voltaje de salida comparado con el inversor multinivel en cascada simétrico (SCMLI).

En Seyezhai [11], investiga los parámetros necesarios para el inversor multinivel en cascada asimétrico de 7 niveles empleando la estrategia de modulación a frecuencia fundamental para el puente 1 H y para el puente 2 H se emplea la estrategia PWM de frecuencia variable de senoide invertida VFISPWM (variable frequency inverted sine pulse width modulation). Esto con el fin de obtener un menor THD de voltaje en la salida, menores pérdidas por conmutación y una mayor eficiencia.

En Khoucha [12], habla de la técnica de modulación híbrida, donde se dice que ésta es principalmente utilizada en los inversores multinivel asimétricos. Sin embargo, la modulación

híbrida no es recomendable para los convertidores asimétricos de potencia 3, esto es debido a que el inversor caería en sobre modulación. La modulación híbrida aprovecha de mejor manera la topología del inversor asimétrico; dado que existen diferentes potencias a través de cada célula, se puede reducir el estrés en los interruptores o bien las pérdidas por conmutación y mejorar la eficiencia del convertidor.

#### **1.4. Propuesta de Solución**

En este trabajo se aborda el caso de un inversor en cascada asimétrico. La selección de esta topología se debe a sus ventajas, entre otras, porque logra más niveles en su tensión de salida con menos componentes (utiliza menos interruptores que el inversor en cascada simétrico), tiene menos pérdidas por conmutación, etc. De acuerdo con lo que se revisó en la literatura, en relación a las causas que afectan el desempeño del inversor, una de ellas es el desbalance en las fuentes de alimentación. En este sentido, se requiere de una estrategia de modulación que permita una operación más eficiente del inversor, con una THD reducida y que mejore la señal de salida del inversor. Se propone entonces llevar a cabo, mediante simulación, la evaluación de diversas estrategias de modulación que sean aplicables en el ACMLI a fin de valorar cuál de ellas logra que el inversor se desempeñe mejor en condiciones de desbalance.

#### **1.5. Objetivos**

##### **1.5.1. Objetivo General**

Realizar un estudio del convertidor multinivel en cascada asimétrico, tomando como criterio principal mantener una THD reducida, bajo condiciones de desbalance en las fuentes de alimentación entre -20% y +20% de la tensión de entrada.

##### **1.5.2. Objetivos Específicos**

- Estudiar las técnicas de modulación empleadas en el inversor multinivel en cascada asimétrico de potencia 2 y 3.
- Analizar mediante simulación la técnica de modulación más adecuada para el ACMLI.
- Cumplir con el estudio del convertidor propuesto en este trabajo de tesis, logrando una THD reducida ante la presencia de desbalances del -20% hasta +20% en el bus de CD.
- Estudio y simulación de las técnicas de modulación híbrida para el ACMLI.

#### **1.6. Justificación**

Los diseñadores de convertidores multinivel en cascada realizan sus diseños teniendo en mente dos factores importantes. El primero, es la reducción de la THD sin importar las pérdidas que se puedan originar en dicha reducción. En segundo lugar se encuentra la

minimización de pérdidas por conmutación en los dispositivos semiconductores, pero no toma en cuenta la evaluación de la THD.

En este trabajo se pretende realizar un estudio de las técnicas de modulación, tradicionales, aplicadas en el inversor multinivel en cascada asimétrico con desbalance en la tensión de entrada con el fin de obtener la técnica de modulación más adecuada para el funcionamiento del inversor, considerando la reducción de la THD y que mejore señal de voltaje que se presenta a la salida del inversor.

### **1.7. Alcances y Limitaciones**

El trabajo de tesis tiene como alcance la implementación de las técnicas de modulación, teniendo como base a un FPGA, la cual será la encargada de generar los patrones de activación de compuerta de los puentes H que conforman a un inversor multinivel de siete y nueve niveles, teniendo como propósito mantener una THD reducida en la tensión de salida cuando esté presente un desbalance en el voltaje alimentación.

### **1.8. Organización del Documento**

En el capítulo 2 se presenta el estudio del inversor multinivel en cascada asimétrico, de igual manera los tipos de modulación para la activación de sus respectivas compuertas.

El capítulo 3 está dedicado a los conceptos y fundamentos de un FPGA, pues es la herramienta de implementación para el comando de los interruptores del inversor estudiado en este trabajo.

En el capítulo 4 se muestran los resultados obtenidos del inversor multinivel asimétrico en cascada de 7 y 9 niveles, de igual manera los resultados obtenidos de forma experimental.

Finalmente, en el capítulo 5, se presentan las conclusiones del trabajo de investigación, así como los trabajos a futuro.



## **Capítulo II: Inversor Multinivel en Cascada Asimétrico, ACMLI.**

---

*Los CMLI surgen de la configuración de puentes H conectados en cascada y se agrupan en simétricos (SCMLI, Symmetric Cascaded Multilevel Inverter) y asimétricos (ACMLI, Asymmetric Cascaded Multilevel Inverter). Los ACMLI tienen la misma topología que los SCMLI con la diferencia de que sus fuentes de entrada son de valores distintos entre sí, y generan un número más elevado de niveles en la forma de onda de salida con el mismo número de interruptores que los SCMLI.*

## 2.1 Estudio del Convertidor Multinivel en Cascada Asimétrico

En términos de operación, el ACMLI usa una etapa de alto voltaje para lograr la transferencia de mayor potencia y dispone de una etapa de menor potencia, como un medio para mejorar el rendimiento espectral de la onda de salida del convertidor completo.

El convertidor con puentes H, requiere el uso de un transformador para producir las fuentes de CD aisladas para cada puente completo del inversor; sin dejar de lado que el control del convertidor es más complicado en el inversor asimétrico que en la estructura estándar en cascada.

En el convertidor asimétrico, tanto la etapa de bajo como la de alto voltaje tienen su propia onda de referencia. La referencia para el puente de menor voltaje tiene que ser creada a partir de la referencia de la celda de voltaje más alto.

Otro punto muy importante de los ACMLI es que existen diversas variantes para ser alimentados, y con ello se puede tener más niveles con el mismo número de interruptores. En este documento se estudia el inversor multinivel en cascada asimétrico de potencia 2 y de potencia 3, cuyas características son descritas a continuación.

La Figura 2.1, muestra la estructura de dos inversores multinivel en cascada asimétricos, en el cual se observa que en cada inversor multinivel, un puente H está constituido por una fuente de alto voltaje y el otro, por una de menor voltaje. La configuración más simple comprende dos inversores de puente H conectados en serie.

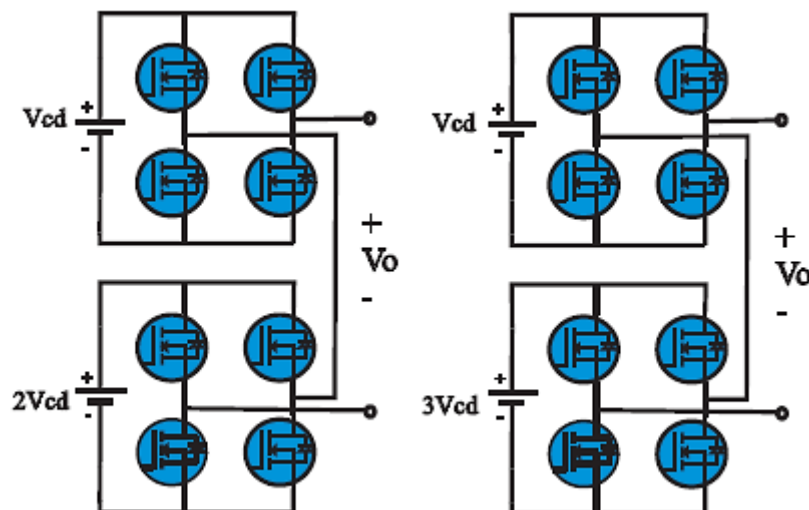


Figura 2.1. Inversor multinivel en cascada asimétrico: a) potencia 2, b) potencia 3.

En un inversor multinivel en cascada asimétrico de potencia 2 y potencia 3, el valor de las fuentes de voltaje de cada puente H está dado por las ecuaciones 2.1 y 2.2:

$$V_{CD_i} = 2^{i-1}V_{CD} \quad (2.1)$$

$$V_{CD_i} = 3^{i-1}V_{CD} \quad (2.2)$$

Dónde:

- $i$  : El número del puente H.

En la Figura 2.2, se muestra la forma de onda del voltaje de salida de 7 niveles para un ACMLI de potencia 2 con dos puentes H, que corresponde a la suma de las salidas individuales de voltaje de cada una de las celdas de la Figura 2.1.a).

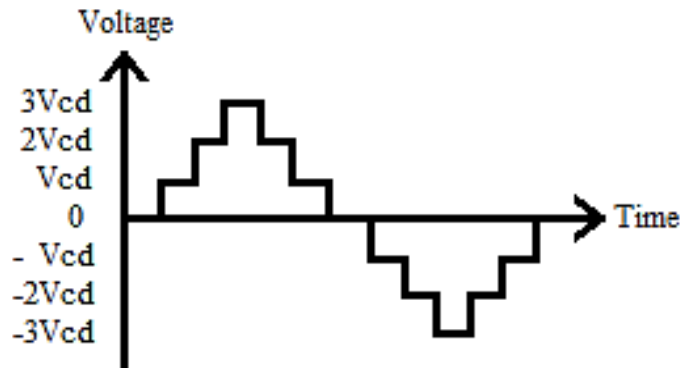


Figura 2.2. Voltaje de salida del ACMLI de 7 niveles.

También en la Figura 2.3, se muestra que la forma de onda de salida del voltaje tiene 9 niveles para un ACMLI de potencia 3 con dos puentes H, la cual corresponde a la suma de los voltajes de salida de cada una de las celdas de la Figura 2.1.b).

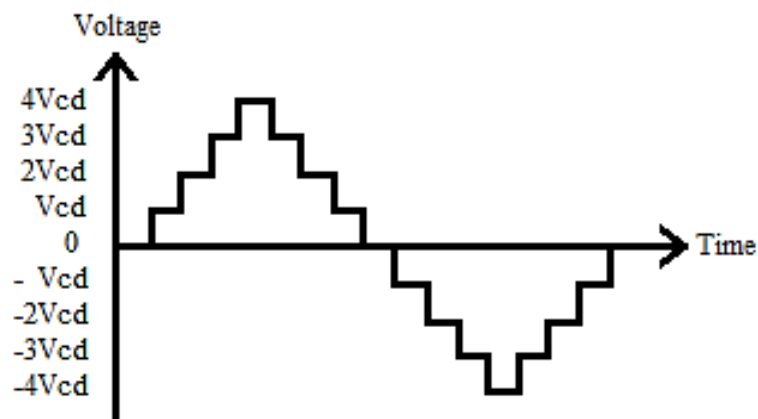


Figura 2.3. Voltaje de salida del ACMLI de 9 niveles.



En la Figura 2.4.a), se ilustra el inversor multinivel de potencia 2 de  $i$  puentes H. La característica de esta configuración es que las fuentes de voltaje tienen una relación  $1:2:2^{i-1}$ , donde  $i$  es el número del último puente H.

De la misma forma la Figura 2.4.b), muestra un inversor multinivel de potencia 3 de  $i$  puentes H. Y su principal característica es que las fuentes de voltaje tienen una relación de  $1:3:3^{i-1}$ , donde  $i$  es el número del último puente H, [13].

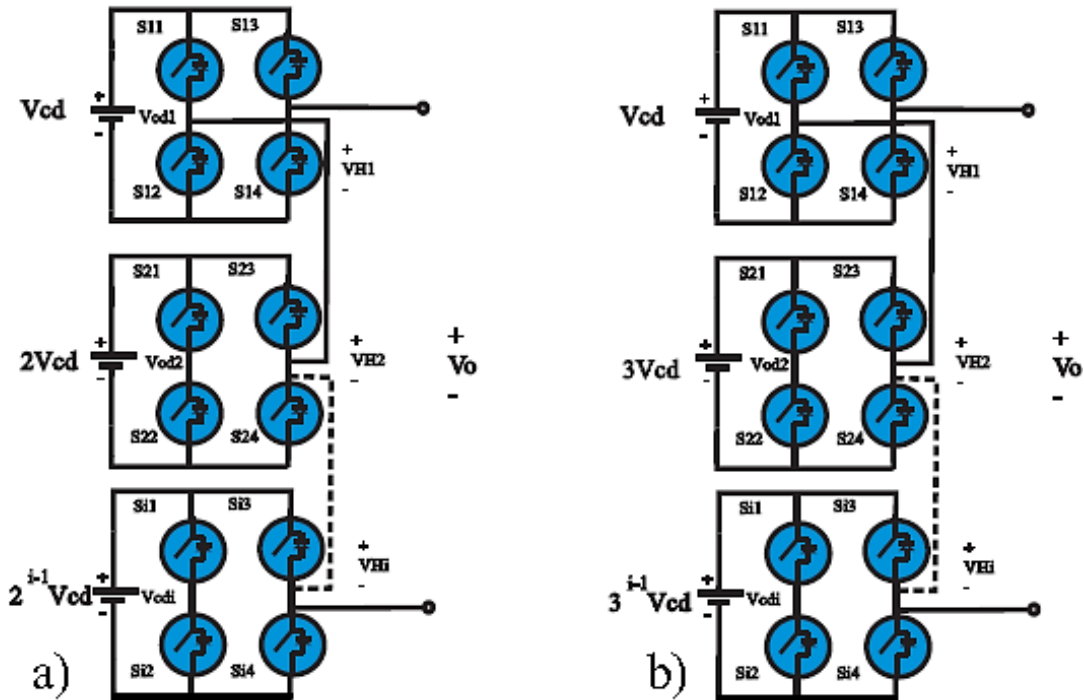


Figura 2.4. Configuración de un ACMLI de  $h$  puentes H, a) potencia 2 y b) potencia.

Como se observa en la Figura 2.4:

- $VH_i$ : Representa el voltaje de salida del último puente H.
- $V_{CDi}$ : Representa el voltaje de entrada del último puente H.

Se usa en una función de conmutación denominada ( $F_i$ ), para relacionar a  $VH_i$  con  $V_{CDi}$  y se expresa en la ecuación 2.3.

$$VH_i = F_i * V_{CDi} \quad (2.3)$$

La Tabla 2.1, representa la relación entre la función de conmutación, el voltaje de salida de un puente H y los estados de conmutación [14]. Para cualquier puente  $i$ , el valor de  $F_i$  puede ser 1, -1 o 0. Para el valor de 1, los interruptores  $S_{i1}$  y  $S_{i4}$  necesitan estar encendidos. Para el valor de

-1, los interruptores  $S_{i2}$  y  $S_{i3}$  necesitan estar encendidos. Para el valor de 0, los interruptores  $S_{i1}$  y  $S_{i3}$  o  $S_{i2}$  y  $S_{i4}$  necesitan estar encendidos.

Tabla 2.1. Relación entre la función de conmutación, voltaje de salida de un puente H y los estados de conmutación.

$F_i$	$V_{H_i}$	$S_{i1}$	$S_{i2}$	$S_{i3}$	$S_{i4}$
<b>1</b>	$V_{CDi}$	Conducción	Bloqueo	Bloqueo	Conducción
<b>-1</b>	$-V_{CDi}$	Bloqueo	Conducción	Conducción	Bloqueo
<b>0</b>	0	Conducción	Conducción	Bloqueo	Bloqueo
<b>0</b>	0	Bloqueo	Bloqueo	Conducción	Conducción

El voltaje de salida del ACMLI es la suma de los voltajes de salida de cada puente H.

$$V_0 = \sum_{i=1}^{\infty} V_{H_i} \quad (2.4)$$

De la ecuación 2.3 y la ecuación 2.4 se obtiene:

$$V_0 = \sum_{i=1}^{\infty} F_i * V_{cdi} \quad (2.5)$$

### 2.1.1. Inversor Multinivel en Cascada Asimétrico de Potencia 2

El ACMLI de potencia 2, Figura 2.1.a), es alimentado con fuentes de tensión ponderadas en forma binaria, es decir, la alimentación en cada celda es  $V_{CD}$ ,  $2V_{CD}$ ,  $4V_{CD}$ ,  $8V_{CD}$  y así sucesivamente hasta alimentar todas las celdas que integran el inversor; en la Figura 2.4.a), se muestra un ejemplo, donde el número máximo de niveles se calcula mediante la ecuación 2.6.

$$n = 2^{z+1} - 1 \quad (2.6)$$

Dónde:

- $n$  = Cantidad de niveles que se obtienen en la onda de salida.
- $z$  = Cantidad de celdas que integran el inversor.

El inversor asimétrico de potencia 2 con dos celdas, alcanza un valor máximo de 7 niveles en su tensión de salida. La Tabla 2.2, muestra los 16 estados posibles de conducción para generar los 7 niveles requeridos para la topología con progresión binaria; debido a que el circuito de la Figura 2.4.a) contiene 8 interruptores y solamente existen dos estados para cada interruptor (abierto y cerrado), se puede representar una tabla de verdad binaria. Siendo  $2^8$  (2 estados y 8 interruptores), existen 256 estados distintos de conmutación, 240 estados no son permisibles debido a que incurrir en cortocircuito o bien en circuito abierto sin producir algún nivel.

Tabla 2.2. Estados de conducción para el ACMLI de 7 niveles.

Estados de conducción								VH <sub>1</sub>	VH <sub>2</sub>	Voltaje de salida
S <sub>11</sub>	S <sub>12</sub>	S <sub>13</sub>	S <sub>14</sub>	S <sub>21</sub>	S <sub>22</sub>	S <sub>23</sub>	S <sub>24</sub>			
1	0	0	1	1	0	0	1	V <sub>CD</sub>	2 V <sub>CD</sub>	3 V <sub>CD</sub>
1	0	1	0	1	0	0	1	0	2 V <sub>CD</sub>	2 V <sub>CD</sub>
0	1	0	1	1	0	0	1	0	2 V <sub>CD</sub>	
1	0	0	1	1	0	1	0	V <sub>CD</sub>	0	V <sub>CD</sub>
1	0	0	1	0	1	0	1	V <sub>CD</sub>	0	
0	1	1	0	1	0	0	1	- V <sub>CD</sub>	2 V <sub>CD</sub>	
0	1	0	1	0	1	0	1	0	0	0
0	1	0	1	1	0	1	0	0	0	
1	0	1	0	0	1	0	1	0	0	
1	0	1	0	1	0	1	0	0	0	
1	0	0	1	0	1	1	0	V <sub>CD</sub>	-2 V <sub>CD</sub>	- V <sub>CD</sub>
0	1	1	0	1	0	1	0	- V <sub>CD</sub>	0	
0	1	1	0	0	1	0	1	- V <sub>CD</sub>	0	
1	0	1	0	0	1	1	0	0	-2 V <sub>CD</sub>	-2 V <sub>CD</sub>
0	1	0	1	0	1	1	0	0	-2 V <sub>CD</sub>	
0	1	1	0	0	1	1	0	- V <sub>CD</sub>	-2 V <sub>CD</sub>	

En la Figura 2.5, se muestran algunas de las trayectorias que sigue la corriente de los estados descritos en la Tabla 2.2, para generar cada uno de los 7 niveles en el ACMLI de potencia 2.

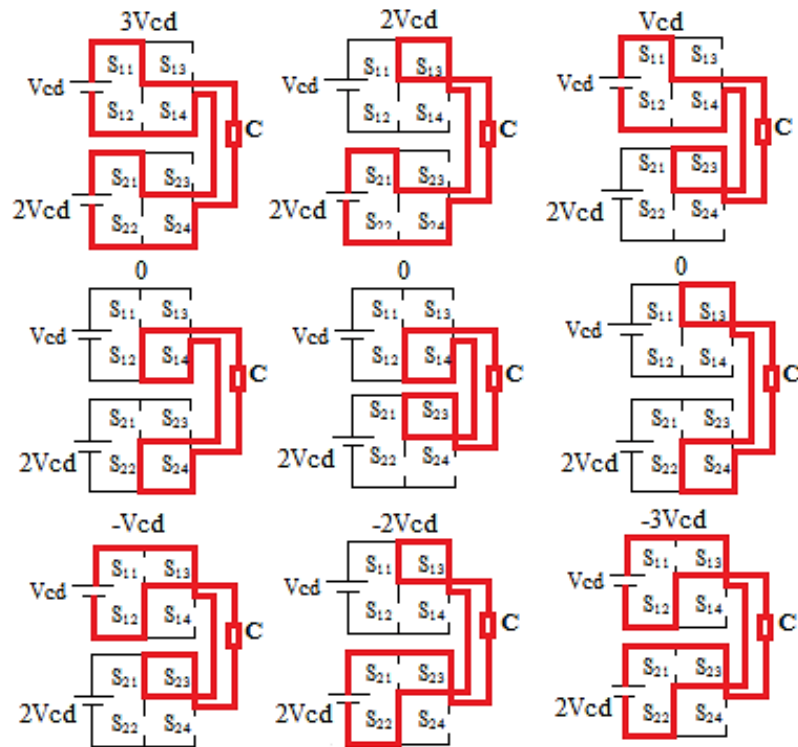


Figura 2.5. Estados de conducción para cada nivel del ACMLI de potencia 2, con dos celdas.

**2.1.2. Inversor Multinivel en Cascada Asimétrico de Potencia 3**

La diferencia del ACMLI de potencia 3 radica en el voltaje de alimentación de cada puente completo, obteniendo más niveles con los mismos componentes que el caso anterior. Para implementar este inversor los niveles de tensión de las fuentes deben incrementarse en un orden de potencia 3 ( $V_{CD}$ ,  $3V_{CD}$ ,  $9V_{CD}$ ,  $27V_{CD}$ ); la fórmula para calcular el número de niveles se representa en la ecuación 2.7.

$$n = 3^z \quad (2.7)$$

Dónde:

- $n$  = Cantidad de niveles que se obtienen en la onda de salida.
- $z$  = Cantidad de celdas que integran el inversor.

La Tabla 2.3, muestra los 16 estados posibles de conducción para generar los 9 niveles requeridos para el convertidor asimétrico con progresión trinaría; debido a que el circuito de la Figura 2.4.b) contiene 8 interruptores y solamente existen dos estados para cada interruptor (abierto y cerrado), se puede representar con una tabla de verdad binaria. Deduciendo que, siendo  $2^8$  (2 estados y 8 interruptores) existen 256 estados distintos de conmutación, 240

estados no son permisibles debido a que incurren en cortocircuito o bien en circuito abierto sin producir algún nivel.

Tabla 2.3. Estados de conducción para el ACMLI de 9 niveles.

Estados de conducción								VH <sub>1</sub>	VH <sub>2</sub>	Voltaje de salida
S <sub>11</sub>	S <sub>12</sub>	S <sub>13</sub>	S <sub>14</sub>	S <sub>21</sub>	S <sub>22</sub>	S <sub>23</sub>	S <sub>24</sub>			
1	0	0	1	1	0	0	1	V <sub>CD</sub>	3V <sub>CD</sub>	4V <sub>CD</sub>
1	0	1	0	1	0	0	1	0	3V <sub>CD</sub>	3V <sub>CD</sub>
0	1	0	1	1	0	0	1	0	3V <sub>CD</sub>	
0	1	1	0	1	0	0	1	-V <sub>CD</sub>	3V <sub>CD</sub>	2V <sub>CD</sub>
1	0	0	1	1	0	1	0	V <sub>CD</sub>	0	V <sub>CD</sub>
1	0	0	1	0	1	0	1	V <sub>CD</sub>	0	
0	1	0	1	0	1	0	1	0	0	0
0	1	0	1	1	0	1	0	0	0	
1	0	1	0	0	1	0	1	0	0	
1	0	1	0	1	0	1	0	0	0	
0	1	1	0	0	1	0	1	-V <sub>CD</sub>	0	-V <sub>CD</sub>
0	1	1	0	1	0	1	0	-V <sub>CD</sub>	0	
1	0	0	1	0	1	1	0	V <sub>CD</sub>	-3V <sub>CD</sub>	-2V <sub>CD</sub>
1	0	1	0	0	1	1	0	0	-3V <sub>CD</sub>	-3V <sub>CD</sub>
0	1	0	1	0	1	1	0	0	-3V <sub>CD</sub>	
0	1	1	0	0	1	1	0	-V <sub>CD</sub>	-3V <sub>CD</sub>	-4V <sub>CD</sub>

En la Figura 2.6, se muestran algunas de las trayectorias que sigue la corriente de los estados descritos en la Tabla 2.3 para generar cada uno de los 9 niveles en el inversor asimétrico de potencia 3.

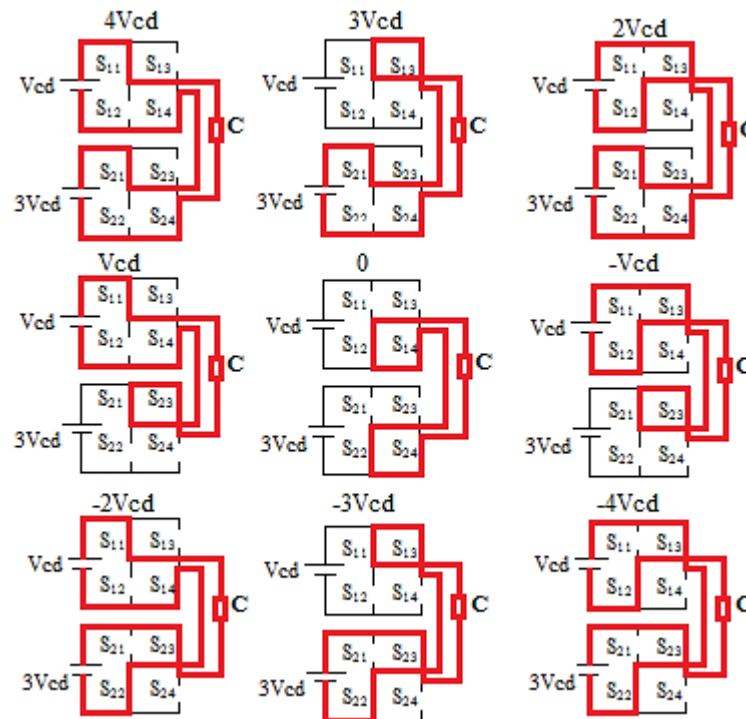


Figura 2.6. Estados de conducción para cada nivel del ACMLI de potencia 3.

## 2.2. Estudio de las Técnicas de Modulación Aplicadas al Convertidor Multinivel en Cascada Asimétrico

Para poder generar una onda de voltaje deseada a la salida de un inversor, es necesario poder comandar adecuadamente el encendido y el apagado de los dispositivos de potencia. Las estrategias de comando se encargan de generar los patrones de conmutación adecuados para generar dicho voltaje.

En este apartado se detallan las estrategias de modulación aplicables al ACMLI monofásico, tanto de potencia 2 como de potencia 3.

Clasificación de las estrategias de modulación para el ACMLI [15-16]:

- Conmutación a alta frecuencia (PWM Sinusoidal).
- Conmutación a frecuencia fundamental (PWM escalonada).
- Conmutación a frecuencia mixta (Modulación Híbrida).

### 2.2.1. Estrategia de Modulación PWM Sinusoidal Basada en Portadoras

Es la técnica más usada en los convertidores multinivel, debido a su fácil implementación en los inversores multinivel en cascada simétricos (SCMLI) [17-18], aun así estas técnicas

también pueden emplearse en los ACMLI con la característica de algunas modificaciones. Para un inversor de  $n$ - Niveles esta estrategia requiere de  $n-1$  portadoras triangulares a la misma frecuencia y amplitud, [19-20]. La idea básica es de comparar una señal sinusoidal con cada portadora para obtener los pulsos necesarios para cada interruptor, existen tres métodos de multiportadoras como sigue:

1. *Disposición de Fase (PD)*: Todas las portadoras están en fase, Figura 2.7.a).
2. *Disposición Opuesta de Fase (POD)*: Todas las portadoras arriba del punto de referencia cero están  $180^\circ$  desfasadas con respecto a las portadoras por debajo del nivel cero. Figura 2.7.b).
3. *Disposición Opuesta Alternada de Fase (APOD)*: Cada portadora está desfasada  $180^\circ$  con respecto a su portadora adyacente. Figura 2.7.c).

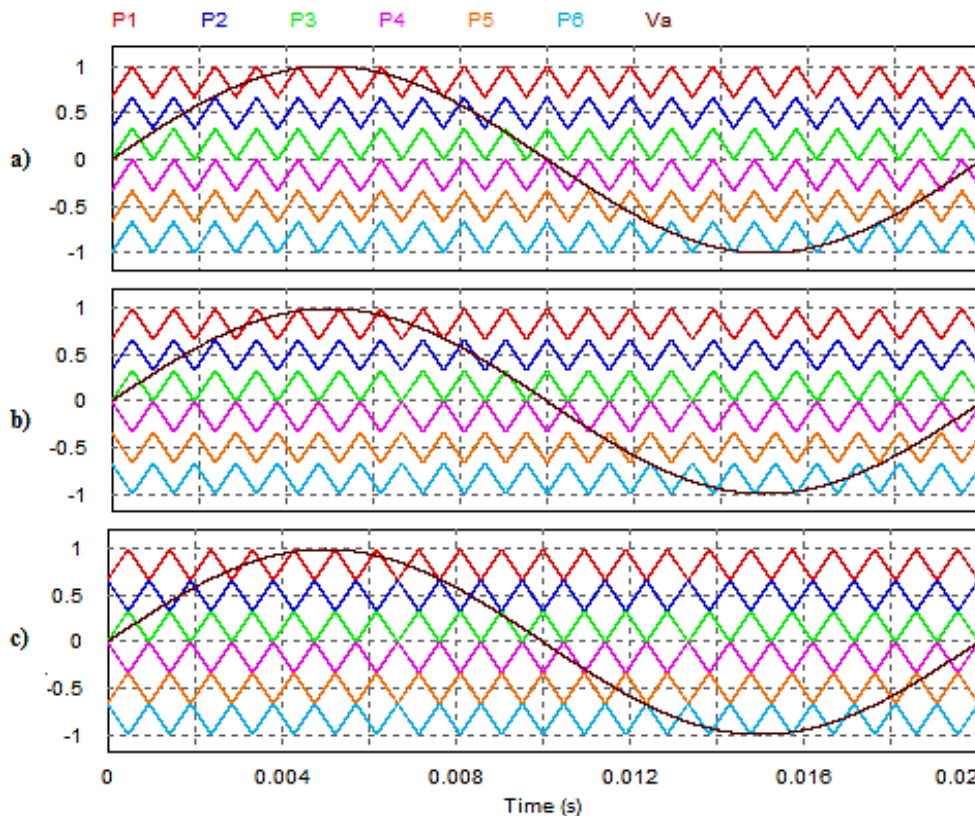


Figura 2.7. Onda de referencia y portadoras, a) PD, b) POD, c) APOD.

### 2.2.1.1. Aspectos Fundamentales de la Modulación SPWM

Las señales de comando obtenidas a partir de la comparación de una onda moduladora con las ondas portadoras deben cumplir algunas características para poder mantener al máximo la simetría de la onda [21].

- La onda sinusoidal y la triangular deben estar sincronizadas, es decir, deben iniciarse en el mismo instante.
- La frecuencia de la portadora debe ser alta. Comúnmente el índice de frecuencia “ $m_f$ ” debe ser mayor a 21, esto con el fin de obtener una THD reducida a la salida.

El índice de frecuencia “ $m_f$ ” se denomina como: la relación que existe entre la frecuencia de las portadoras y la frecuencia de la onda moduladora, dada por la ecuación 2.8, que indica el orden de aparición de la armónica más relevante producido por el método de modulación con multiportadoras.

$$m_f = \frac{\omega_c}{\omega_m} \quad (2.8)$$

Dónde:

- $\omega_c$ : Frecuencia de la onda portadora.
- $\omega_m$ : Frecuencia de la onda moduladora.

El índice de modulación “ $m_a$ ”, en la estrategia de modulación SPWM de portadoras con desplazamiento de nivel, se denomina como: la amplitud de la señal moduladora normalizada con respecto a la señal portadora por el número de niveles menos uno, dada por la ecuación 2.9 y se utiliza para seleccionar el nivel de utilización del bus de CD de un convertidor.

$$m_a = \frac{A_m}{A_p(n-1)} \quad (2.9)$$

Dónde:

- $A_p$ : Amplitud máxima de la onda portadora.
- $A_m$ : Amplitud máxima de la onda moduladora.
- $n$ : Número de niveles del inversor.

El estudio de la técnica de modulación SPWM para el convertidor multinivel en cascada asimétrico de 7 y 9 niveles se presenta en anexo A.

### 2.2.2. Estrategia de Modulación PWM Escalonada

La técnica PWM escalonada es una estrategia de modulación que opera a frecuencia fundamental, ofrece bajas pérdidas por conmutación en los DSEP debido a que sólo conmutan una vez por ciclo, su implementación es fácil y su aplicación es conveniente, ya que al emplearse es posible conseguir una reducida THD sin necesidad de utilizar filtros de salida [22]. Esta técnica permite tener simetría de cuarto de onda, como se muestra en la Figura 2.8, esto se refiere a que sólo es necesario encontrar los ángulos de disparo presentes en el primer



cuarto de onda, y los demás se encuentran sumándole o restándole  $\frac{1}{4}$  de onda ( $\pi = 90^\circ$ ) o  $\frac{1}{2}$  de onda ( $2\pi = 180^\circ$ ), según el ángulo que se desee encontrar.

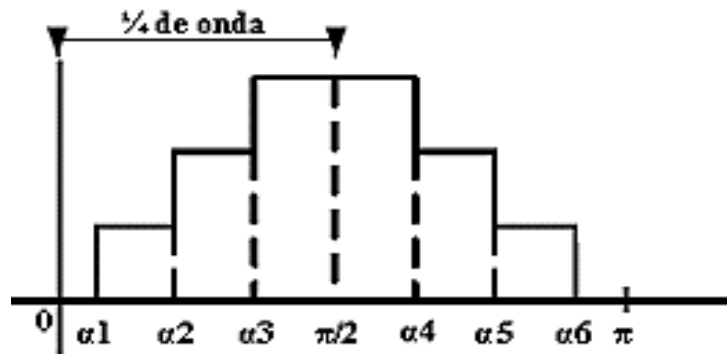


Figura 2.8. Ángulos de disparo en una señal con similitud de  $\frac{1}{4}$  de onda, de 7 niveles.

Para encontrar los ángulos de disparo se recurre al análisis de series de Fourier, se parte de la ecuación 2.10 debido a que la onda es una función periódica impar con un periodo T [23].

$$V(t) = \sum_{n=1}^{\infty} (b_n \text{sen}(n\omega_0 t)) \quad (2.10)$$

Dónde:

$$\omega_0 = \frac{2\pi}{T} \quad (2.11)$$

$$T = 2\pi$$

$$b_n = \frac{2}{T} \int_0^T f(t) \text{sen}(n\omega_0 t) dt \quad (2.12)$$

La expansión en series de Fourier para el voltaje de salida:

$$V_1 = \frac{4V_{cd}}{n\pi} (\text{Cosn}(\alpha_1) + \text{Cosn}(\alpha_2) + \dots + \text{Cosn}(\alpha_m)) \quad (2.13)$$

El índice de modulación en este trabajo se define como:

$$M = \frac{V_1 n \pi}{4V_{cd}} \quad (2.14)$$

De ahí que, las ecuaciones para calcular los ángulos de conmutación están dadas de la siguiente forma:

$$\begin{aligned} \cos(\alpha_1) + \cos(\alpha_2) + \dots + \cos(\alpha_m) &= M \\ \cos(3\alpha_1) + \cos(3\alpha_2) + \dots + \cos(3\alpha_m) &= 0 \\ \cos(5\alpha_1) + \cos(5\alpha_2) + \dots + \cos(5\alpha_m) &= 0 \\ \cos(2n-1)\alpha_1 + \cos(2n-1)\alpha_2 + \dots + \cos(2n-1)\alpha_m &= 0 \end{aligned} \quad (2.15)$$

Se obtiene un sistema de ecuaciones trascendentales como se muestra en la ecuación 2.15 con ángulos desconocidos que eliminan a las armónicas deseadas. Para el cálculo de los ángulos de cada una de las configuraciones del ACMLI, se utilizó el programa desarrollado en Matlab por [5], que ayuda a resolver el sistema de ecuaciones por el método de Newton-Raphson, y los ángulos obtenidos se muestran en el anexo A.

### 2.2.3. Modulación Híbrida

La modulación híbrida, MH, está especialmente concebida para la familia multinivel asimétrica. Este tipo de modulación es una combinación de conmutación a frecuencia fundamental y a alta frecuencia [24-26]. La idea es tomar ventaja de la diferencia de voltajes de cada célula para reducir las pérdidas por conmutación y mejorar la eficiencia del convertidor. El diagrama de bloques de la modulación híbrida se puede apreciar en la Figura 2.9.

El inversor de menor potencia se comanda mediante una moduladora; la cual es el resultado de la sustracción de dos ondas normalizadas, la primera es la salida de la celda de mayor potencia que se resta de la segunda, la cual es una referencia sinusoidal con amplitud máxima igual a la amplitud máxima del voltaje de salida que se puede obtener del convertidor completo. Al variar la amplitud de la onda de referencia sinusoidal, se varía el índice de modulación.

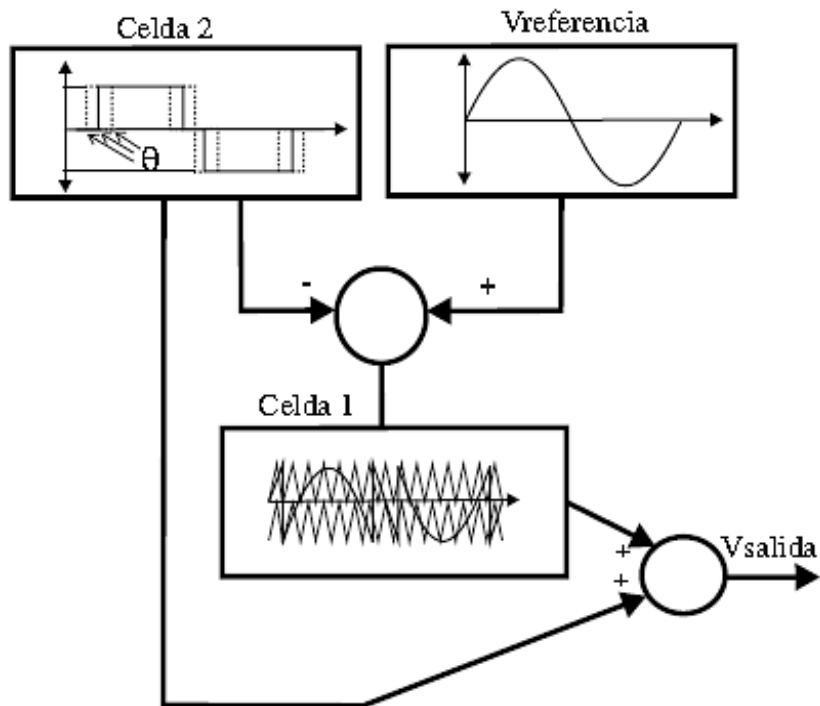


Figura 2.9. Diagrama de bloques de la modulación híbrida.

El puente de menor tensión opera a alta frecuencia con una estrategia PWM, y existen 3 tipos de modulación PWM para esta técnica híbrida como son:

- Disposición de Fase (PD). Figura 2.10.a).
- Disposición Opuesta de Fase (POD).Figura 2.10.b).
- Desplazamiento de Fase (PS).Figura 2.10.c).

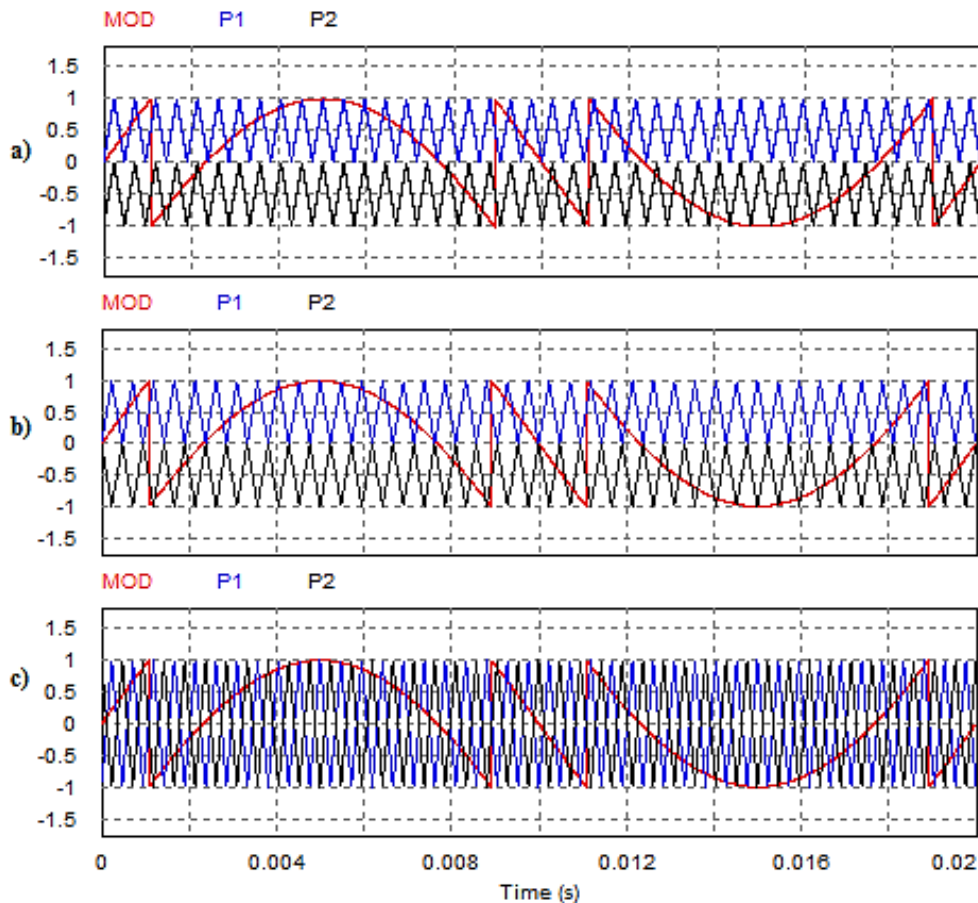


Figura 2.10. Comando del puente de menor tensión, a) PD, b) POD, c) PS.

En el anexo A se detalla la asignación de las portadoras para generar los 7 y 9 niveles, en esta técnica de modulación.

### 2.3. Distorsión Armónica

La distorsión armónica es una característica de una señal eléctrica que es interpretada como una distorsión en la forma de onda de una señal con respecto a una señal sinusoidal pura. Algunas normas eléctricas definen un parámetro para medir esta contaminación armónica que contiene una señal [27].

Por definición estos parámetros son calculados con armónicos hasta orden infinito, en una simulación se deben establecer criterios para elegir a un grupo de armónicos a ser evaluados. Un criterio es una norma eléctrica que define la calidad de la señal en voltaje o corriente. Otro criterio es elegir los armónicos por relevancia, es decir, un porcentaje significativo, o bien según las restricciones del programa de simulación. Las normas que regulan el contenido armónico de baja frecuencia contemplan valores de frecuencia hasta 40 veces superiores a la frecuencia de red, es decir, hasta 2 kHz para las redes de 50 Hz y 2.4 kHz para las de 60 Hz;

mientras que la frecuencia más baja a la que se refieren las normas sobre armónicos de alta frecuencia es de 10 kHz.

El principal objetivo de la normas es proveer una guía común a todas las partes involucradas para trabajar juntas con el fin de asegurar la compatibilidad entre los equipos de uso final y los sistemas de distribución de energía eléctrica.

### 2.3.1. Normas Regulatoras de Armónicos

A continuación se describen las principales normas que gobiernan los límites armónicos de los sistemas eléctricos y electrónicos.

#### 2.3.1.1 IEEE 519

El estándar IEEE 519 representa un consenso general de pautas y prácticas recomendadas por los distribuidores y sus diferentes clientes en un esfuerzo por minimizar y controlar el impacto de armónicos generados por cargas no lineales.

Los límites permitidos máximos de las armónicas presentes en la onda de voltaje, en operación normal del sistema, permitidos por el IEEE 519-1992 se muestran en la Tabla 2.4, [28]

Tabla 2.4. Límites de distorsión armónica de voltaje en porcentaje del voltaje nominal de frecuencia fundamental<sup>1</sup>.

Voltaje nominal, $V_n$ (kV)	Voltaje de distorsión armónica individual (%)	Voltaje de distorsión armónica total, THD $V_n$ (%)
$V_n \leq 69$	3.0	5.0
$69 < V_n \leq 161$	1.5	2.5
$V_n > 161$	1.0	1.5

#### 2.3.1.2. IEC 61000

La Comisión Electrotécnica Internacional (IEC) ha definido una categoría de normas de compatibilidad electromagnética (EMC) que tratan problemas de la calidad de la energía eléctrica. Las normas IEC están divididas en seis partes [29]:

- *Parte 1: General.* Estas normas tratan consideraciones generales como introducción, principios fundamentales, razón, definiciones, y terminologías. También pueden

<sup>1</sup> Fuente: Estándar IEEE519-1992, Tabla 2.4.

describir la aplicación e interpretación de definiciones fundamentales y condicionales. Su número de designación es IEC 61000-1-x.

- *Parte 2: Ambiente.* Estas normas definen las características de ambiente en donde funcionará el equipo, la clasificación de tal ambiente y sus niveles de compatibilidad. Su número de designación es IEC 61000-2-x.
- *Parte 3: Límites.* Estas normas definen los niveles permisibles de emisiones que pueden ser generadas por el equipo conectado en el ambiente. Esta establece límites numéricos de emisión y también límites de inmunidad. Su número de designación es IEC 61000-3-x.
- *Parte 4: Técnicas de prueba y medida.* Estas normas proporcionan pautas detalladas para el equipo de medida y procedimientos de prueba para asegurar la conformidad con otras partes de las normas. Su número de designación es IEC 61000-4-x.
- *Parte 5: Instalación y formas de mitigación.* Estas normas proporcionan pautas en aplicación de equipo como aterramiento y cableado de sistemas eléctricos y electrónicos para asegurar la compatibilidad electromagnética entre aparatos o sistemas eléctricos y electrónicos. También describen procesos de protección para medios civiles contra impulsos electromagnéticos de alta magnitud debido a explosiones nucleares. Su número de designación es IEC 61000-5-x.
- *Parte 6: Misceláneos.* Estas son las normas genéricas de definición de inmunidad y niveles de emisiones requeridas para equipos en categorías generales o para equipos específicos. Su número de designación es IEC 61000-6-x.

Las normas IEC relacionadas a las armónicas generalmente recaen en las partes 2 y 3. Al contrario de las normas IEEE para armónicos en donde hay una sola publicación que cubre todos los problemas relacionados a este tema, las normas IEC para armónicos están separadas en varias publicaciones. Hay estándares que tratan acerca de los ambientes y niveles que por ser muy extensos están separados, basados en los niveles de voltaje y corriente. Estas normas son mostradas a continuación:

- *IEC 61000-2-2(1993):* Niveles de compatibilidad para perturbaciones dirigidas de baja frecuencia y señalización en sistemas públicos de alimentación de baja tensión como sistemas monofásicos y trifásicos a 50 o 60 Hz con voltaje nominales de hasta 240 y 615 V, respectivamente. Los niveles de compatibilidad para voltajes armónicos individuales en redes de baja tensión son mostrados en la Tabla 2.5. Estos son determinados en porcentaje del voltaje fundamental [30].

Tabla 2.5. Niveles de compatibilidad para voltajes armónicos individuales en la red de baja tensión, IEC61000-2-2.

Impares no múltiplos de 3		Impares múltiplos de 3		Pares	
Orden h	Voltaje armónico (%)	Orden h	Voltaje armónico (%)	Orden h	Voltaje armónico (%)
5	6	3	5	2	2
7	5	9	1.5	4	1
11	3.5	15	0.3	6	0.5
13	3	21	0.2	8	0.5
17	2	>21	0.2	10	0.2
19	1.5			12	0.2
23	1.5			> 12	0.2
25	1.5				
> 25	$0.2+1.3*25/h$				

Se considera que en la THD de la tensión de alimentación se considera que los componentes armónicos mayores a 40 son menores al 8%.

- *IEC 61000-3-2(2000) e IEC 61000-3-4(1998)*: Definen los límites para emisiones de corrientes armónicas para equipos de visualización de corrientes de entrada de hasta 16 A y mayores de 16 A por fase, respectivamente. Estos estándares están destinados a limitar las emisiones de armónicos para los equipos conectados a la red de baja tensión, de manera que conforme los límites seguros de voltaje en la red satisfaga los límites de compatibilidad definidos en IEC61000-2-2. La norma clasifica los equipos en cuatro categorías, [31]:
  - *Clase A*:
    - Equipo trifásico.
    - Electrodomésticos, excepto equipos de clase D.
    - Herramientas fijas.
    - Equipos de regulación destinada a ser combinado con lámparas incandescentes.
    - Equipo de audio.
    - Otro equipo que no se clasifica como clase B, clase C o clase D.

- *Clase B:*
    - Herramientas portátiles.
    - Equipo de soldadura por arco no profesional.
  - *Clase C:*
    - Equipos de iluminación incluyendo dispositivos de atenuación (dimmer).
  - *Clase D:*
    - Equipos con entrada de corriente de forma especial y con consumo de potencia activa menor a 600W.
    - Ordenadores personales y similares.
    - Receptores de televisión
- *IEC 61000-3-6(1996):* Especifica límites de emisión para cargas distorsionadas en redes de media y alta tensión. Comprendidos entre 1 y 35 kV y entre 35 y 230 kV respectivamente, [31].

#### **2.3.1.3. NRS 048-02**

El Estándar de Calidad de Suministro, NRS 048-02, es la norma sudafricana para distribución con calidad de energía eléctrica y ha sido implementada desde el primero de Julio de 1997. Esta norma exige a los proveedores de electricidad medir e informar su calidad de suministro. Es dividida en cinco partes y es, quizás, la norma más completa que trata todos los aspectos de calidad de suministro.

El NRS 048-02 adopta los límites de voltaje armónico del estándar IEC61000-2-2 mostrados en la Tabla 2.5 así como las normas de compatibilidad para sistemas de baja y media tensión. Para los sudafricanos, el voltaje nominal en las redes de baja tensión es menor a 1 kV, mientras que en media tensión están entre 1 y 44 kV.

#### **2.3.1.4. EN 50160**

Es un estándar europeo que trata los requerimientos de calidad del suministro para proveedores de ese continente. La norma define los niveles específicos de voltaje característicos que deben ser entregados por los distribuidores de energía eléctrica y métodos para evaluar la conformidad de suministro. EN 50160 fue aprobado por el Comité Europeo para la Estandarización Electrotécnica (CENELEC) en 1994.

Los límites de voltaje armónico para EN 50160 son dados en porcentaje del voltaje fundamental y se muestran en la Tabla 2.6. Estos se aplican a sistemas alimentados ya sea con baja o media tensión, o sea para sistemas de hasta 35 kV. La distorsión armónica total de



voltaje de alimentación que incluye todos los armónicos hasta el 40 no debe exceder el 8%. Los valores de distorsión de orden superior no son tomados en cuenta ya que son demasiado pequeños como para establecer un valor de referencia significativa, [32].

Tabla 2.6. Tabla de voltajes armónicos para sistemas de alimentación de baja y media tensión, EN 50160.

Impares no múltiplos de 3		Impares múltiplos de 3		Pares	
Orden h	Voltaje armónico (%)	Orden h	Voltaje armónico (%)	Orden h	Voltaje armónico (%)
5	6	3	5	2	2
7	5	9	1.5	4	1
11	3.5	15	0.3	6-24	0.5
13	3	21	0.2		
17	2				
19	1.5				
23	1.5				
25	1.5				

### 2.3.1.5. L0000-45

En México existe la especificación, de la CFE, L0000-45 denominada “perturbaciones permisibles en las formas de onda de tensión y corriente del suministro de energía eléctrica” concerniente a la distorsión armónica permisible, [33]. Los valores de voltaje armónico permisible se presentan en la Tabla 2.7.

Tabla 2.7. Límites de distorsión armónica en voltaje en porcentaje del voltaje nominal.

Niveles de tensión (kV)	Distorsión armónica individual (%)	Distorsión armónica total THD $V_n$ (%)
$V_n \leq 1$	5.0	8.0
$1 < V_n \leq 69$	3.0	5.0
$69 < V_n \leq 138$	1.5	2.5
$V_n > 130$	1.0	1.5

El estudio de las normas y las amplitudes de los armónicos presentadas anteriormente servirán para validar los resultados de la THD obtenidos en simulación y de forma experimental, se realizará una comparación de las normas IEEE 519 y la IEC 61000.

### 2.3.2. Distorsión Armónica Total

La distorsión armónica total (THD) es un parámetro para medir el contenido armónico que presenta una señal y se define como la relación del contenido armónico de una señal (raíz cuadrada de la suma de todos los cuadrados de las amplitudes de todos los armónicos de voltaje) y el armónico fundamental (amplitud del voltaje fundamental) y está dada por la ecuación 2.16.

$$THD_V = \frac{\sqrt{\sum_2^{\infty} V_h^2}}{V_1} * 100 \quad (2.16)$$

Éste es el parámetro de medición más conocido y representa en buena manera la contaminación total armónica que existe en una señal de voltaje, además, se utilizará para medir la contaminación armónica en la señal de salida del inversor asimétrico a estudiar en este trabajo.



## Capítulo III: Herramientas de Implementación FPGA

---

*La etapa encargada de generar los patrones de conmutación de las compuertas de los interruptores, para cualquier técnica de modulación utilizada en los convertidores, se puede realizar con herramientas de sistemas analógicos o digitales.*

*Debido a la gran demanda de estos últimos en las áreas de la electrónica, se han desarrollado diversos dispositivos que cumplan con los propósitos generales o específicos. En la electrónica de potencia, se han desarrollado dispositivos para ciertas topologías y aplicaciones, que han ayudado a mejorar el desempeño de los sistemas actuales de la ciencia y la tecnología.*

*Algunos dispositivos que comúnmente se utilizan para comandar y/o activar los interruptores de los convertidores son los FPGA,  $\mu$ C, DSP, entre otros.*

### 3.1. Introducción

En esta sección se describen las herramientas utilizadas, tanto de hardware como de software, utilizadas para la obtención de los resultados experimentales. Primero se da una breve introducción a los dispositivos FPGA (Field Programmable Gate Array). Posteriormente una breve descripción del lenguaje de programación VHDL (Hardware Descripción Lenguaje).

### 3.2. Dispositivos FPGA

El uso de los FPGA relacionado con los convertidores multinivel es un campo en el cual se obtienen ventajas significativas, pues cuando se requiere un gran número de niveles de salida se tienen complicaciones para aplicar el patrón de modulación. Por otra parte, frecuentemente se requieren algoritmos de comando complejos, los cuales necesitan implementarse en tiempo real, usando dispositivos que tengan rapidez de respuesta adecuada.

Los FPGA tienen algunas cualidades, como la flexibilidad para modificar señales de comando sin alterar el hardware, múltiples salidas y ejecución de tareas en forma paralela, con lo cual se evitan problemas de señales de sincronización.

Estos dispositivos se componen de cierto número de módulos lógicos que determinan la capacidad del dispositivo. Los módulos son independientes entre sí y pueden interconectarse para formar módulos más complejos. Dependiendo del fabricante, estos módulos pueden ser bloques configurables o CLB (Configurable Logic Block), como en los FPGA de Xilinx, o bien, elementos de función fija formados por arreglos de compuertas, como en el caso de los dispositivos Actel.

Los módulos en un FPGA se interconectan por medio de canales configurables como se muestra en la Figura 3.1. Al proceso de interconexión se le conoce como enrutamiento y consiste en determinar la mejor estrategia de interconectar los módulos, ya sea en forma manual o mediante alguna herramienta de diseño electrónico [34-35].

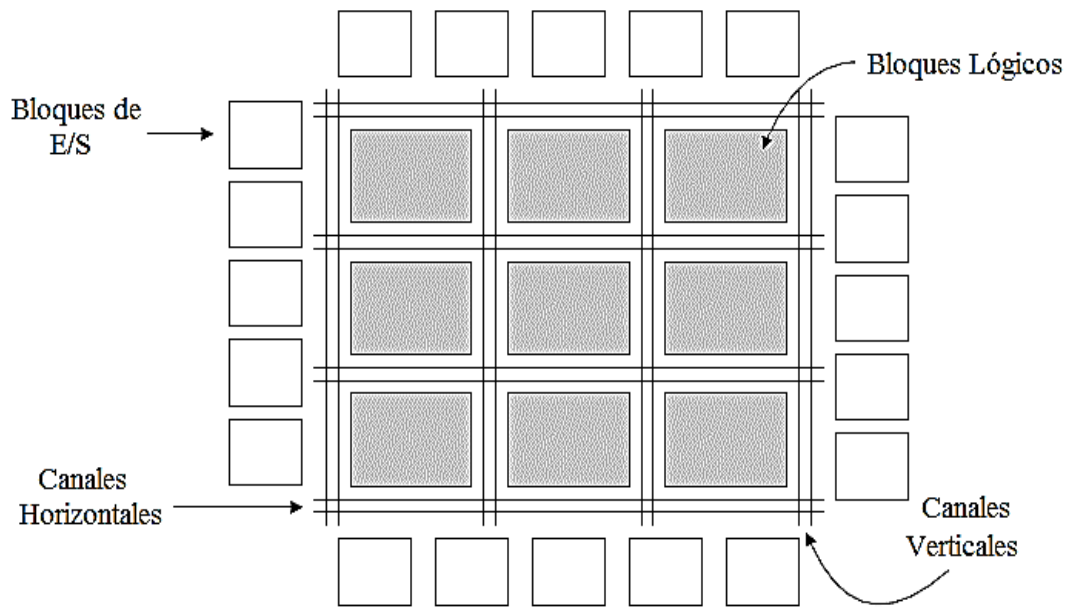


Figura 3.1. Arquitectura general de un FPGA.

La gran ventaja de utilizar estos dispositivos radica en que todo el desarrollo se lleva a cabo en un sólo ambiente de trabajo.

Las principales ventajas de usar un FPGA son [35-36]:

- Minimización del número de componentes en un diseño. Con esto se reducen tanto los gastos de inventario, inspección y prueba, como el número de fallas a nivel circuito impreso, propiciando un ahorro de espacio físico.
- Reducción en el tiempo de diseño. Debido a su naturaleza programable reducen el tiempo y los costos de desarrollo, no sólo de nuevos productos sino también de aquellos que requieren modificaciones (reingeniería), ya que son reutilizables tantas veces como sea necesario.
- Uso de una gran variedad de herramientas de diseño asistido por computadora (CAD), disponibles actualmente en el mercado. Estas herramientas promueven y facilitan el diseño sobre este tipo de dispositivos. Además, no se requiere de grandes recursos de cómputo.

### 3.3. Lenguaje de Programación VHDL

Debido a la creciente necesidad de integrar un mayor número de dispositivos en un solo circuito integrado, se desarrollaron nuevas herramientas de diseño que ayudan al ingeniero a integrar sistemas de mayor complejidad. Esto permitió que en la década de los cincuenta aparecieran los lenguajes de descripción en hardware (HDL) como una opción de diseño para el desarrollo de sistemas electrónicos elaborados.

Una de las principales características de este lenguaje radica en su capacidad para describir en distintos niveles de abstracción (funcional, transferencia de registros RTL y lógico o nivel de compuertas) cierto diseño. Los niveles de abstracción se emplean para clasificar modelos HDL según el grado de detalle y precisión de sus descripciones [37].

Los niveles de abstracción descritos desde el punto de vista de simulación y síntesis del circuito pueden definirse como sigue:

- Algorítmico: Se refiere a la relación funcional entre las entradas y salidas del circuito o sistema, sin hacer referencia a la realización final.
- Transferencia de registros (RTL): Consiste en la partición del sistema en bloques funcionales sin considerar a detalle la realización final de cada bloque.
- Lógico o de compuertas: el circuito se expresa en términos de ecuaciones lógicas y de compuertas.

Actualmente, el lenguaje de descripción en hardware más utilizado a nivel industrial es VHDL, que apareció en la década de los ochenta como un lenguaje estándar, capaz de soportar el proceso de diseño de sistemas electrónicos complejos, con propiedades para reducir el tiempo de diseño y los recursos tecnológicos requeridos.

### **3.4. Tarjeta Spartan-2E**

El dispositivo FPGA elegido como dispositivo de activación de compuertas de los IGBT es la tarjeta Spartan-2E, que fue utilizada para la implementación del sistema, la cual se muestra en la Figura 3.2.

La tarjeta Spartan-2E contiene, entre otros, los siguientes componentes:

- FPGA Xilinx XC2S200E
- Regulador de tensión 2.5V y 3.3V a 1.5A.
- Un oscilador de 50MHz.
- Puerto Serial.
- Puerto Paralelo de Programación.
- 1 Led.
- 1 Pushbutton.
- 122 señales de I/O distribuidos en 6 conectores de 40 pines.

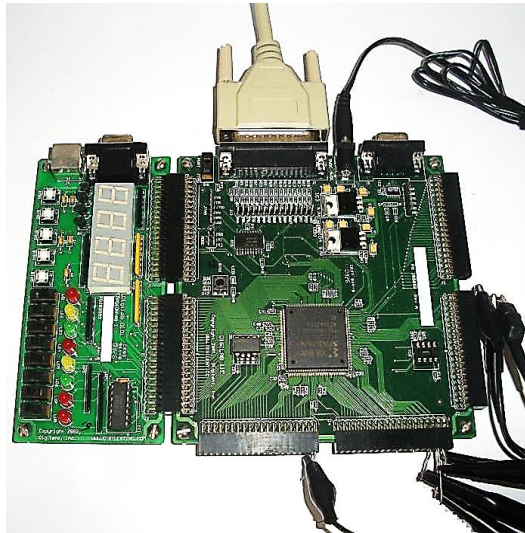


Figura 3.2. Tarjeta de Desarrollo Espartan-2E.

Dicha tarjeta soporta programación en forma esquemática (compuertas, registros, etc.) y en VHDL (código); en el presente trabajo se enfocara a la programación en código (VHDL).

### 3.5. Programación VHDL

La programación principal de la activación de las compuertas esta realizado en VHDL y consta de dos subprogramas, detallados a continuación:

Subprograma 1: Crea un reloj de conmutación a 100KHz, el cual será el tiempo base de los siguientes subprogramas, Figura 3.3.

Subprograma 2: Patrón de activación en modo normal, para cada una de las estrategias de modulación PWM, PWM escalonada y Modulación híbrida, Figura 3.3.

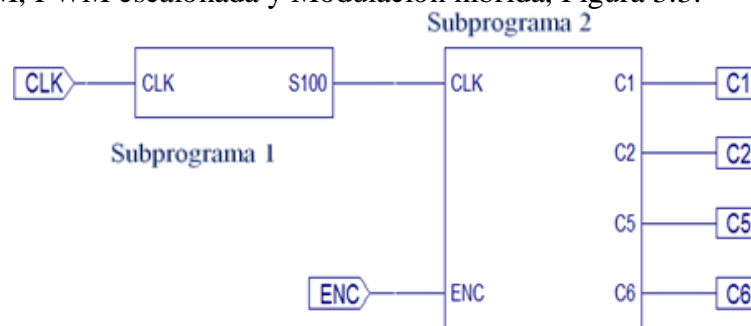


Figura 3.3. Programación VHDL en Bloques.

En el anexo B se presentan los listados de cada subprograma.



### 3.6. Plataforma Experimental de Potencia

Para la obtención de resultados experimentales se utilizó el módulo de pruebas existente en CENIDET, el cual es un inversor multinivel en cascada de baja potencia diseñado para generar siete, y se rediseñó para generar nueve niveles de tensión de fase a neutro.

Dicha maqueta consta de dos puentes H (IRAMS10UP60B) para la implementación de dicho inversor, en la Figura 3.4 se muestra dicho inversor.

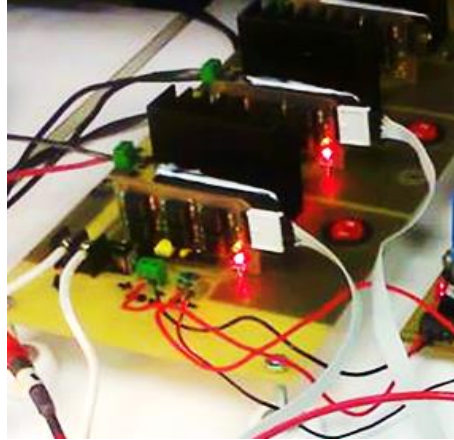


Figura 3.4. Inversor multinivel asimétrico de baja potencia de siete y nueve niveles.



## Capítulo IV: Resultados Experimentales y de Simulación

---

*La simulación según Shannon<sup>2</sup>, es el proceso de diseñar un modelo de un sistema real y llevar a término experiencias con él, con la finalidad de comprender el comportamiento del sistema o evaluar nuevas estrategias, dentro de los límites impuestos por un cierto criterio o un conjunto de ellos, para el funcionamiento del sistema. Se utiliza en las etapas de diseño para auxiliar en el logro o mejoramiento de un proceso y/o diseño; o bien en un sistema ya existente para explorar algunas modificaciones.*

*El gran desafío que se tiene al realizar una simulación es que los resultados experimentales sean lo más parecido a la simulación, y para ello intervienen varios factores.*

*En simulación: Depende mucho del programa que se utilice, ya que algunos softwares manejan modelos de dispositivos ideales y por consecuencia los resultados obtenidos pueden ser no tan cercanos a los experimentales.*

*En implementación: La mala calibración del equipo de medición, los problemas de ruido originado por fuentes de alimentación, el calibre de conductores, entre otros, pueden arrojar un resultado erróneo y alejado de simulación.*

---

<sup>2</sup> Robert Shannon.

#### 4.1. Descripción General

En esta sección se presenta los resultados de simulación, obtenidos en las plataformas de simulación PSIM 64-bit Versión 9.0, y los resultados experimentales de los mismos.

Con las pruebas experimentales se validarán los resultados de simulación, arrojados en inversor multinivel en cascada asimétrico de 7 y 9 niveles, cuando se presentan desbalances en la tensión de entrada del inversor.

Las características del sistema a evaluar son:

- Inversor multinivel en cascada asimétrico de siete y nueve niveles.
- Modulación PWM, Modulación híbrida, PWM escalonada.
- Índice de Modulación definido en 1.
- Índice de Frecuencia definida en 50.

Cabe mencionar que con respecto a los desbalances de tensión, no se realizó un estudio sobre adecuación de la modulación para compensar el sistema, ya que lo que se requiere es obtener una modulación que arroje la menor THD para que en un futuro sea implementado el sistema y ahí realizar las adecuaciones pertinentes.

#### 4.2. Resultados de Simulación

Se realizaron simulaciones del inversor multinivel asimétrico de potencia 2 y potencia 3, de 7 y 9 niveles respectivamente, utilizando el software PSIM. En dicho simulador se implementó la etapa de modulación y la etapa de potencia.

Las simulaciones se realizaron en base a las siguientes especificaciones:

- Tiempo de simulación = 40 ms.
- Carga  $R=270 \Omega$ .
- Frecuencia de la moduladora = 50Hz.
- Frecuencia de portadoras = 2100Hz, para el inversor de 7 y 9 niveles, para la técnica PWM y modulación híbrida.
- Número de celdas = 2.
- Tensión de alimentación en celda = 60 y 120 V, para el inversor de potencia 2.
- Tensión de alimentación en celda = 45 y 135 V, para el inversor de potencia 3.
- $m_a = 1$ .

Cabe mencionar que la tensión de alimentación de cada celda se varió entre -20% a 20% del voltaje nominal, en condiciones normales, para simular los desbalances y obtener la variación de la THD cuando se presentan disturbios en la alimentación de entrada.

#### 4.2.1. Simulación del Inversor Multinivel en Cascada Asimétrico de 7 Niveles.

Para conseguir 7 niveles de tensión a la salida del ACMLI, es necesario implementar una etapa de modulación que siga el patrón de conmutación de la Figura 4.1 y asignarse como se muestra.

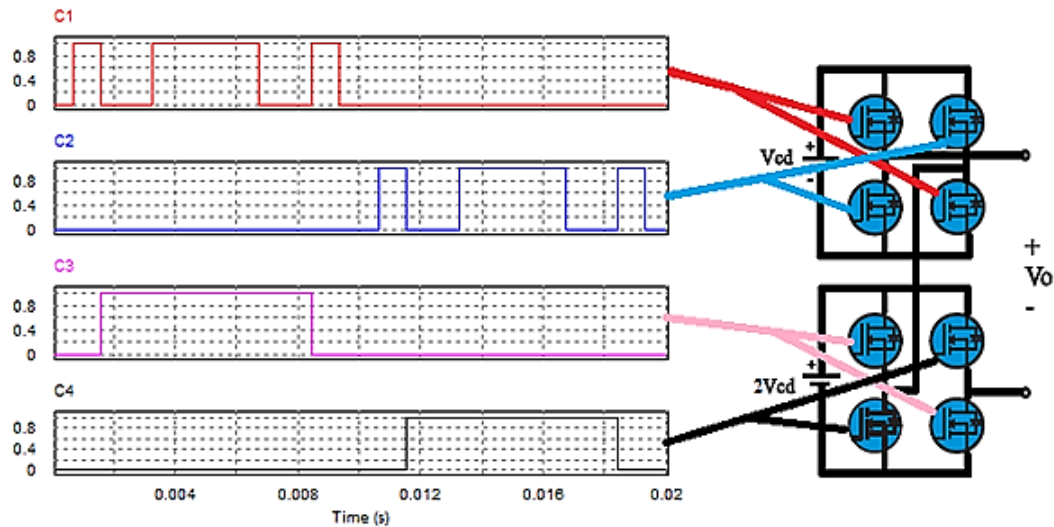


Figura 4.1. Patrón de conmutación y forma de conexión.

Con el patrón de modulación de la Figura 4.1 se consigue los siete niveles en la señal de voltaje de salida del inversor, el cual se muestra en la Figura 4.2, y se espera que los armónicos de bajo orden,  $3^\circ$ ,  $5^\circ$ ,  $7^\circ$ ,  $9^\circ$  y  $11^\circ$ , disminuyan su amplitud o sean eliminados.

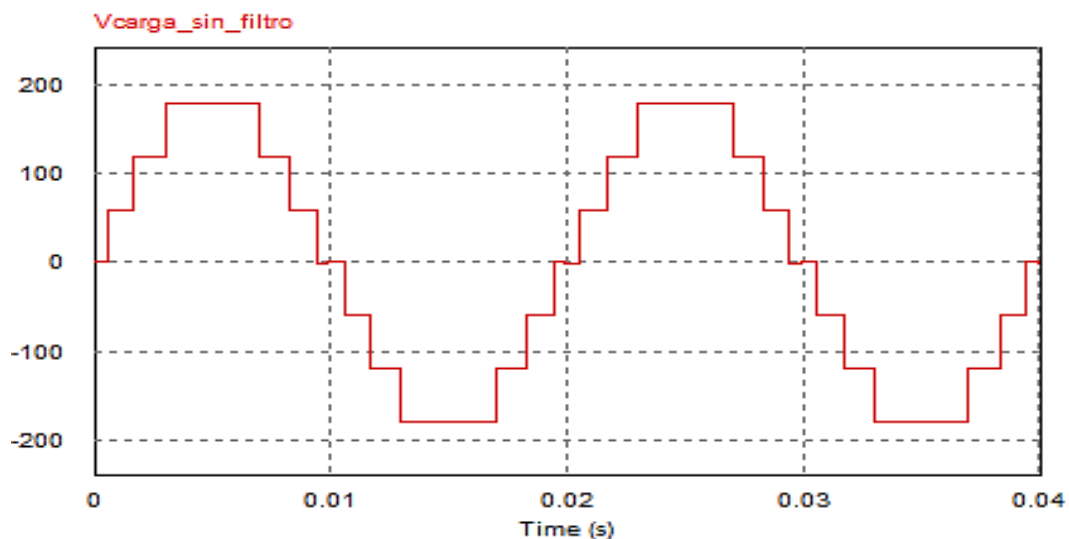


Figura 4.2. Señal de voltaje de salida de inversor de 7 niveles.

#### 4.2.1.1. Simulación del Inversor Multinivel en Cascada Asimétrico de 7 Niveles con Modulación PWM Escalonada.

La Figura 4.3 muestra la comparación de la señal de voltaje sin filtro de salida, en rojo, y la señal de voltaje con filtro a la salida, en azul, con la finalidad de mostrar la diferencia entre utilizar un filtro y no utilizarlo, observar el comportamiento del inversor, obtener la FFT y la THD. Cabe mencionar que el diseño del filtro se presenta en el anexo D.

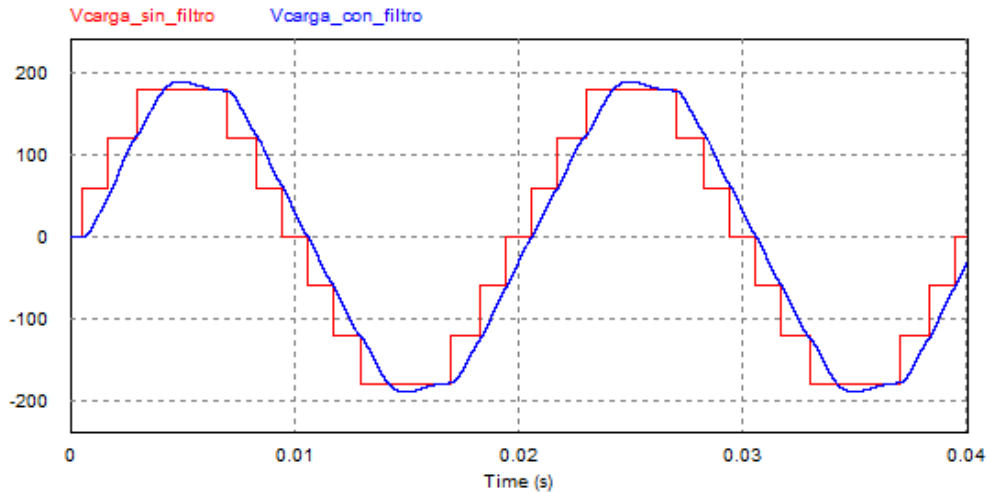


Figura 4.3. Tensión de salida del ACMLI.

En la Figura 4.4 se presenta el análisis de la transformada rápida de Fourier, de las señales de voltaje de la Figura 4.3, donde se observa el contenido armónico de cada señal de voltaje, la THD y el armónico de mayor amplitud con el porcentaje correspondiente con respecto a la fundamental.

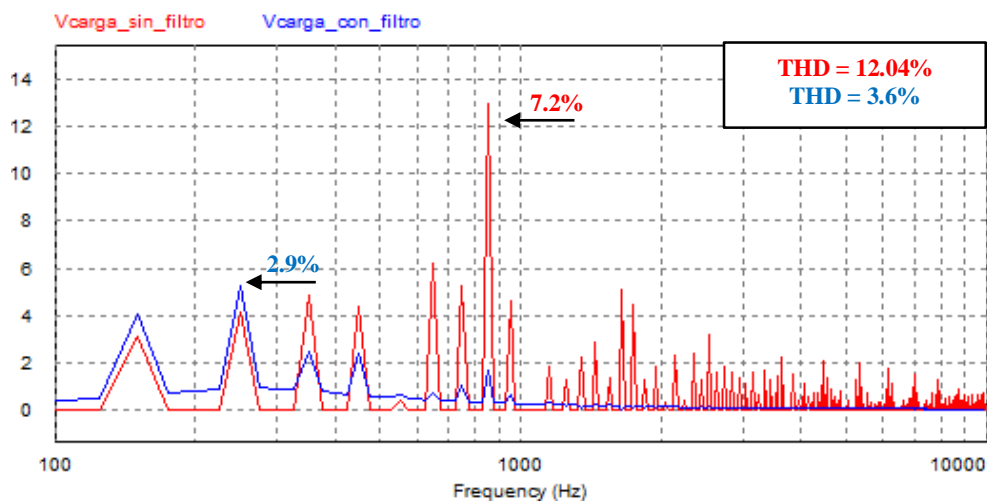


Figura 4.4. Transformada rápida de Fourier del voltaje de salida.

El armónico número 17 es el más relevante en la señal sin filtro con una amplitud de 13 V que corresponde al 7.2% de la fundamental; comparado con el armónico 5°, que es el más relevante de la señal con filtro, es elevado, pues este tiene una amplitud de 5.3 V, que corresponde al 2.9% de la fundamental.

#### 4.2.1.2. Simulación del Inversor Multinivel en Cascada Asimétrico de 7 Niveles con Modulación PWM Sinusoidal PD.

En la Figura 4.5 se muestra la comparación de la señal de voltaje sin filtro de salida, en color rojo, y la señal de voltaje con filtro a la salida, en color azul. En esta figura se observa que la señal con filtro se torna más sinusoidal.

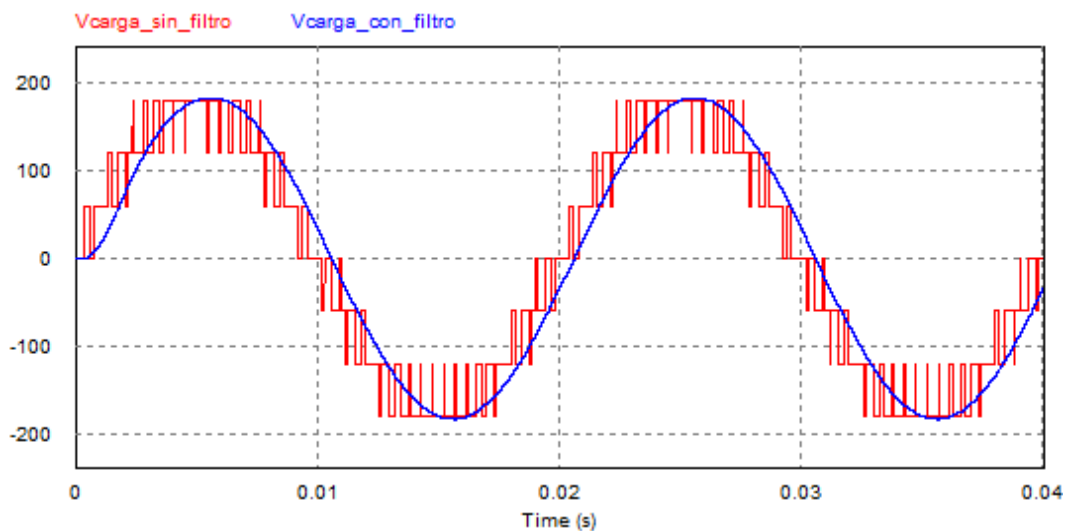


Figura 4.5. Tensión de salida del ACMLI.

La Figura 4.6 muestra el análisis de la transformada rápida de Fourier, de las señales de voltaje de la Figura 4.5, donde se observa el contenido armónico, la THD, el armónico de mayor amplitud y su porcentaje con respecto a la fundamental, de cada señal de voltaje.

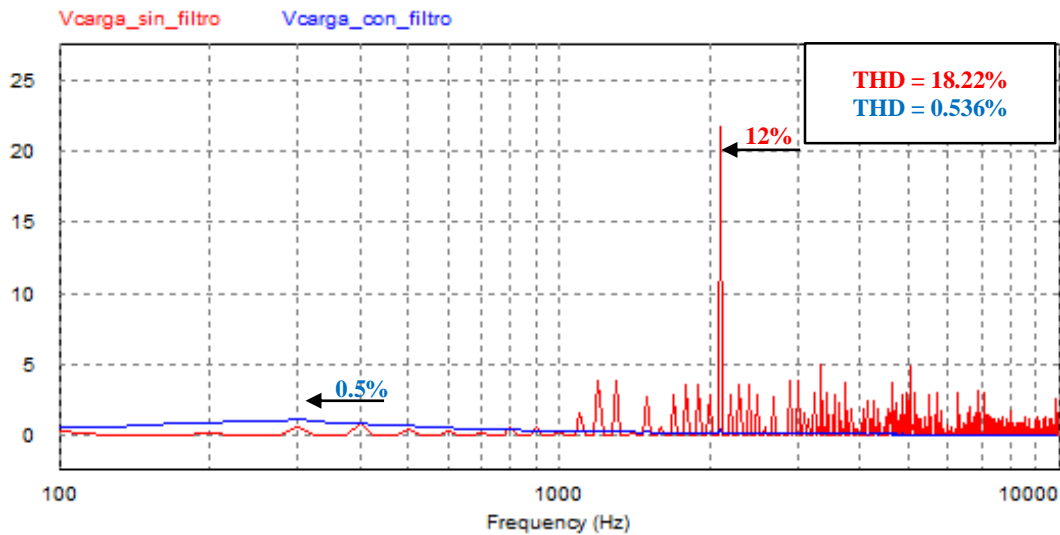


Figura 4.6. Transformada rápida de Fourier del voltaje de salida.

El armónico número 42, correspondiente a los 2100 Hz de la frecuencia de las triangulares, es el más relevante en la señal sin filtro con una amplitud de 21.6 V que corresponde al 12% de la fundamental; que comparado con el armónico 6°, que es el más relevante de la señal con filtro, es elevado, pues este tiene una amplitud de 1 V, que corresponde al 0.5% de la fundamental.

#### 4.2.1.3. Simulación del Inversor Multinivel en Cascada Asimétrico de 7 Niveles con Modulación Híbrida PD.

La Figura 4.7 muestra la señal de voltaje sin filtro de salida, en color rojo, comparada con la señal de voltaje con filtro a la salida, en color azul. En esta figura se observa que la señal con filtro se torna más senoidal, al igual que en la técnica PWM sinusoidal.

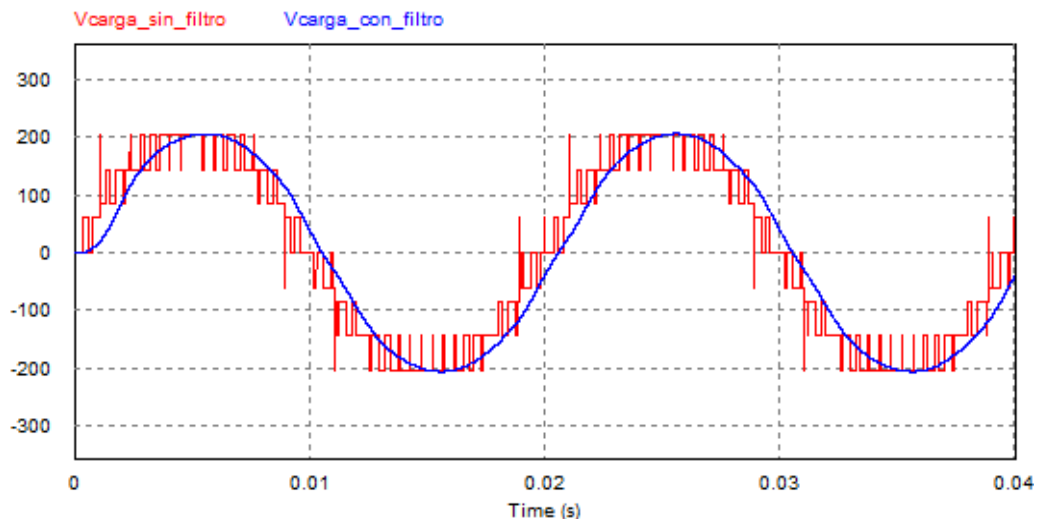


Figura 4.7. Tensión de salida del ACMLI.



El análisis de la transformada rápida de Fourier de las señales de voltaje de la Figura 4.7, se muestra en la Figura 4.8, donde se observa el contenido armónico, la THD, el armónico de mayor amplitud y su porcentaje con respecto a la fundamental, de cada señal de voltaje.

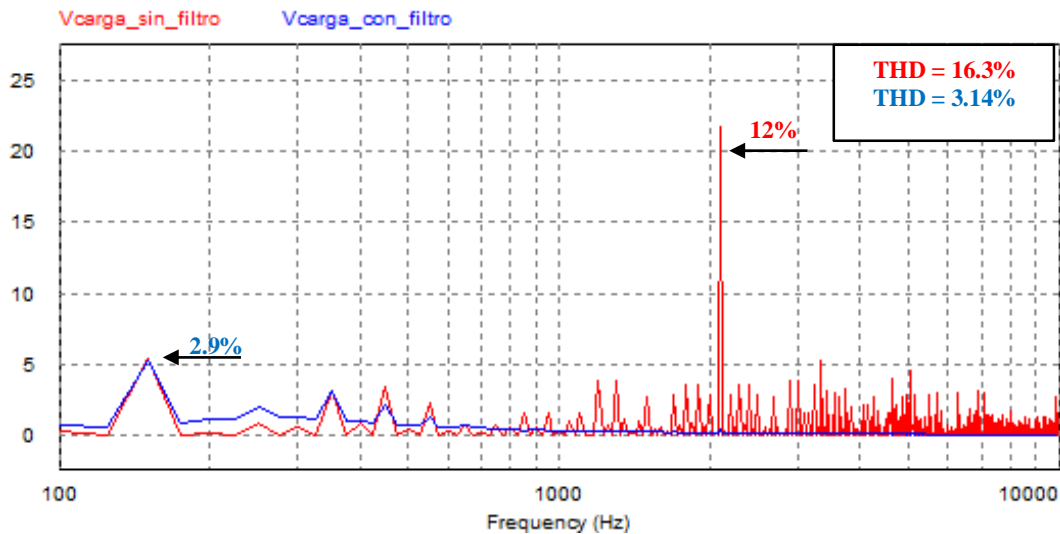


Figura 4.8. Transformada rápida de Fourier del voltaje de salida.

De igual forma que en la técnica PWM sinusoidal, el armónico número 42, es el más relevante en la señal sin filtro con una amplitud de 21.6 V que corresponde al 12% de la fundamental; que comparado con el 3<sup>er</sup> armónico, que es el más relevante de la señal con filtro, es elevado, pues este tiene una amplitud de 5.2 V, que corresponde al 2.9% de la fundamental.

#### 4.2.2. Simulación del Inversor Multinivel en Cascada Asimétrico de 9 Niveles

Para conseguir 9 niveles de tensión a la salida del ACMLI, es necesario implementar una etapa de modulación que siga el patrón de conmutación de la Figura 4.9 y asignarse como se muestra.

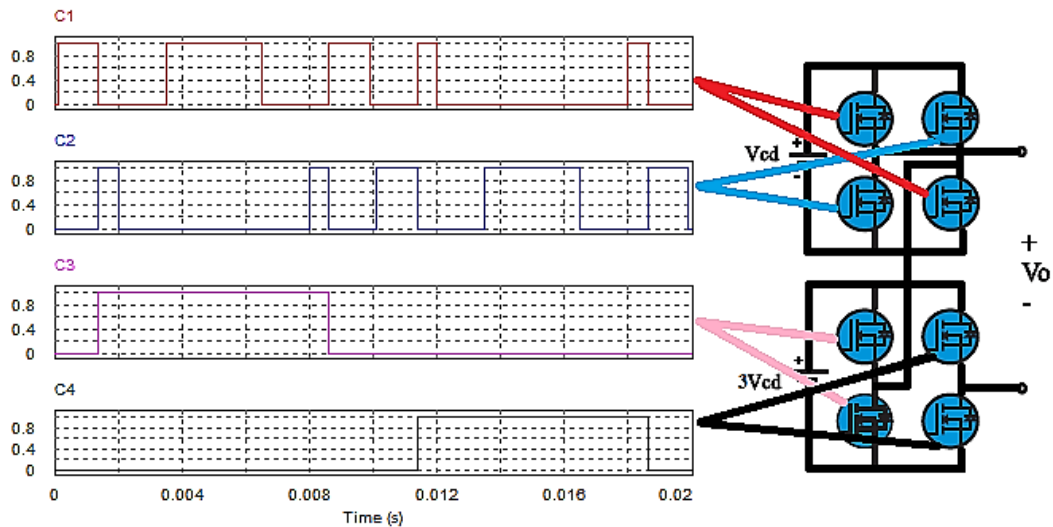


Figura 4.9. Patrón de conmutación y forma de conexión.

Con el patrón de modulación de la Figura 4.9 se consigue los nueve niveles en la señal de voltaje de salida del inversor, el cual se muestra en la Figura 4.10.

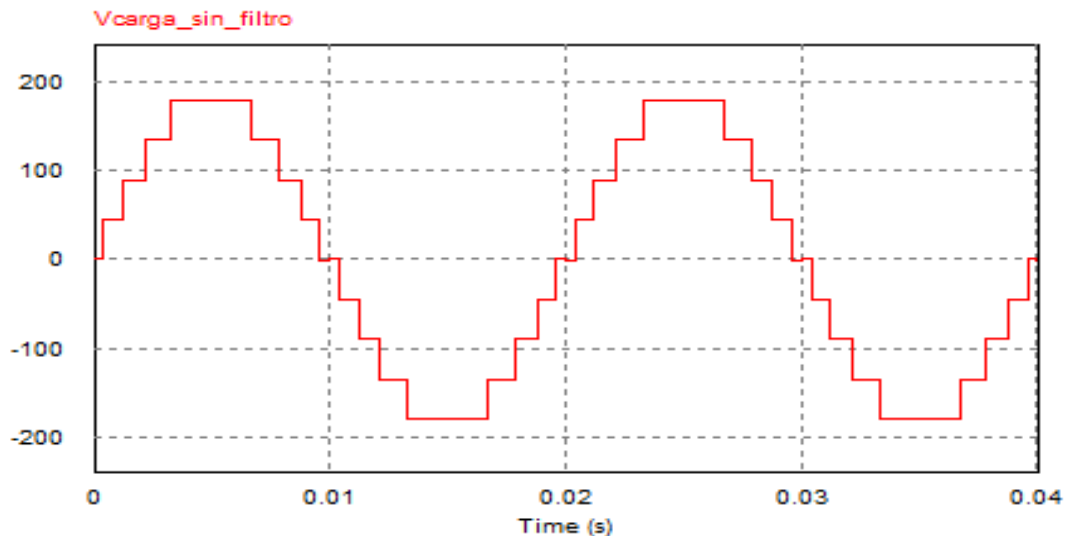


Figura 4.10. Señal de voltaje de salida de inversor de 9 niveles.

#### 4.2.2.1. Simulación del Inversor Multinivel en Cascada Asimétrico de 9 Niveles con Modulación PWM Escalonada.

En la Figura 4.11 se muestra la señal de voltaje sin filtro de salida, en rojo, comparada con la señal de voltaje con filtro a la salida, en azul, con la finalidad de mostrar la diferencia entre utilizar un filtro y no utilizarlo, además, observar el comportamiento del inversor, obtener la FFT y la THD.

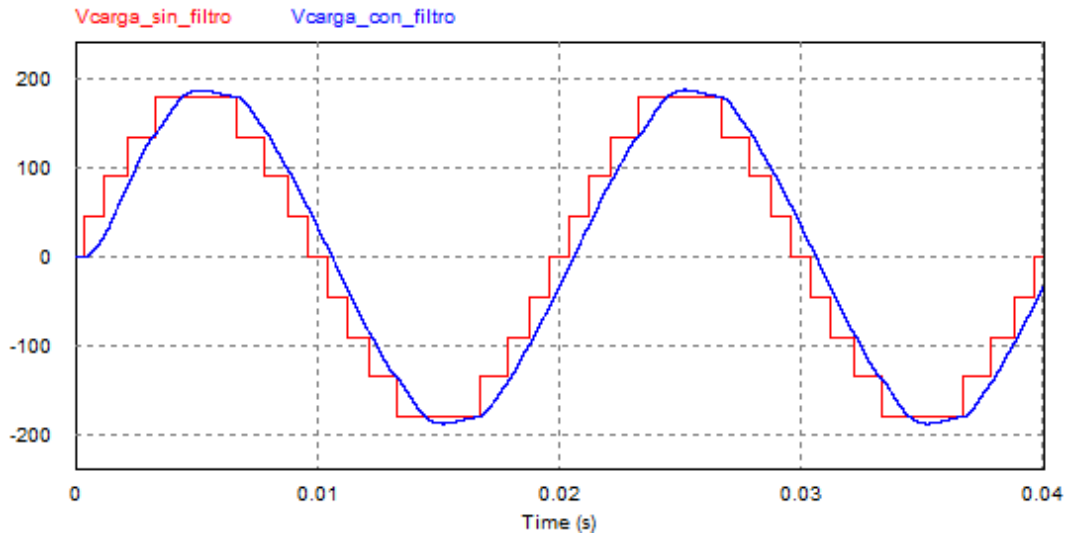


Figura 4.11. Tensión de salida del ACMLI.

La Figura 4.12 presenta el análisis de la transformada rápida de Fourier, de las señales de voltaje de la Figura 4.11, donde se observa el contenido armónico de cada señal de voltaje, la THD y el armónico de mayor amplitud con el porcentaje correspondiente con respecto a la fundamental.

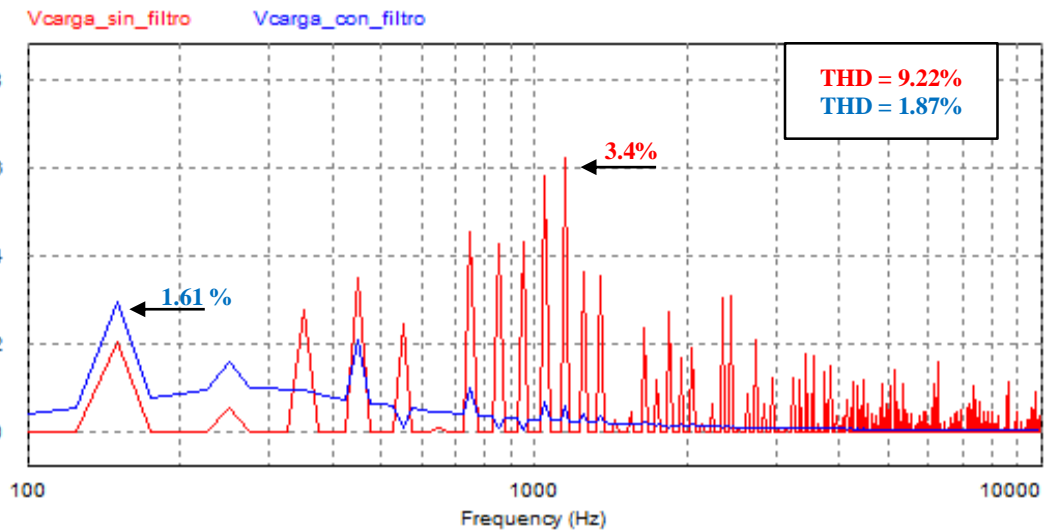


Figura 4.12. Transformada rápida de Fourier del voltaje de salida.

El armónico número 23 es el más relevante en la señal sin filtro con una amplitud de 6.25 V que corresponde al 3.4% de la fundamental; comparado con el 3<sup>er</sup> armónico, que es el más relevante de la señal con filtro, es elevado, pues este tiene una amplitud de 2.91 V, que corresponde al 1.61% de la fundamental.

#### 4.2.2.2. Simulación del Inversor Multinivel en Cascada Asimétrico de 9 Niveles con Modulación PWM Sinusoidal PD.

La Figura 4.13 presenta la comparación de la señal de voltaje sin filtro de salida, en color rojo, y la señal de voltaje con filtro a la salida, en color azul. En esta figura se observa que la señal con filtro tiende a ser más senoidal.

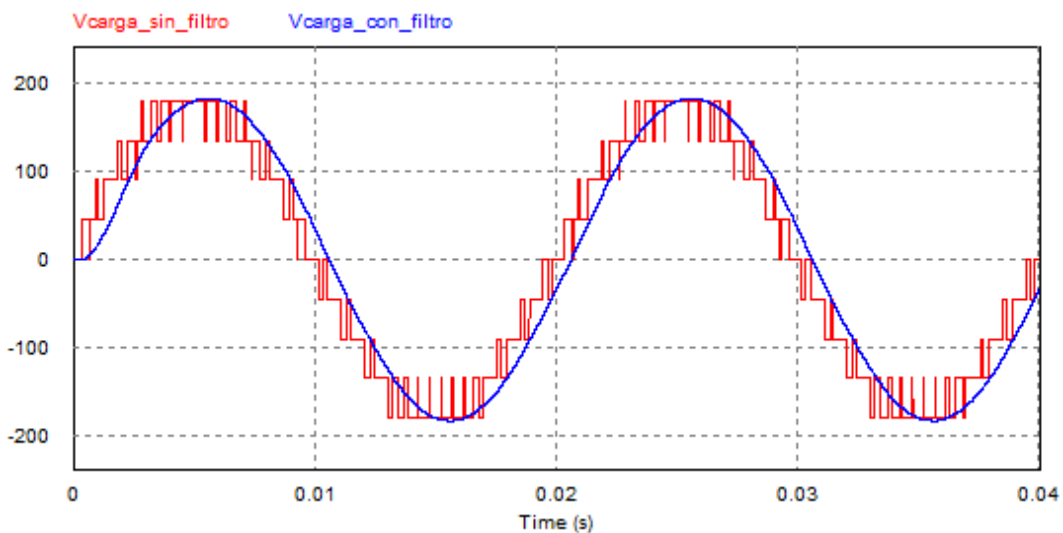


Figura 4.13. Tensión de salida del ACMLI.

El análisis de la transformada rápida de Fourier de las señales de voltaje de la Figura 4.13, se muestra en la Figura 4.14 donde se observa el contenido armónico, la THD, el armónico de mayor amplitud y su porcentaje con respecto a la fundamental, de cada señal de voltaje.

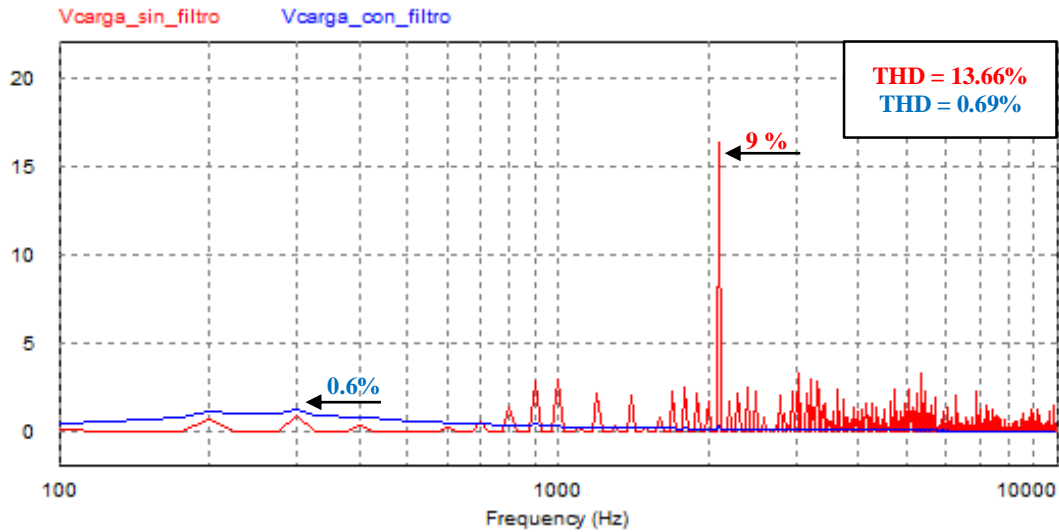


Figura 4.14. Transformada rápida de Fourier del voltaje de salida.

El armónico más relevante en la señal de voltaje sin filtro es el número 42, correspondiente a los 2100 Hz de la frecuencia de las triangulares, con una amplitud de 16.2 V que corresponde al 9% de la fundamental; comparándolo con el 6° armónico, que es el más relevante de la señal con filtro, es elevado, pues este tiene una amplitud de 1.1 V, que corresponde al 0.6% de la fundamental.

#### 4.2.2.3. Simulación del Inversor Multinivel en Cascada Asimétrico de 9 Niveles con Modulación Híbrida PD.

En la Figura 4.15 se muestra la señal de voltaje sin filtro de salida, en color rojo, y la señal de voltaje con filtro a la salida, en color azul. En esta figura se observa que la señal con filtro se torna más senoidal, al igual que en la técnica PWM sinusoidal.

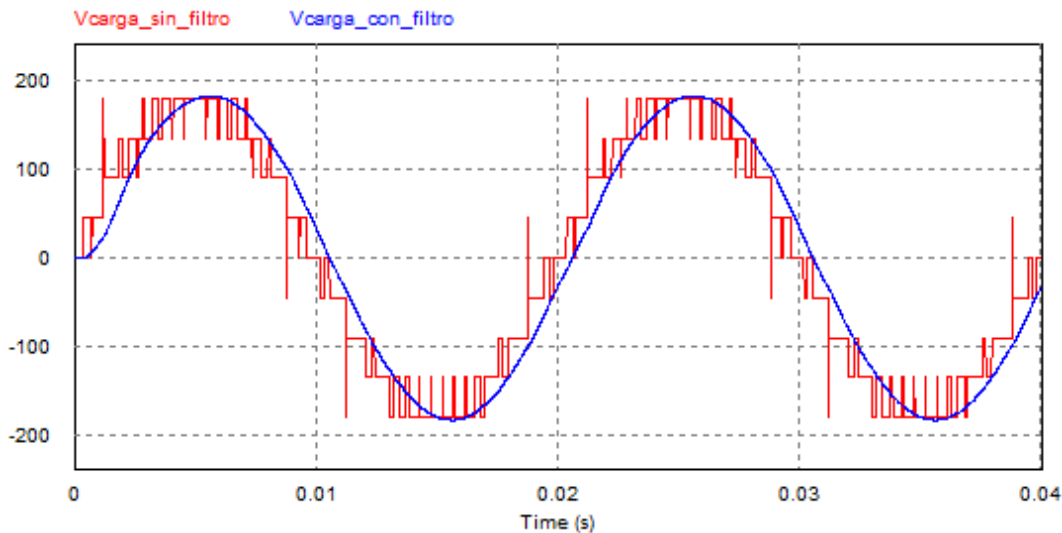


Figura 4.15. Tensión de salida del ACML.

La Figura 4.16 muestra el análisis de la transformada rápida de Fourier de las señales de voltaje de la Figura 4.15, donde se observa el contenido armónico, la THD, el armónico de mayor amplitud y su porcentaje con respecto a la fundamental, de cada señal de voltaje.

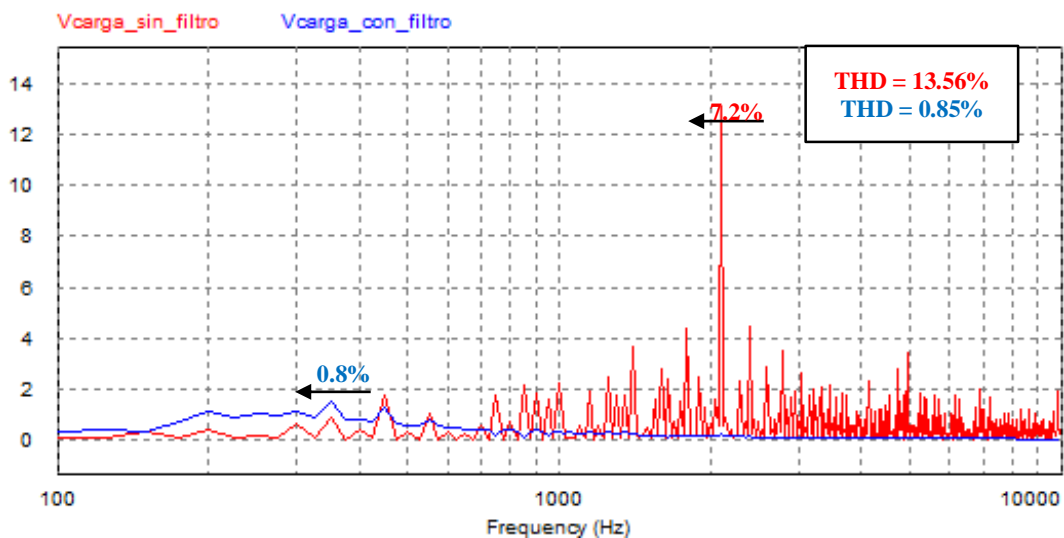


Figura 4.16. Transformada rápida de Fourier del voltaje de salida.

De igual forma que en la técnica PWM sinusoidal, el armónico número 42, es el más relevante en la señal sin filtro con una amplitud de 12.96 V que corresponde al 7.2% de la fundamental; que comparado con el 7° armónico, que es el más relevante de la señal con filtro, es elevado, pues este tiene una amplitud de 1.44 V, que corresponde al 0.8% de la fundamental.

### 4.3. Resultados Experimentales

En esta sección se exponen los resultados obtenidos en las pruebas experimentales, que fueron utilizados para la comprobar o validar los resultados obtenidos en simulación. Estas pruebas se llevaron a cabo utilizando la maqueta existente en CENIDET descrita en la sección 3.6. Las cuales se realizaron en base a las siguientes especificaciones:

- Periodo = 2 ciclos.
- Carga  $R=270 \Omega$ ,  $R_L$ = Motor de inducción de 127 V<sub>rms</sub>.
- Frecuencia de la moduladora = 50Hz.
- Frecuencia de portadoras = 2100Hz, para el inversor de 7 y 9 niveles, para la técnica PWM y modulación híbrida.
- Número de celdas = 2.
- Tensión de alimentación en celda = 60 y 120 V, para el inversor de potencia 2.
- Tensión de alimentación en celda = 45 y 135 V, para el inversor de potencia 3.

Cabe mencionar que la tensión de alimentación del inversor, se realizó mediante fuentes de CD regulables disponibles en el laboratorio de electrónica de potencia, una de hasta 60 V y la otra de hasta 250V.

#### 4.3.1. Inversor Multinivel en Cascada Asimétrico de 7 Niveles

Las siguientes figuras ilustran el resultado de las pruebas experimentales del inversor de 7 niveles comandados con las estrategias de modulación estudiadas en este trabajo.

#### 4.3.1.1. Resultados Experimentales del Inversor Multinivel en Cascada Asimétrico de 7 Niveles con Modulación PWM Escalonada.

En la Figura 4.17 se observa la señal de voltaje del inversor de 7 niveles, con carga resistiva, sensada con un osciloscopio.

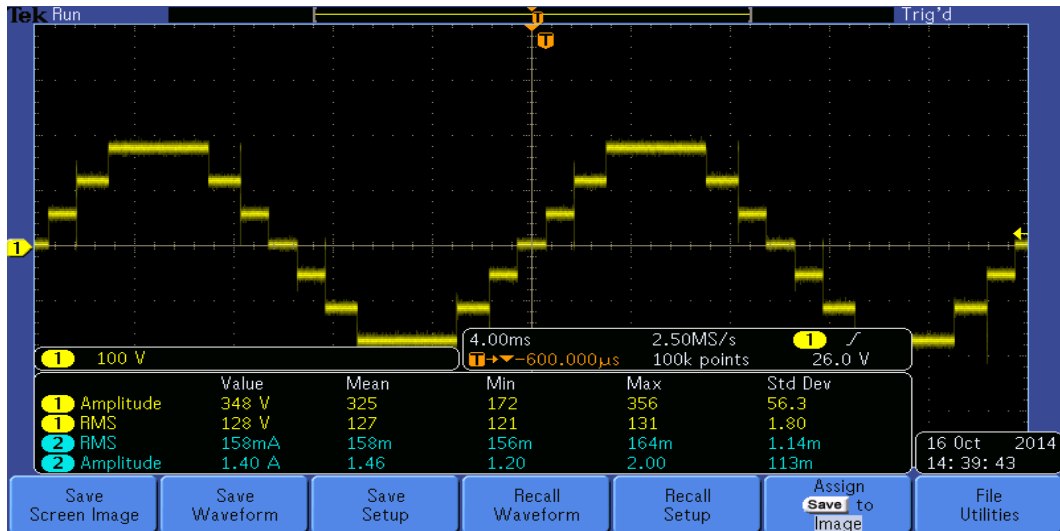


Figura 4.17. Tensión de salida del ACMLI con carga resistiva.

En la Figura 4.18 se muestra el contenido armónico de la señal de voltaje de la Figura 4.17, de la cual se obtuvieron los datos de la señal de voltaje para manipularlos en Matlab y obtener el espectro armónico en frecuencia, la THD, la amplitud y el orden del armónico más significativo.

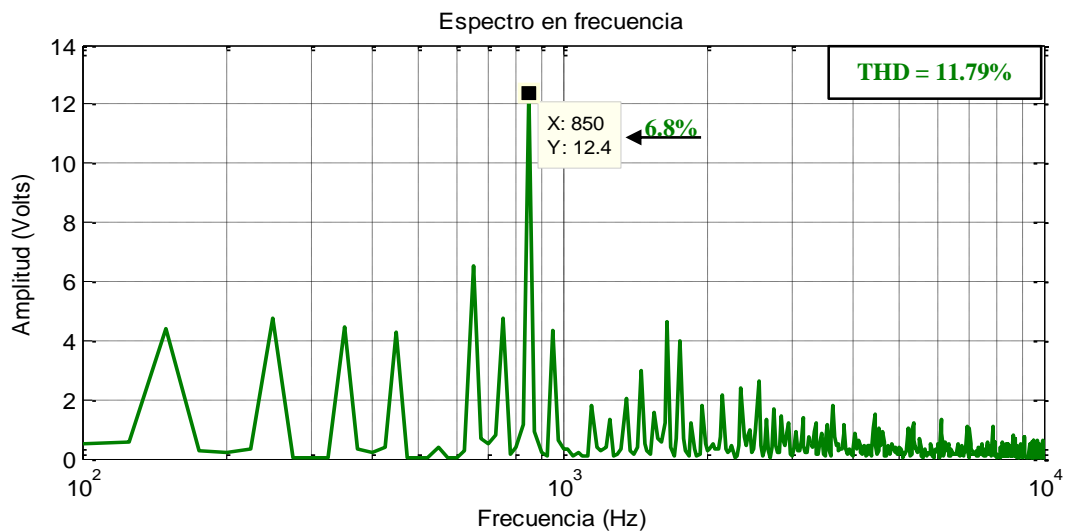


Figura 4.18. Transformada rápida de Fourier del voltaje de salida.



En la figura anterior se muestra el valor de la THD resultante que es de 11.79%. El armónico número 17 es el más relevante, al igual que en los resultados de simulación, con una amplitud de 12.4 V que corresponde al 6.8% de la fundamental.

La Figura 4.19 muestra la señal de voltaje del inversor de 7 niveles, con un motor monofásico como carga, sensada con un osciloscopio para realizar el análisis del espectro armónico.

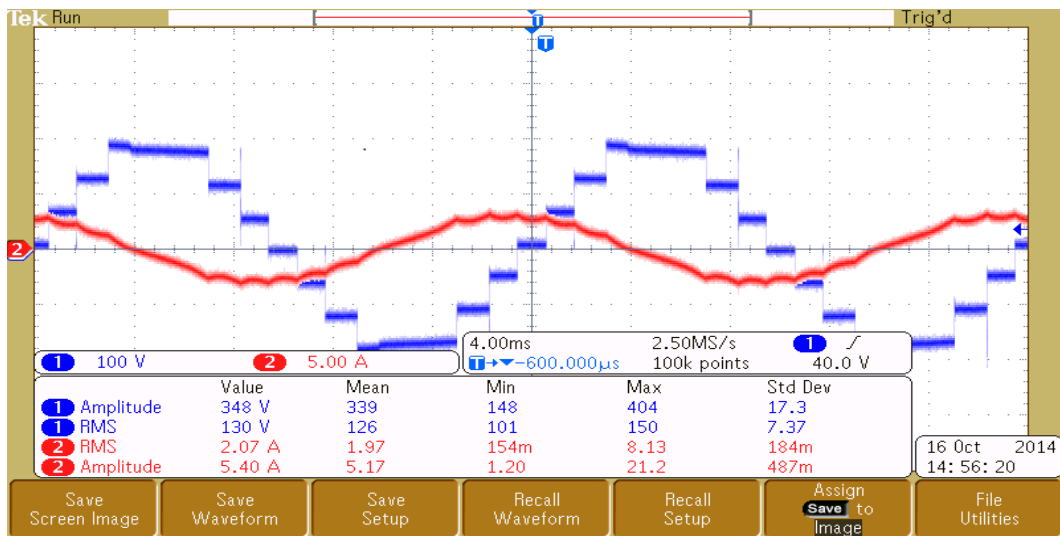


Figura 4.19. Tensión de salida del ACMLI con carga RL.

El contenido armónico de la señal de voltaje de la Figura 4.19 se muestra en la Figura 4.20, donde se observa el espectro armónico en frecuencia, la THD, la amplitud y el orden del armónico más significativo.

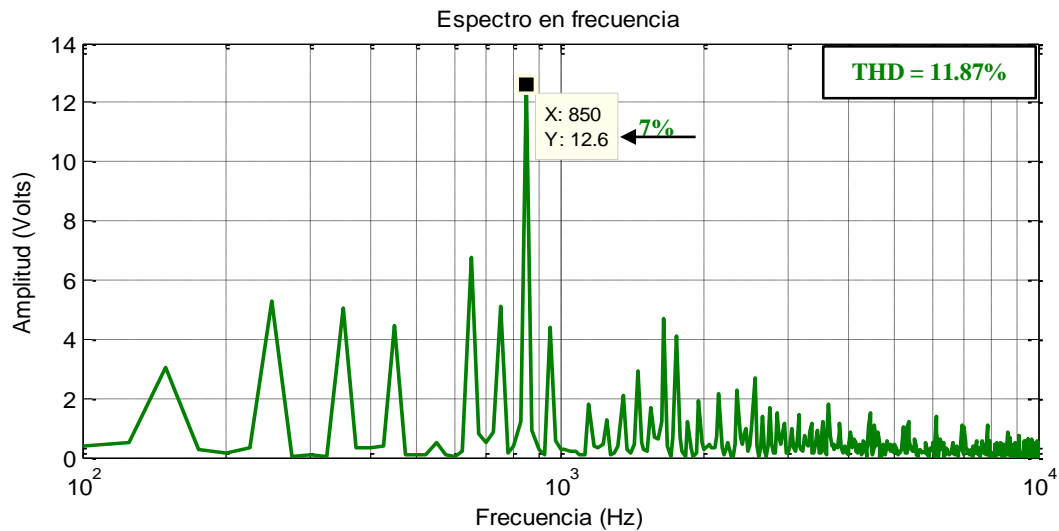


Figura 4.20. Transformada rápida de Fourier del voltaje de salida.

El armónico más relevante es el número 17, al igual que la carga resistiva, con una amplitud de 12.6 V que corresponde al 7% de la fundamental. La THD resultante de la señal de voltajes es de 11.87%.

#### 4.3.1.2. Resultados Experimentales del Inversor Multinivel en Cascada Asimétrico de 7 Niveles con Modulación PWM Sinusoidal PD.

La señal de voltaje obtenida en las pruebas experimentales, alimentando una carga resistiva, se presenta en la Figura 4.21, de la cual se obtuvieron los datos para ser manipulados y obtener el espectro de frecuencia del contenido armónico.

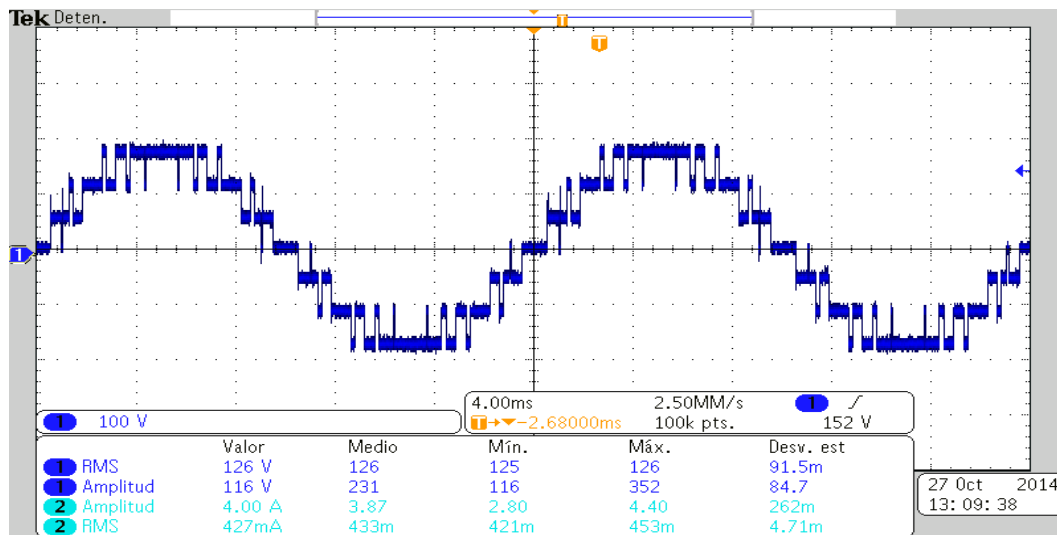


Figura 4.21. Tensión de salida del ACMLI con carga resistiva.

En la Figura 4.22 se muestra el contenido armónico de la señal de voltaje de la Figura 4.21, donde se observa el espectro armónico en frecuencia, la THD, la amplitud y el orden del armónico más significativo.

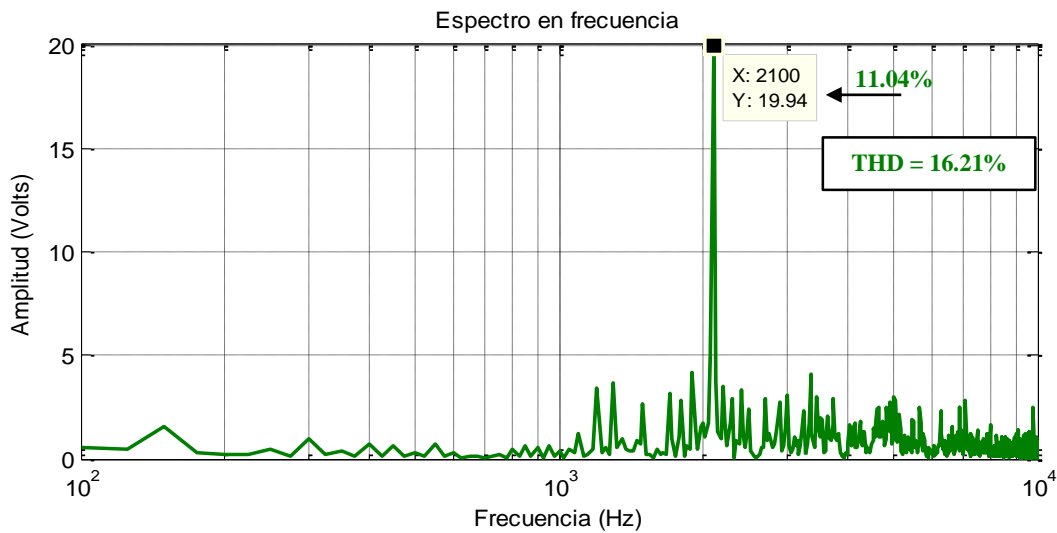


Figura 4.22. Transformada rápida de Fourier del voltaje de salida.

De la Figura 4.22 se observa que la THD es de 16.21%, además, que el armónico más relevante es el número 42, del mismo orden que el estudio de simulación, con una amplitud de 19.94 V que corresponde al 11.07% de la fundamental.

Cuando se alimentó el motor monofásico, se obtuvo una señal de voltaje como la de la Figura 4.23. Los datos de esta señal de voltaje fueron manipulados para obtener el espectro de frecuencia del contenido armónico.

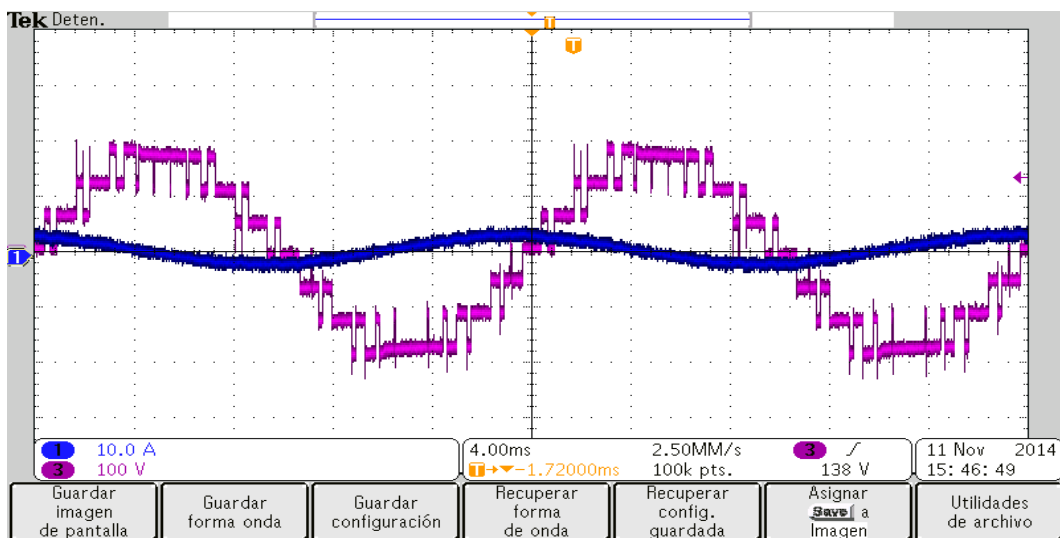


Figura 4.23. Tensión de salida del ACMLI con carga RL.

En la Figura 4.24 se observa el contenido armónico de la señal de voltaje de la Figura 4.23, donde se observa el espectro armónico en frecuencia, la THD, la amplitud y el orden del armónico más significativo.

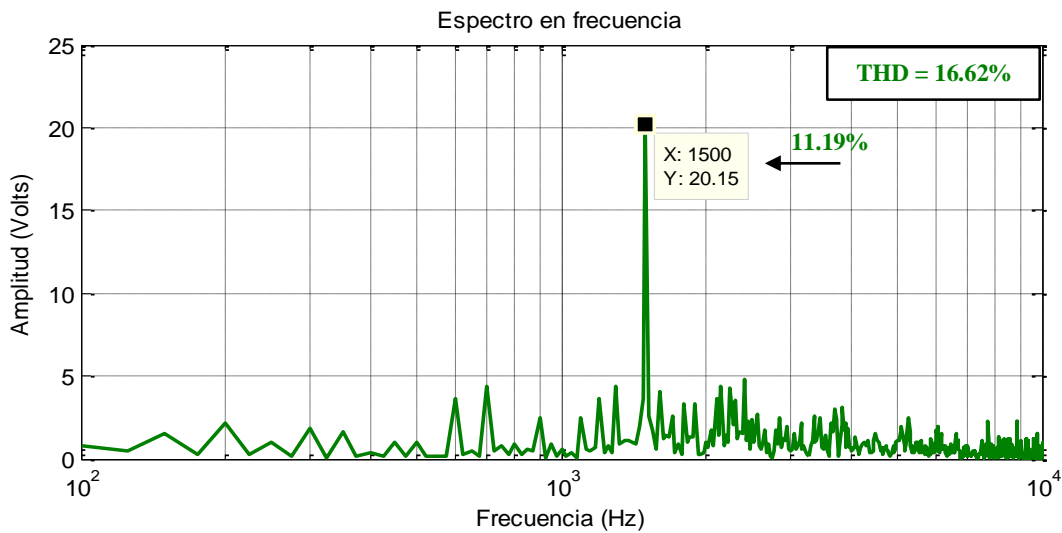


Figura 4.24. Transformada rápida de Fourier del voltaje de salida.

Al observar la Figura 4.24, se puede apreciar que el 3<sup>er</sup> armónico es el más relevante; a diferencia que con la carga resistiva, este armónico se presenta en bajo orden con una amplitud de 0.09 V que corresponde al 11.19% de la fundamental. La THD resultante es 16.62%.

#### 4.3.1.3. Resultados Experimentales del Inversor Multinivel en Cascada Asimétrico de 7 Niveles con Modulación Híbrida PD.

En la Figura 4.25 se observa la señal de voltaje, obtenida en las pruebas experimentales con una carga resistiva, de la cual se obtuvieron los datos para ser manipulados y obtener el contenido armónico de la señal.

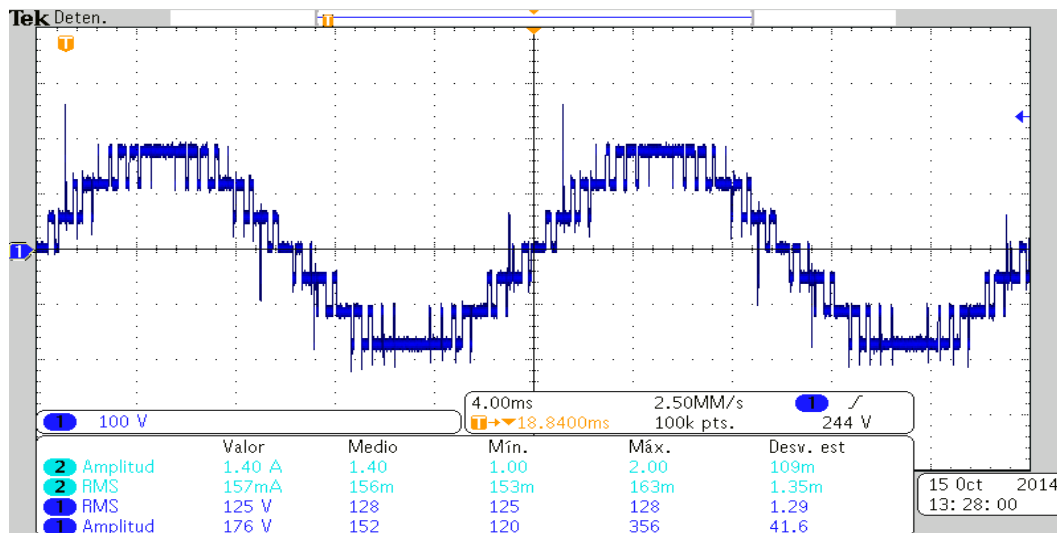


Figura 4.25. Tensión de salida del ACMLI con carga resistiva.

El contenido armónico de la señal de voltaje de la Figura 4.25 se muestra en la Figura 4.26, donde se observa el espectro armónico en frecuencia, la THD, la amplitud y el orden del armónico más significativo.

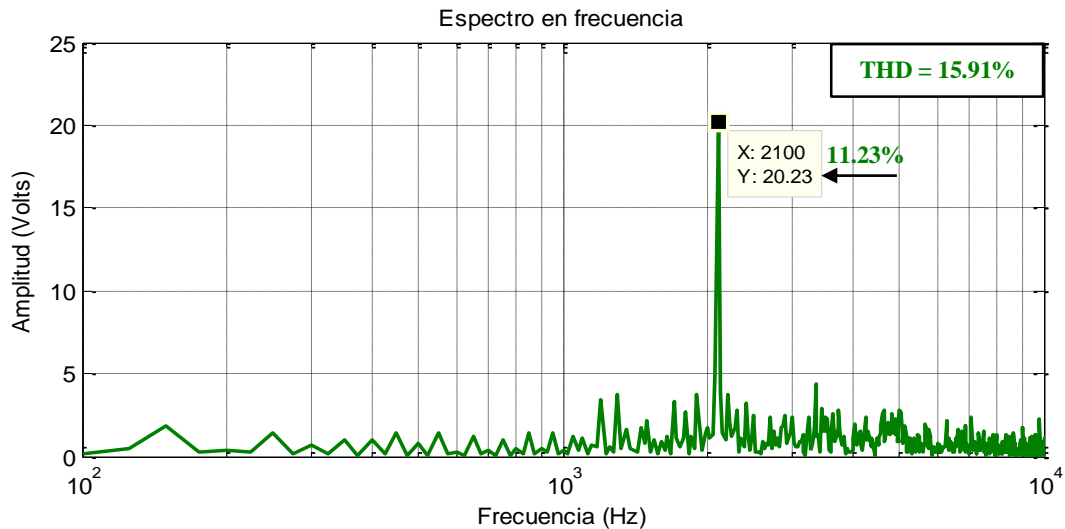


Figura 4.26. Transformada rápida de Fourier del voltaje de salida.

En la Figura 4.26, se puede apreciar que la THD resultante es de 15.91%, y que el 42° armónico es el más relevante, de la misma forma que en simulación, con una amplitud de 20.23 V que corresponde al 11.23% de la fundamental.

En la Figura 4.27 se observa la señal de voltaje, del inversor, utilizando como carga un motor monofásico.

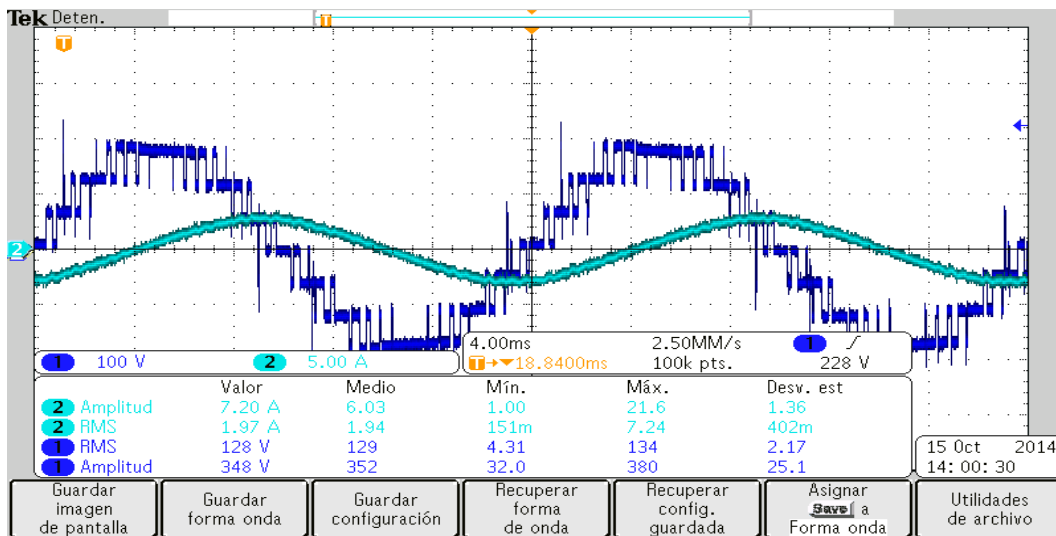


Figura 4.27. Tensión de salida del ACMLI con carga RL.

La Figura 4.28 muestra el contenido armónico de la señal de voltaje de la Figura 4.27, donde se observa el espectro armónico en frecuencia, la THD, la amplitud y el orden del armónico más significativo.

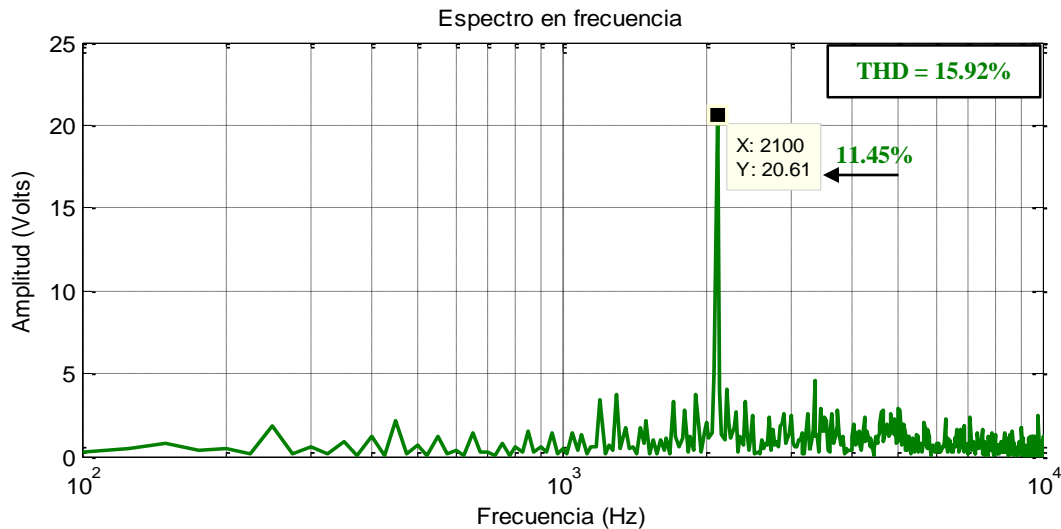


Figura 4.28. Transformada rápida de Fourier del voltaje de salida.

El contenido armónico mostrado en la Figura 4.28, muestra que el armónico número 42 es el más relevante; a diferencia que con la carga resistiva, este armónico se presenta en bajo orden con una amplitud de 20.61 V que corresponde al 11.45% de la fundamental. La THD resultante es de 15.92%.

#### 4.3.2. Inversor Multinivel en Cascada Asimétrico de 9 Niveles

Las figuras siguientes presentan los resultados de las pruebas experimentales del inversor de 9 niveles comandados con las estrategias de modulación estudiadas en este trabajo.

##### 4.3.2.1. Resultados Experimentales del Inversor Multinivel en Cascada Asimétrico de 9 Niveles con Modulación PWM Escalonada.

La Figura 4.29 muestra la señal de voltaje, obtenida en las pruebas experimentales con una carga resistiva, con la cual se obtuvieron los datos para ser manipulados y obtener el contenido armónico de la señal.

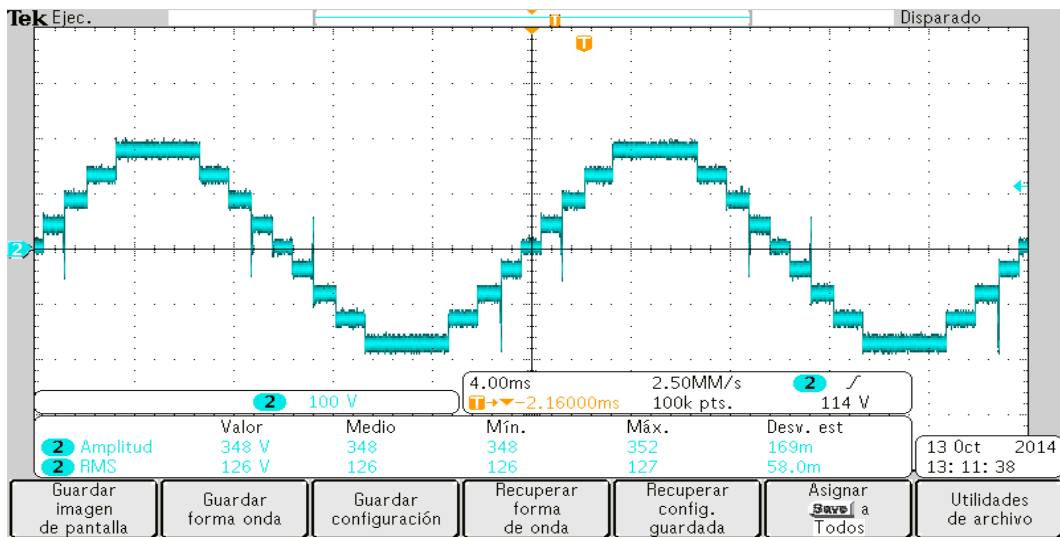


Figura 4.29. Tensión de salida del ACMLI con carga resistiva.

El contenido armónico de la señal de voltaje, de la Figura 4.29, se observa en la Figura 4.30 donde se observa la THD, el espectro armónico en frecuencia, la amplitud y el orden del armónico más significativo.

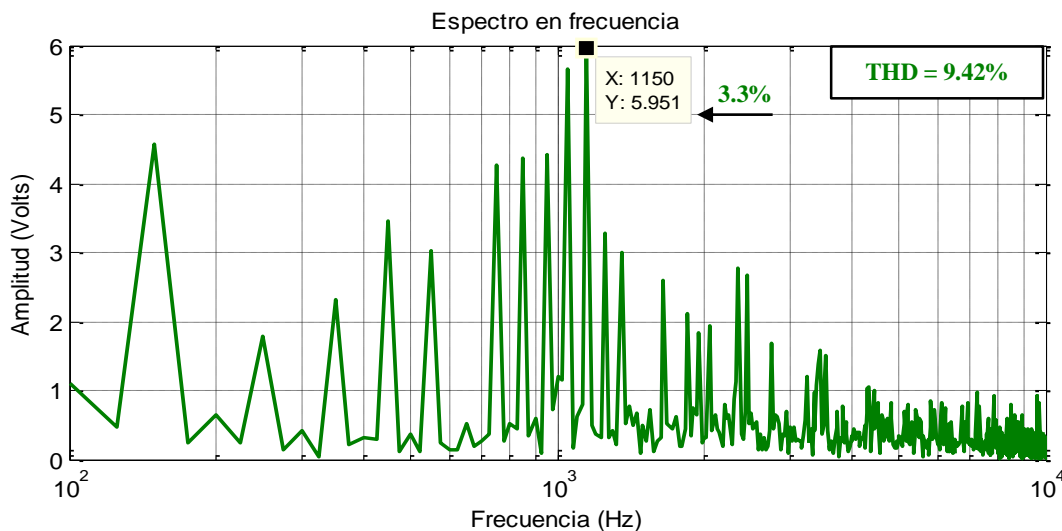


Figura 4.30. Transformada rápida de Fourier del voltaje de salida.

En la Figura 4.30 una THD resultante de 9.42%, además, se aprecia que el armónico más relevante es el número 23, con carga resistiva; este armónico se presenta con una amplitud de 5.95 V que corresponde al 3.3% con respecto a la fundamental.

La señal de voltaje mostrada en la Figura 4.31 se obtuvo al alimentar un motor monofásico, con la cual se obtuvieron los datos para ser manipulados y obtener el contenido armónico de la señal.

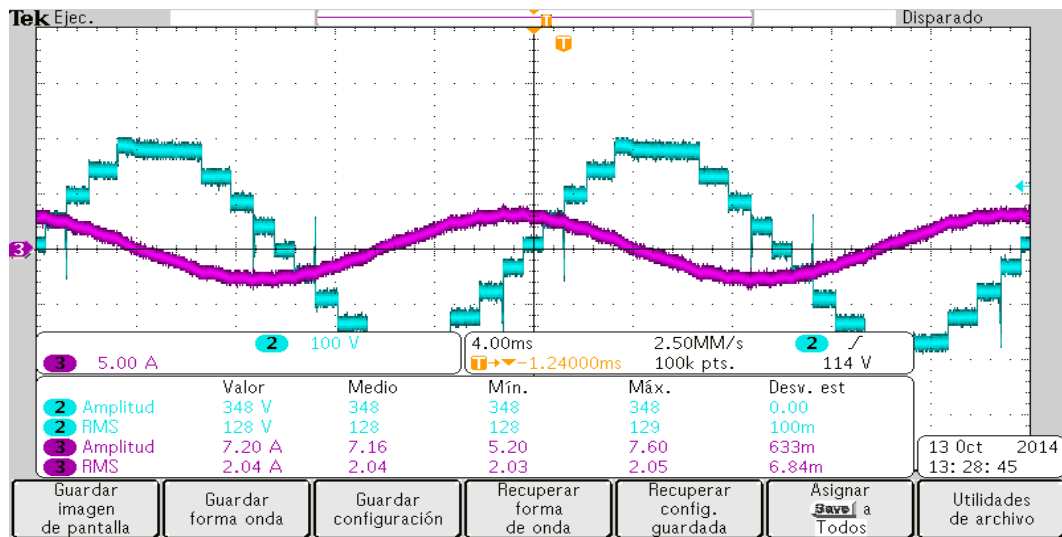


Figura 4.31. Tensión de salida del ACMLI con carga RL.

En la Figura 4.32 se observa el contenido armónico de la señal de voltaje de la Figura 4.31, además de la THD, la amplitud y el orden del armónico de mayor relevancia.

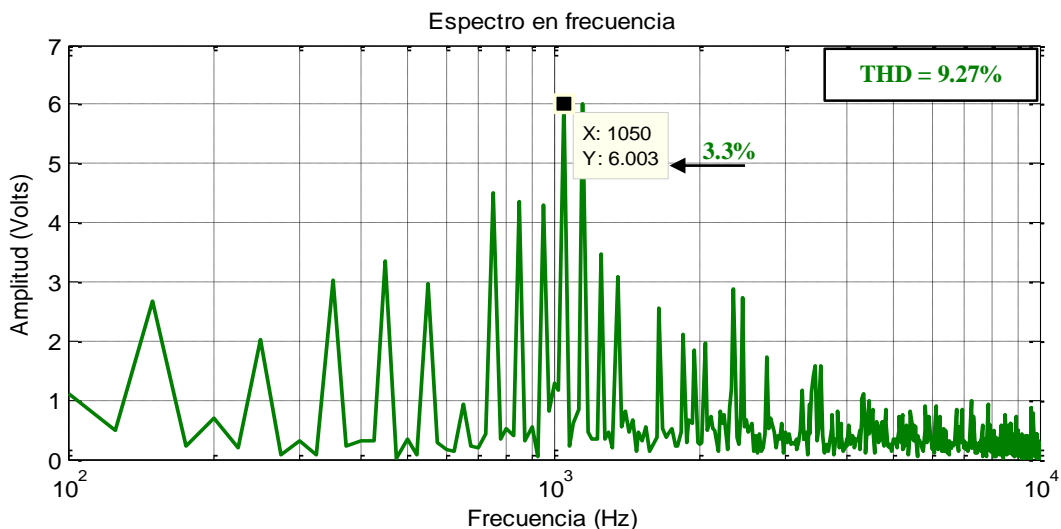


Figura 4.32. Transformada rápida de Fourier del voltaje de salida.

El armónico número 21 es el más relevante con una amplitud de 6 V, el cual corresponde al 3.3% con respecto a la fundamental. La THD resultante es de 9.27%.

#### 4.3.2.2. Resultados Experimentales del Inversor Multinivel en Cascada Asimétrico de 9 Niveles con Modulación PWM Sinusoidal PD.

En la Figura 4.33 se observa la señal de voltaje, obtenida en las pruebas experimentales con una carga resistiva, de la cual se obtuvieron los datos para ser manipulados y obtener el contenido armónico de la señal.



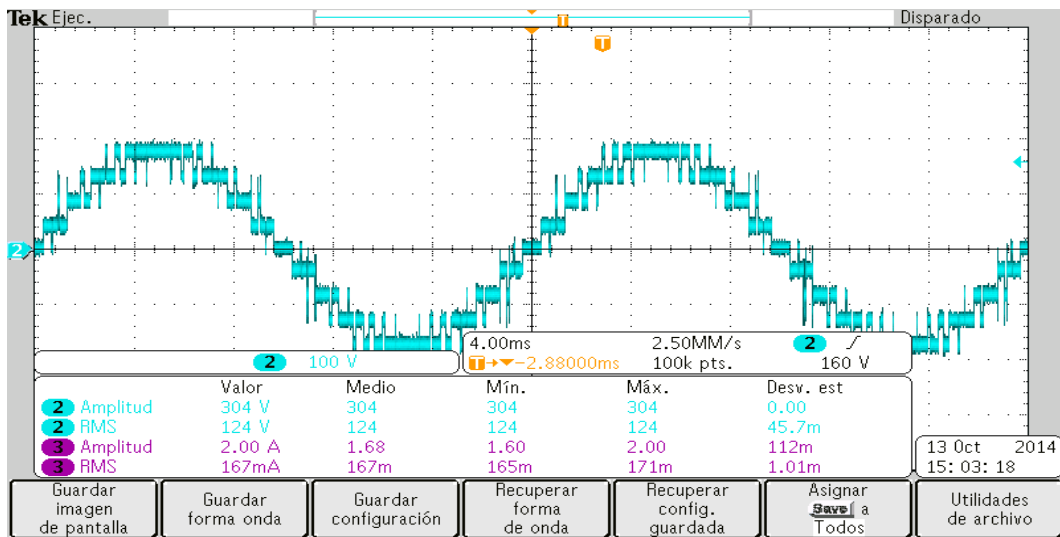


Figura 4.33. Tensión de salida del ACMLI con carga resistiva.

El contenido armónico de la señal de voltaje de la Figura 4.33 se muestra en la Figura 4.34, donde se observa el espectro armónico en frecuencia, la THD, la amplitud y el orden del armónico más significativo.

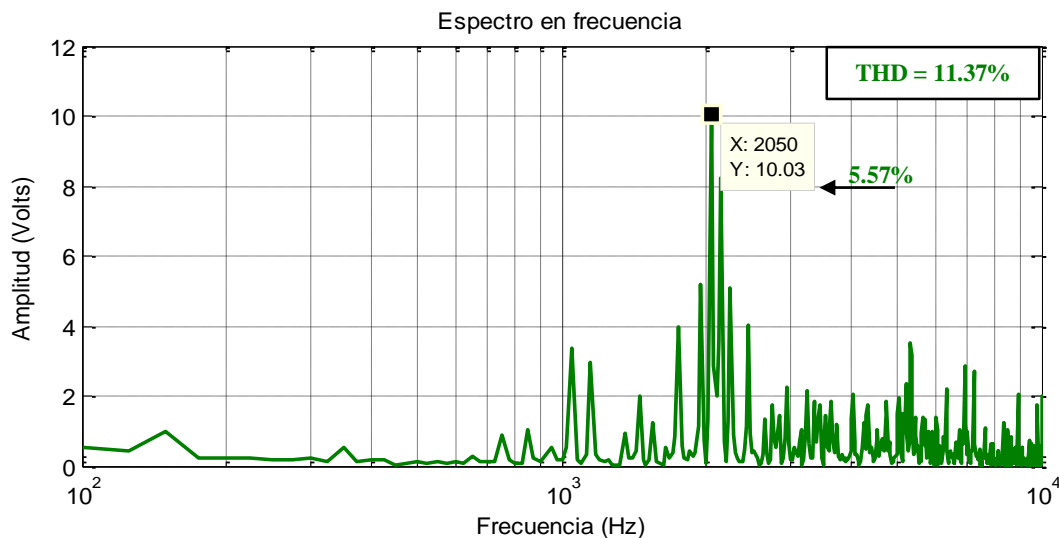


Figura 4.34. Transformada rápida de Fourier del voltaje de salida.

En la Figura 4.34, se puede apreciar una THD resultante de 11.37%, además, que el armónico número 41 es el más relevante, con una amplitud de 10.03 V que corresponde al 5.57% de la fundamental.

La señal de voltaje de la Figura 4.35 muestra la forma de onda al alimentar una carga RL. Los datos de esta señal de voltaje fueron manipulados para obtener el espectro de frecuencia del contenido armónico.

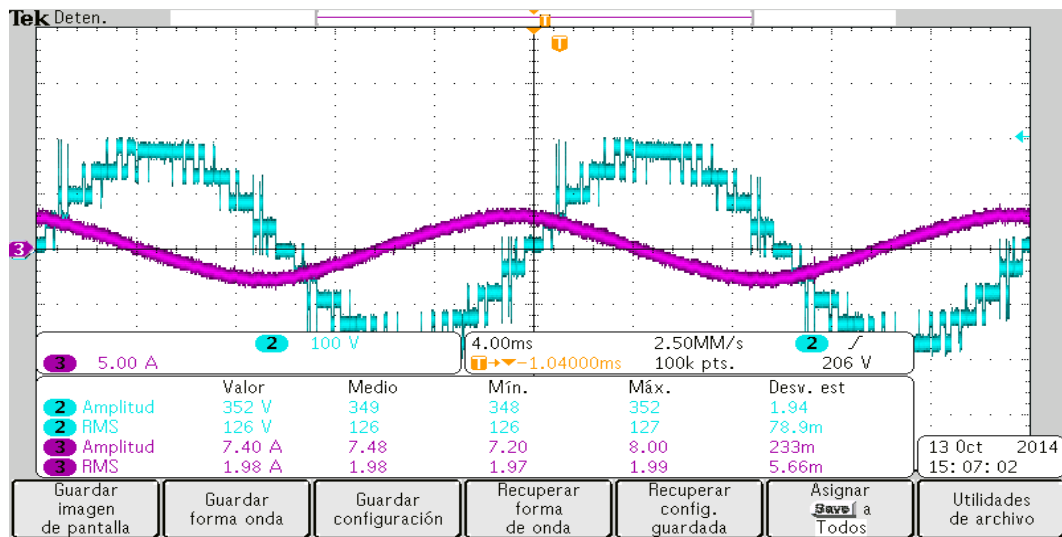


Figura 4.35. Tensión de salida del ACMLI con carga RL

En la Figura 4.36 se observa el contenido armónico de la señal de voltaje de la Figura 4.35, donde se observa el espectro armónico en frecuencia, la THD, la amplitud y el orden del armónico más significativo.

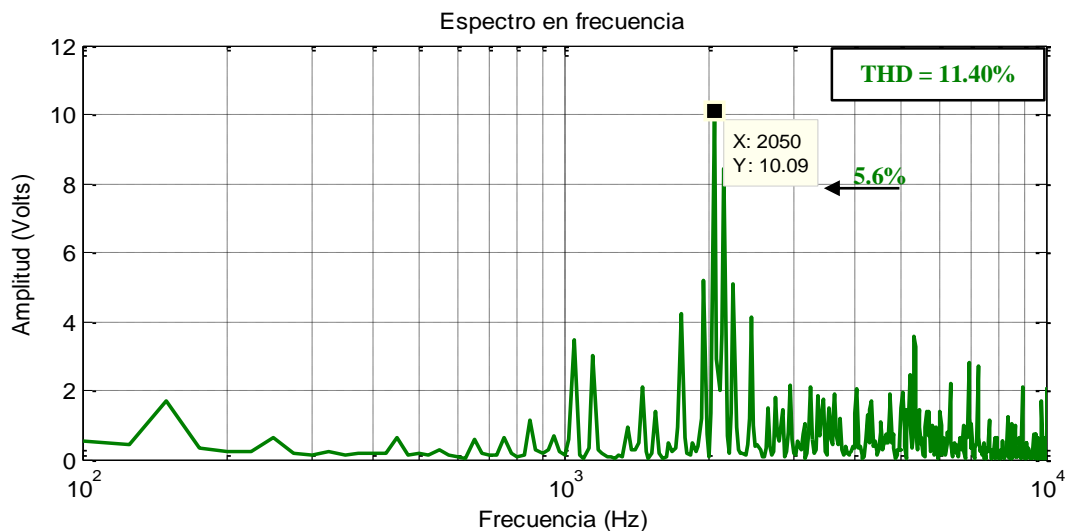


Figura 4.36. Transformada rápida de Fourier del voltaje de salida.

Al observar la Figura 4.36, se puede apreciar que el armónico 41 es el más relevante, con una amplitud de 10.09 V que corresponde al 5.6% de la fundamental. La THD resultante es de 11.40%.

### 4.3.2.3. Resultados Experimentales del Inversor Multinivel en Cascada Asimétrico de 9 Niveles con Modulación Híbrida PD.

En la Figura 4.37 se observa la señal de voltaje del inversor de 9 niveles, con carga resistiva, sensada con un osciloscopio.

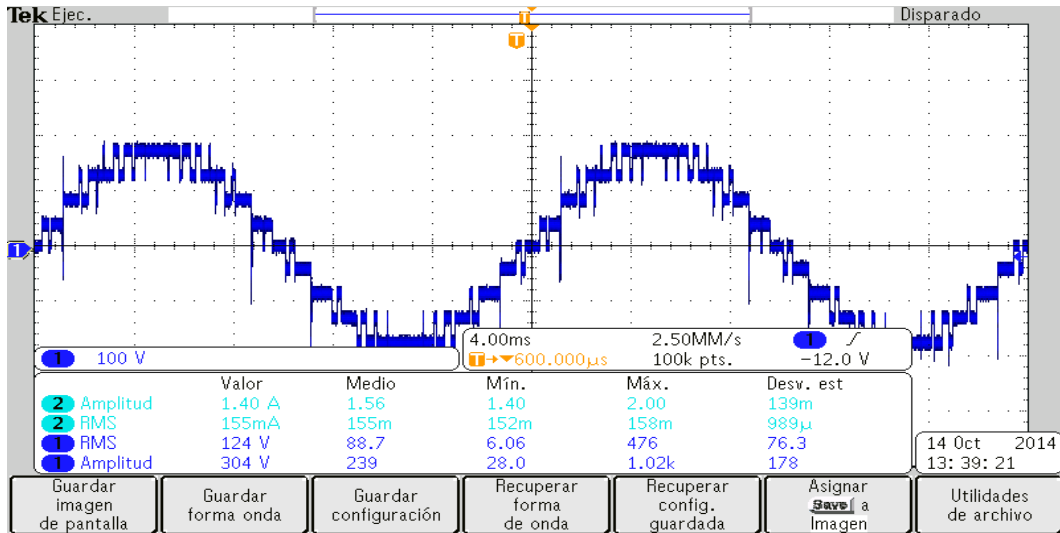


Figura 4.37. Tensión de salida del ACMLI con carga resistiva.

La Figura 4.38 muestra el contenido armónico de la señal de voltaje de la Figura 4.37, de la cual obtuvieron los datos de la señal de voltaje para manipularlos y obtener el espectro armónico en frecuencia, la THD, la amplitud y el orden del armónico más significativo.

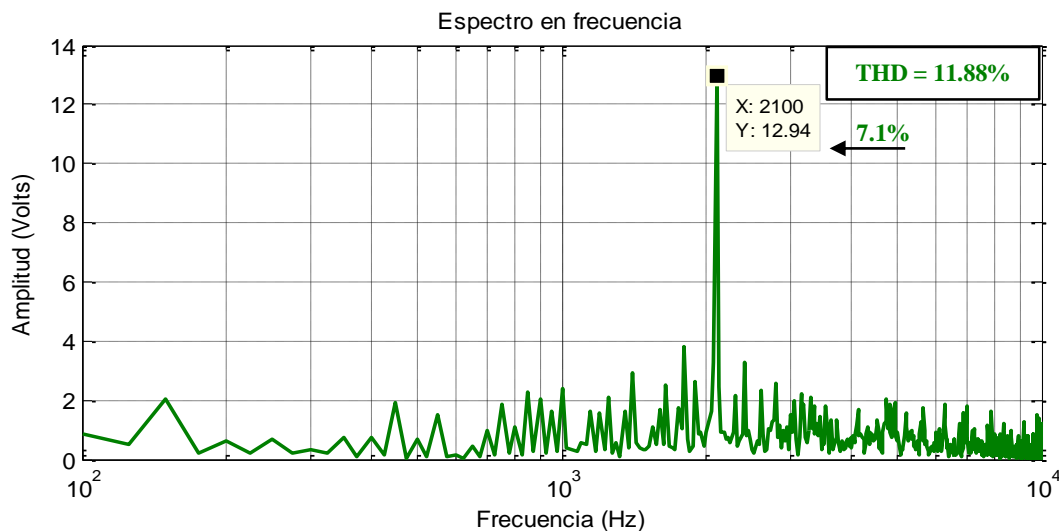


Figura 4.38. Transformada rápida de Fourier del voltaje de salida.

En la figura anterior se aprecia una THD de 11.88%, además, se observa que el armónico número 42 es el más relevante, al igual que en los resultados de simulación, con una amplitud de 12.94 V que corresponde al 7.1% de la fundamental.

La Figura 4.39 muestra la señal de voltaje del inversor de 9 niveles, con un motor monofásico como carga, sensada con un osciloscopio para realizar el análisis del espectro armónico.

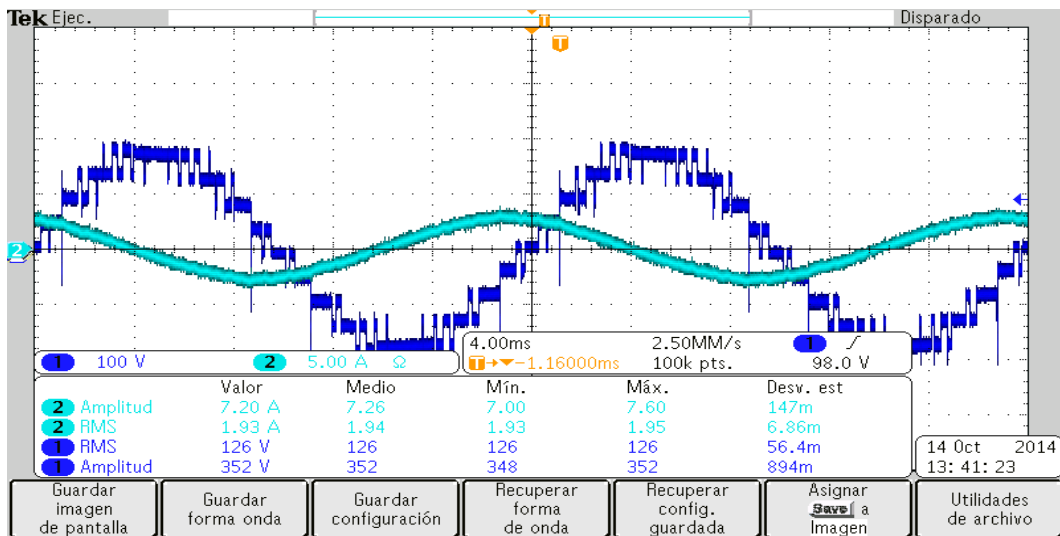


Figura 4.39. Tensión de salida del ACMLI con carga RL.

El contenido armónico de la señal de voltaje de la Figura 4.39 se muestra en la Figura 4.40, donde se observa el espectro armónico en frecuencia, la THD, la amplitud y el orden del armónico más significativo.

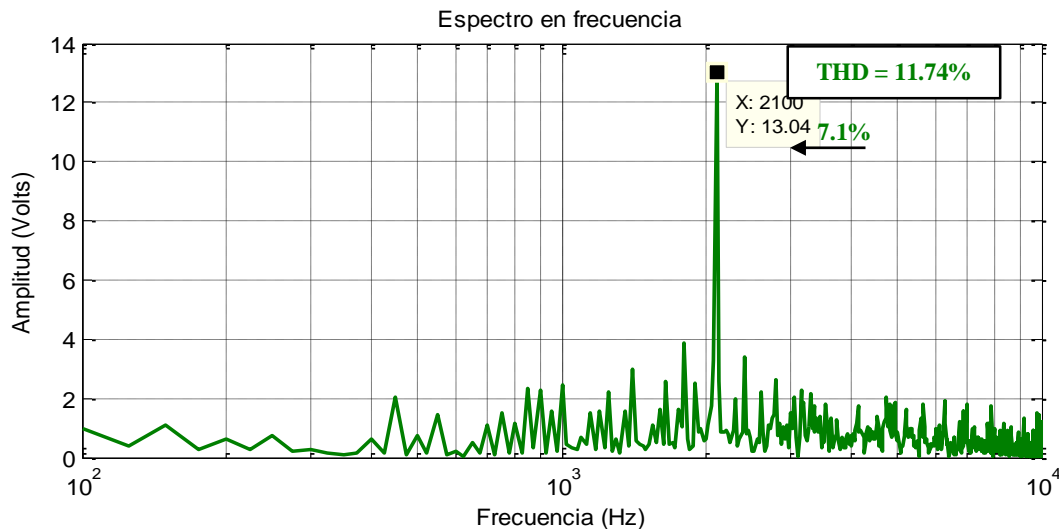


Figura 4.40. Transformada rápida de Fourier del voltaje de salida.

El armónico más relevante es número 42, al igual que a carga resistiva, con una amplitud de 13.04 V que corresponde al 7.24% de la fundamental. La THD resultante es de 11.74%.

#### 4.3.3. Discusión y Comparación de Resultados

Los resultados de la THD obtenidos de forma experimental y en simulación fueron capturados en tablas, las cuales se presentan a continuación. Cabe mencionar que en la sección de resultados se especificó que la variación del voltaje de entrada al inversor se realizó entre el -20% y el 20% del voltaje nominal de cada fuente. También se calculó de forma analítica la THD ante la presencia de desbalance a la entrada, el anexo C muestra el desarrollo del mismo.

La Tabla 4.1 concentra los resultados de la THD obtenida, para el inversor de 7 niveles, en las pruebas experimentales.

Tabla 4.1. Resultados de la THD del inversor de 7 niveles, con carga resistiva.

Carga % Desbalance	Resistiva			THD PWM_Escalonada Experimental	THD SPWM Experimental	THD MH Experimental
	V <sub>1</sub>	V <sub>2</sub>	V <sub>Carga</sub>			
<b>Fuente de menor tensión</b>						
-20%	48	120	168	12.7882	19.6757	19.0106
-10%	54	120	174	12.062	17.5968	17.3929
0	60	120	180	11.7955	16.2139	15.9106
10%	66	120	186	12.0233	15.679	14.7557
20%	72	120	192	12.4896	15.5379	14.0243
<b>Fuente de mayor tensión</b>						
-20%	60	96	156	12.8717	15.5419	14.9003
-10%	60	108	168	12.0673	15.5433	14.2491
0	60	120	180	11.7955	16.2139	15.9106
10%	60	132	192	12.0637	17.3119	17.6212
20%	60	144	204	12.3999	18.8265	20.0593

De la Tabla 4.1 se obtiene la Figura 4.41 , la cual muestra la tendencia de la THD en el inversor de 7 niveles, cuando se presentan disturbios en la fuente de menor tensión, obtenida de las pruebas experimentales, conectando una carga resistiva.

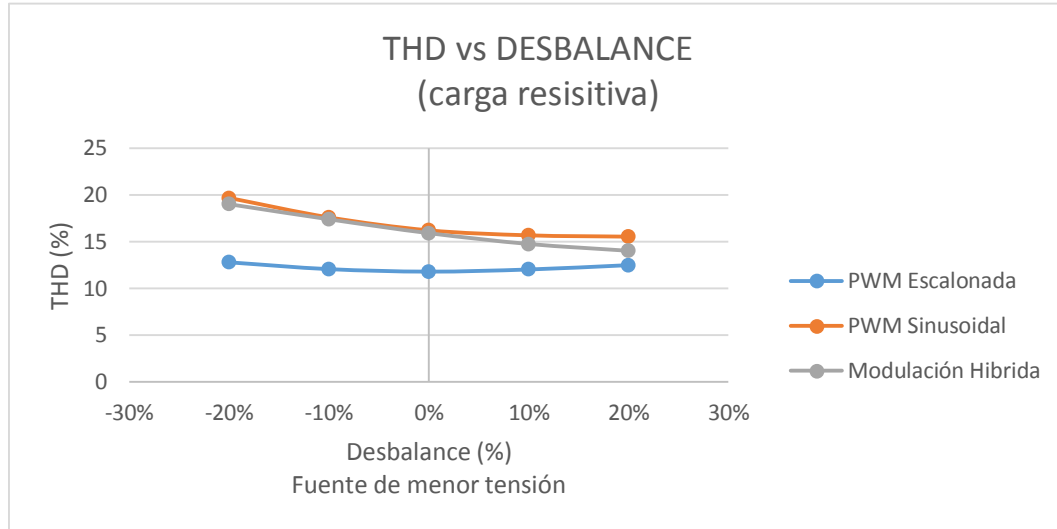


Figura 4.41. THD vs Desbalance de tensión en la fuente de menor tensión.

De la misma forma en la Figura 4.42 se muestra la tendencia de la THD en el inversor de 7 niveles, cuando se presentan disturbios en la fuente de mayor tensión, obtenida en las pruebas experimentales, conectando una carga resistiva.

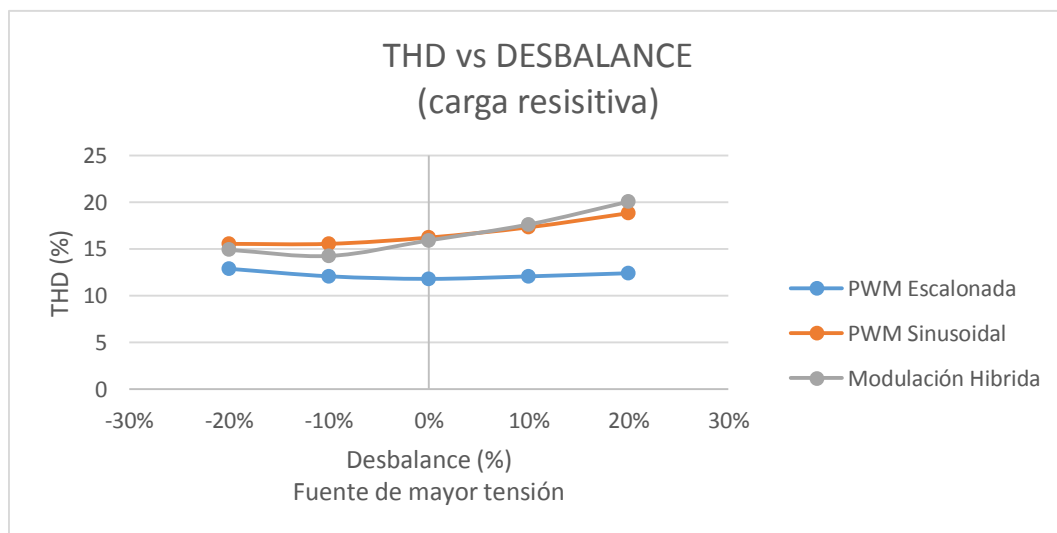


Figura 4.42. THD vs Desbalance de tensión en la fuente de mayor tensión.

La Tabla 4.2 concentra los resultados de la THD obtenida, para el inversor de 7 niveles, en las pruebas de simulación con y sin filtro, y la THD calculada analíticamente.

Tabla 4.2. Resultados de la THD del inversor de 7 niveles en simulación y calculada analíticamente, con carga resistiva.

Carga % Desbalance	Resistiva			THD Calculada	THD Simulación con filtro	THD Simulación sin filtro
	V <sub>1</sub>	V <sub>2</sub>	V <sub>Carga</sub>			
<b>Fuente de menor tensión</b>						
-20%	48	120	168	11.74	5.6	12.7
-10%	54	120	174	11.18	4.43	12.16
0	60	120	180	11.04	3.6	12.04
10%	66	120	186	11.27	3.55	12.26
20%	72	120	192	11.79	4.01	12.77
<b>Fuente de mayor tensión</b>						
-20%	60	96	156	12.13	4.38	13.11
-10%	60	108	168	11.31	3.54	12.31
0	60	120	180	11.04	3.6	12.04
10%	60	132	192	11.15	4.34	12.14
20%	60	144	204	11.51	5.2	12.47

De la Tabla 4.2 se obtiene la Figura 4.43, la cual muestra la tendencia de la THD en el inversor de 7 niveles, cuando se presentan disturbios en la fuente de menor tensión, obtenida de las pruebas de simulación, conectando una carga resistiva.

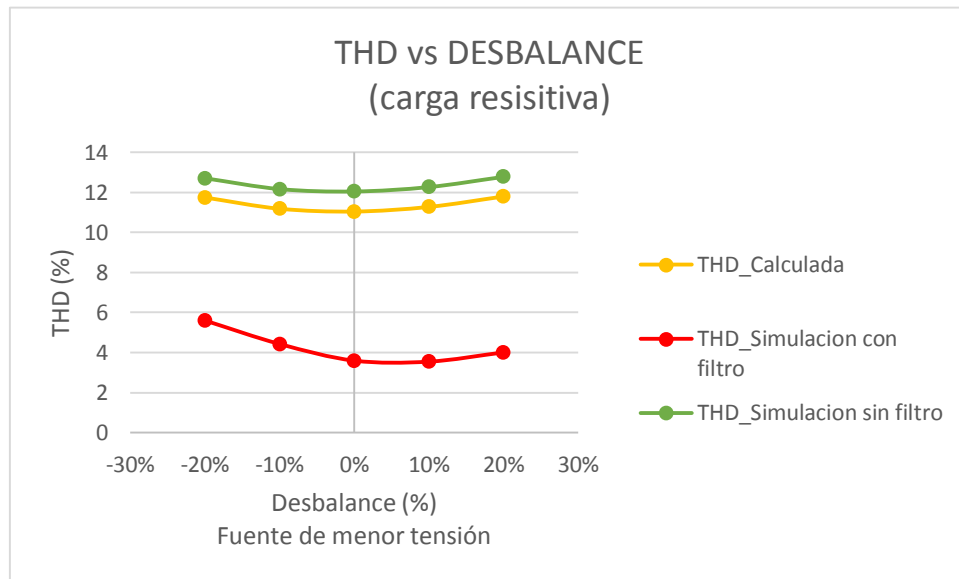


Figura 4.43. THD vs Desbalance de tensión en la fuente de menor tensión.

De la misma forma en la Figura 4.44 se muestra la tendencia de la THD en el inversor de 7 niveles, cuando se presentan disturbios en la fuente de mayor tensión, obtenida en las pruebas simulación, conectando una carga resistiva.

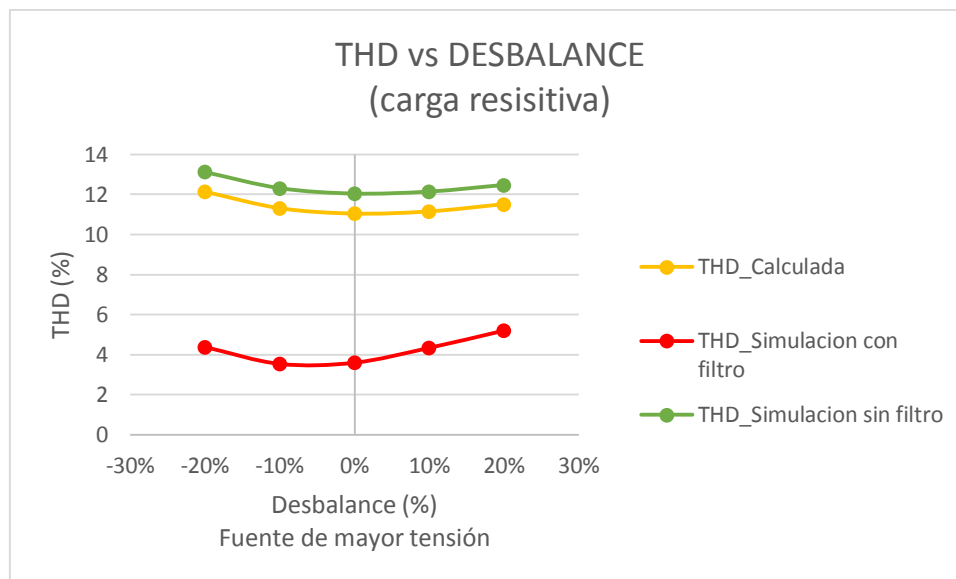


Figura 4.44. THD vs Desbalance de tensión en la fuente de mayor tensión.

En la Tabla 4.3 se concentran los resultados de la THD obtenida, para el inversor de 7 niveles con carga RL, en las pruebas experimentales, de forma analítica, en simulación con y sin filtro.

Tabla 4.3. Resultados de la THD del inversor de 7 niveles, con motor monofásico como carga.

Carga % Desbalance	Resistiva			THD PWM_Escalonada Experimental	THD SPWM Experimental	THD MH Experimental
	V <sub>1</sub>	V <sub>2</sub>	V <sub>Carga</sub>			
<b>Fuente de menor tensión</b>						
-20%	48	120	168	12.6534	17.7904	18.630388
-10%	54	120	174	12.0634	17.2211	17.045042
0	60	120	180	11.8723	16.6212	15.592388
10%	66	120	186	11.9912	16.360045	14.460586
20%	72	120	192	12.4481	16.01136	13.743814
<b>Fuente de mayor tensión</b>						
-20%	60	96	156	12.8177	16.6878	14.7592
-10%	60	108	168	12.0734	16.5842	14.1315
0	60	120	180	11.8723	16.6212	15.592388
10%	60	132	192	12.0146	16.9254	17.4152
20%	60	144	204	12.371	17.698	19.7334



La Figura 4.45 se obtiene de la Tabla 4.3, en la cual se observa el comportamiento de la THD en el inversor de 7 niveles, cuando se presentan disturbios en la fuente de menor tensión, obtenida de las pruebas en simulación y experimentales, conectando un motor monofásico como carga RL.

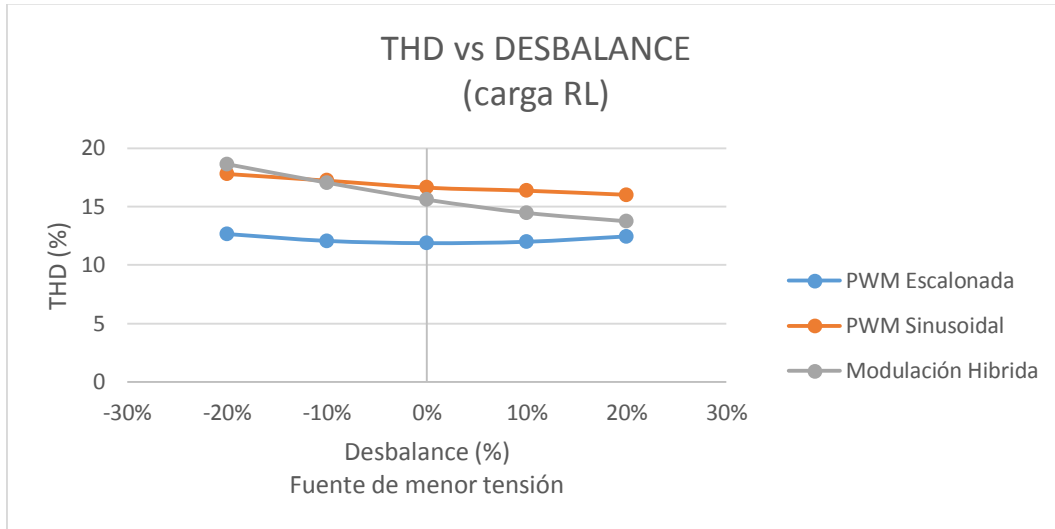


Figura 4.45. THD vs Desbalance de tensión en la fuente de menor tensión.

En la Figura 4.46 se observa el comportamiento de la THD en el inversor de 7 niveles, cuando se presentan disturbios en la fuente de mayor tensión, obtenida en las pruebas experimentales y en simulación, conectando un motor como carga RL.

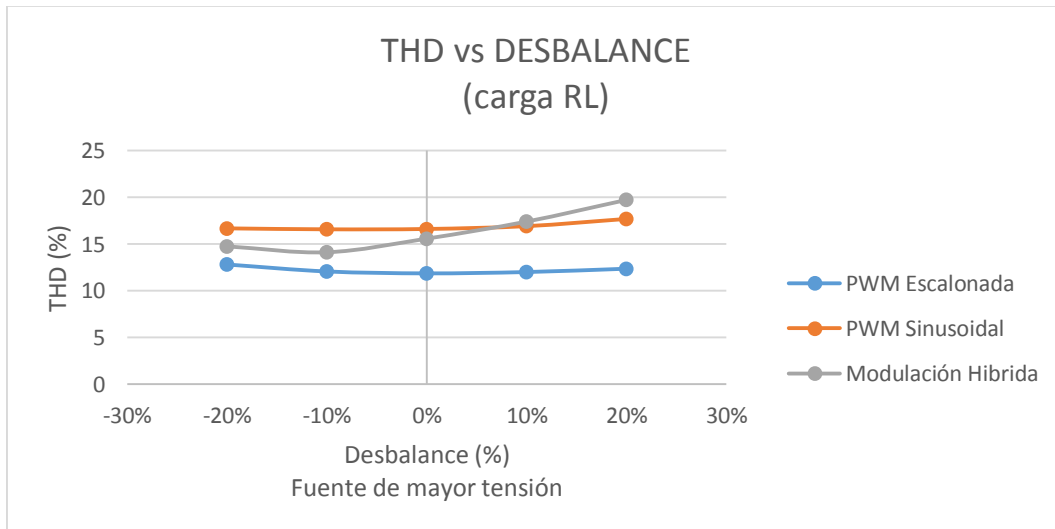


Figura 4.46. THD vs Desbalance de tensión en la fuente de mayor tensión.

En las siguientes tablas se concentra los resultados obtenidos de las pruebas experimentales y de simulación, en el inversor de 9 niveles. En la Tabla 4.4 se tiene los valores de la THD utilizando una carga resistiva.

Tabla 4.4. Resultados de la THD del inversor de 9 niveles, con carga resistiva.

Carga % Desbalance	Resistiva			THD PWM_Escalonada Experimental	THD SPWM Experimental	THD MH Experimental
	V <sub>1</sub>	V <sub>2</sub>	V <sub>Carga</sub>			
<b>Fuente de menor tensión</b>						
-20%	48	120	168	9.7002	11.6936	11.9402
-10%	54	120	174	9.1242	11.2613	11.5734
0	60	120	180	9.4272	11.3712	11.8883
10%	66	120	186	10.2611	11.9944	12.718
20%	72	120	192	11.7684	13.1391	13.9586
<b>Fuente de mayor tensión</b>						
-20%	60	96	156	12.4794	13.4937	14.4555
-10%	60	108	168	10.4417	11.938	12.6269
0	60	120	180	9.4272	11.3712	11.8883
10%	60	132	192	9.1507	10.9987	11.608
20%	60	144	204	9.3508	11.1932	11.7186

En las siguientes figuras se muestra la tendencia de la THD del inversor de 9 niveles con carga resistiva. La Figura 4.47 presenta la variación de la THD cuando se presentan desbalance en la fuente de menor tensión, y en la Figura 4.48 se observa la tendencia de la THD cuando el desbalance ocurre en la fuente de mayor tensión.

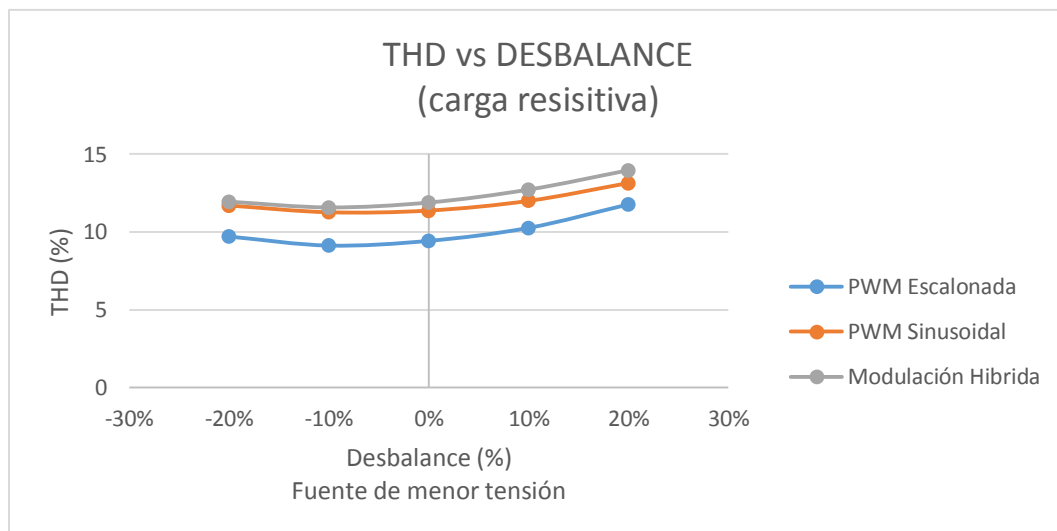


Figura 4.47. THD vs Desbalance de tensión en la fuente de menor tensión.

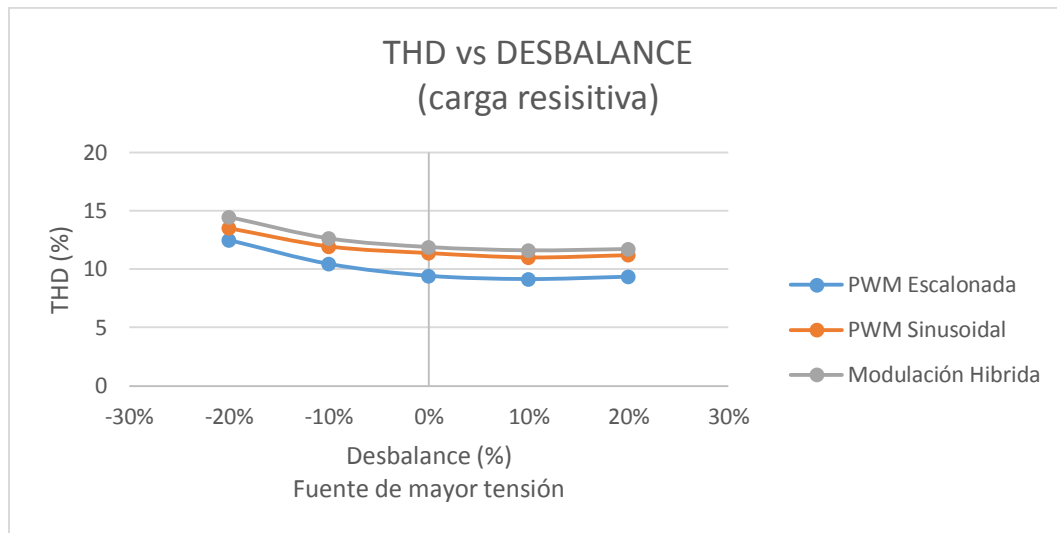


Figura 4.48. THD vs Desbalance de tensión en la fuente de mayor tensión.

Tabla 4.5. Resultados de la THD del inversor de 9 niveles en simulación y calculada analíticamente, con carga resistiva.

Carga % Desbalance	Resistiva			THD PWM_Escalonada Experimental	THD SPWM Experimental	THD MH Experimental
	V <sub>1</sub>	V <sub>2</sub>	V <sub>Carga</sub>			
<b>Fuente de menor tensión</b>						
-20%	48	120	168	8.81	3	9.77
-10%	54	120	174	8.13	1.56	9.13
0	60	120	180	8.21	1.89	9.22
10%	66	120	186	8.99	3.44	9.97
20%	72	120	192	10.26	5.16	11.19
<b>Fuente de mayor tensión</b>						
-20%	60	96	156	11.01	6.03	11.93
-10%	60	108	168	9.11	3.62	10.08
0	60	120	180	8.21	1.89	9.22
10%	60	132	192	8.1	1.49	9.11
20%	60	144	204	8.5	2.43	9.48

De la Tabla 4.5 se obtiene la Figura 4.49, la cual muestra la tendencia de la THD en el inversor de 7 niveles, cuando se presentan disturbios en la fuente de menor tensión, obtenida de las pruebas de simulación, conectando una carga resistiva.

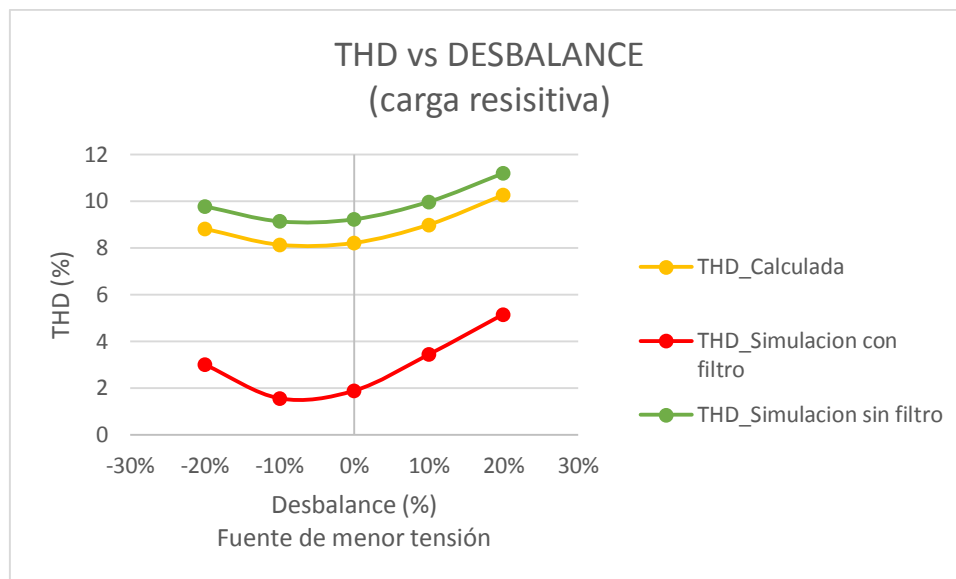


Figura 4.49. THD vs Desbalance de tensión en la fuente de menor tensión.

De la misma forma en la Figura 4.50 se muestra la tendencia de la THD en el inversor de 7 niveles, cuando se presentan disturbios en la fuente de mayor tensión, obtenida en las pruebas simulación, conectando una carga resistiva.

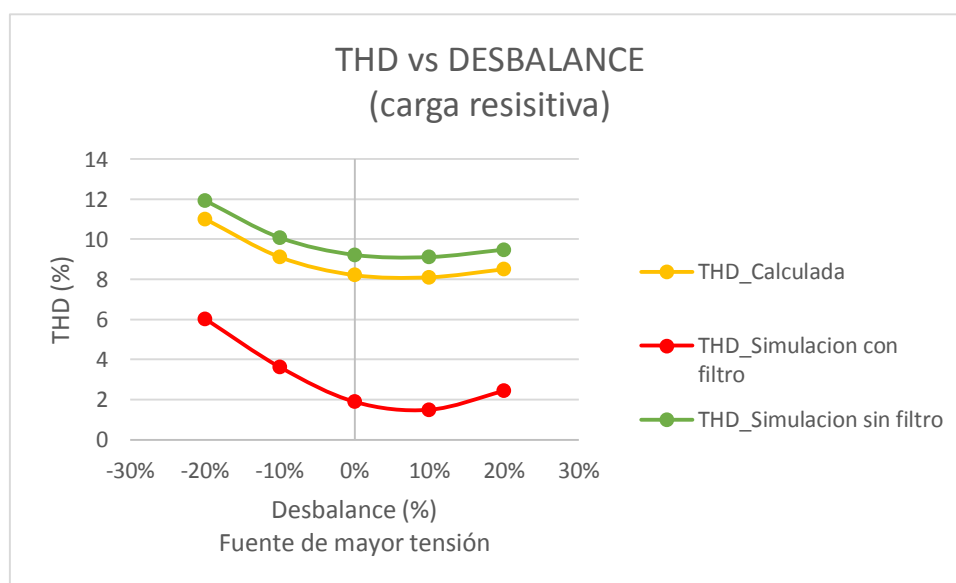


Figura 4.50. THD vs Desbalance de tensión en la fuente de mayor tensión.

En la Tabla 4.6 se concentra, de la misma forma que en la Tabla 4.4, los resultados de la THD obtenida en las pruebas experimentales y de simulación, con un motor como carga

Tabla 4.6. Resultados de la THD del inversor de 9 niveles, con motor monofásico como carga.

Carga % Desbalance	Resistiva			THD PWM_Escalonada Experimental	THD SPWM Experimental	THD MH Experimental
	V <sub>1</sub>	V <sub>2</sub>	V <sub>Carga</sub>			
<b>Fuente de menor tensión</b>						
-20%	48	120	168	9.7002	11.6936	11.9402
-10%	54	120	174	9.1242	11.2613	11.5734
0	60	120	180	9.4272	11.3712	11.8883
10%	66	120	186	10.2611	11.9944	12.718
20%	72	120	192	11.7684	13.1391	13.9586
<b>Fuente de mayor tensión</b>						
-20%	60	96	156	12.4794	13.4937	14.4555
-10%	60	108	168	10.4417	11.938	12.6269
0	60	120	180	9.4272	11.3712	11.8883
10%	60	132	192	9.1507	10.9987	11.608
20%	60	144	204	9.3508	11.1932	11.7186

Las siguientes figuras muestran la tendencia de la THD, recabada en la Tabla 4.6, donde la Figura 4.51 se aprecia el comportamiento de la THD cuando el desbalance ocurre en la fuente de menor tensión, y en la Figura 4.52 se presenta el caso contrario, que es cuando el desbalance se presenta en la fuente de mayor tensión.

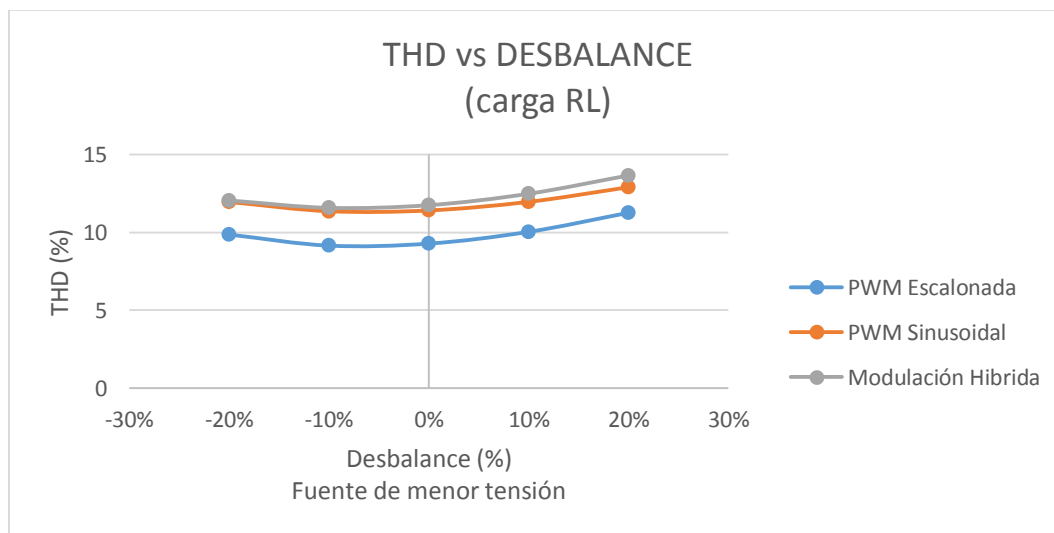


Figura 4.51. THD vs Desbalance de tensión en la fuente de menor tensión.

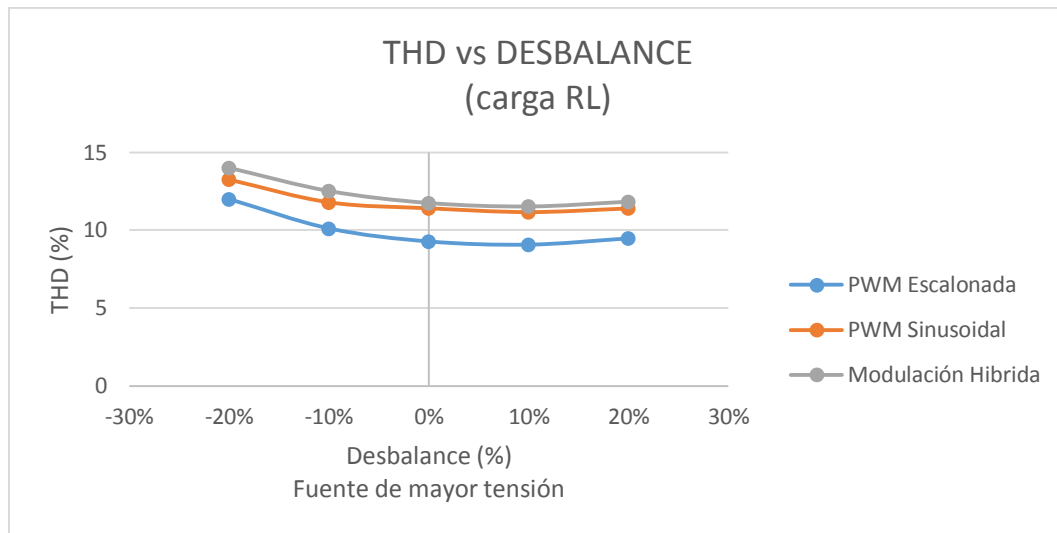


Figura 4.52. THD vs Desbalance de tensión en la fuente de mayor tensión.

Con la comparación de las figuras anteriores se puede observar que los resultados de simulación y los experimentales son semejantes, lo cual indica que el estudio realizado es bueno, pues la THD es muy cercana al 10%. Sin embargo, algunas normas limitan la THD a valores por debajo del 10%, y además al realizar el análisis de Fourier para la señal de nueve niveles se estima una THD de aproximadamente 8% por lo tanto se requirió realizar un filtro para atenuar los armónicos a la salida del inversor.

Con esto se puede decir que, sin filtro, la técnica que arroja una menor THD en simulación y de forma experimental es la PWM escalonada, en el inversor de 7 y 9 niveles, pues es la que más se aproxima a los cálculos analíticos de la THD; sin embargo, se puede observar que los resultados de simulación con filtro están por debajo de la THD calculada y de los resultados obtenidos con la técnica PWM escalonada.

Para reafirmar cual es la técnica de modulación que arroja menor contenido armónico, se realizó el estudio del espectro armónico de cada técnica de modulación, en simulación con y sin filtro, comparándolo con los valores que las normas IEC 61000-2-2 y la IEEE 519.

En la Figura 4.53 se observa el contenido armónico de la técnica PWM escalonada, obtenido en simulación con y sin filtro, comparado con los valores que permiten las normas IEC 61000 y la IEEE 519. En la cual se aprecia la presencia de armónicos de bajo orden y algunos por encima de lo permitido por las normas.

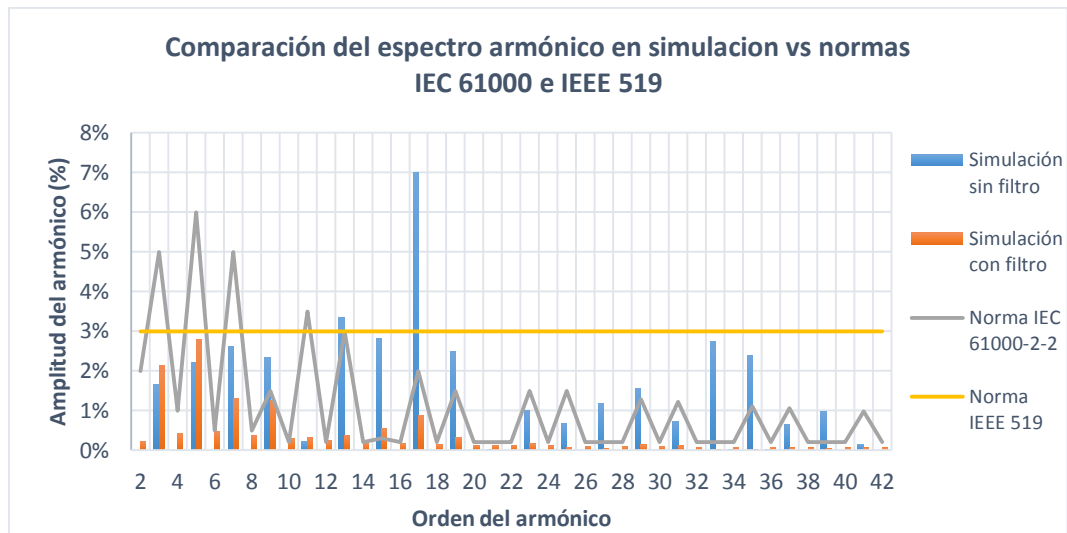


Figura 4.53. Contenido armónico de la técnica PWM escalonada vs Normas, del inversor de 7 niveles.

El contenido armónico de la Figura 4.54, corresponde a la técnica PWM sinusoidal obtenido en simulación con y sin filtro, es comparado con los límites admisibles de las normas IEC 61000 y la IEEE 519. En esta figura se observa poco contenido armónico y además que los armónicos de bajo orden son inferiores a lo permitido por las normas.

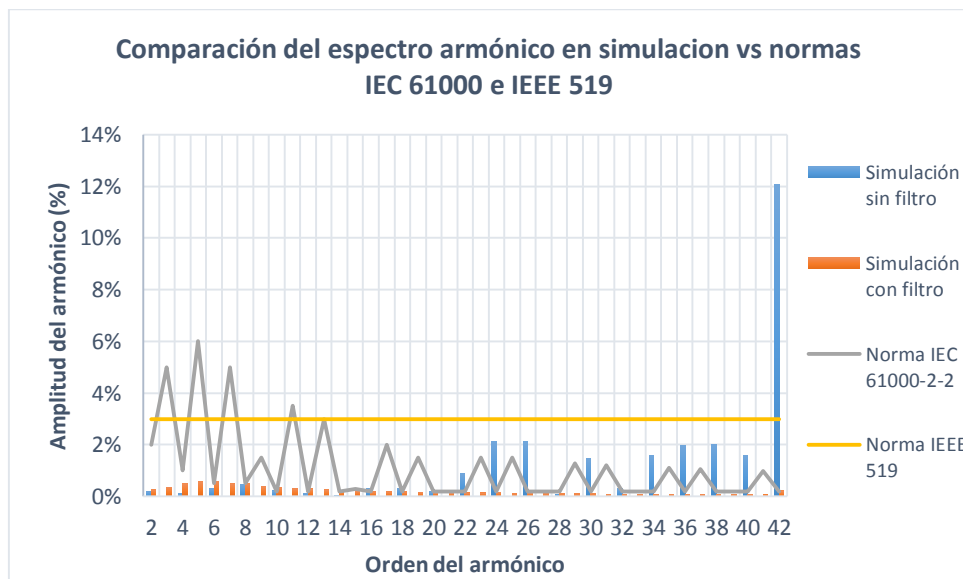


Figura 4.54. Contenido armónico de la técnica PWM sinusoidal vs Normas, del inversor de 7 niveles.

En la Figura 4.55 se aprecia el contenido armónico obtenido de la técnica de modulación híbrida, en la cual se ve que los armónicos de bajo orden están debajo de los límites permitidos por las normas IEC 61000 y la IEEE 519. En esta figura se observa que los armónicos tienen mayor nivel, a diferencia de lo observado en la Figura 4.54; aun así, están dentro de los límites de las normas.

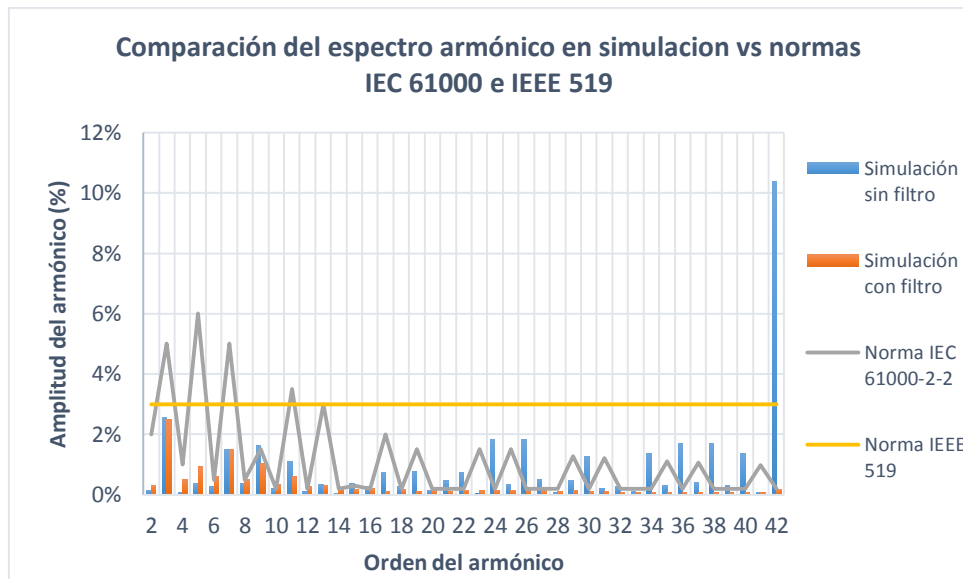


Figura 4.55. Contenido armónico de la técnica de modulación híbrida vs Normas, del inversor de 7 niveles.

La Figura 4.56 muestra el contenido armónico de la técnica PWM escalonada, obtenido en simulación con y sin filtro, comparado con los valores que permite las normas IEC 61000 y la IEEE 519. En la cual se aprecia la presencia de armónicos de bajo orden con valores por arriba de lo establecido en las normas.

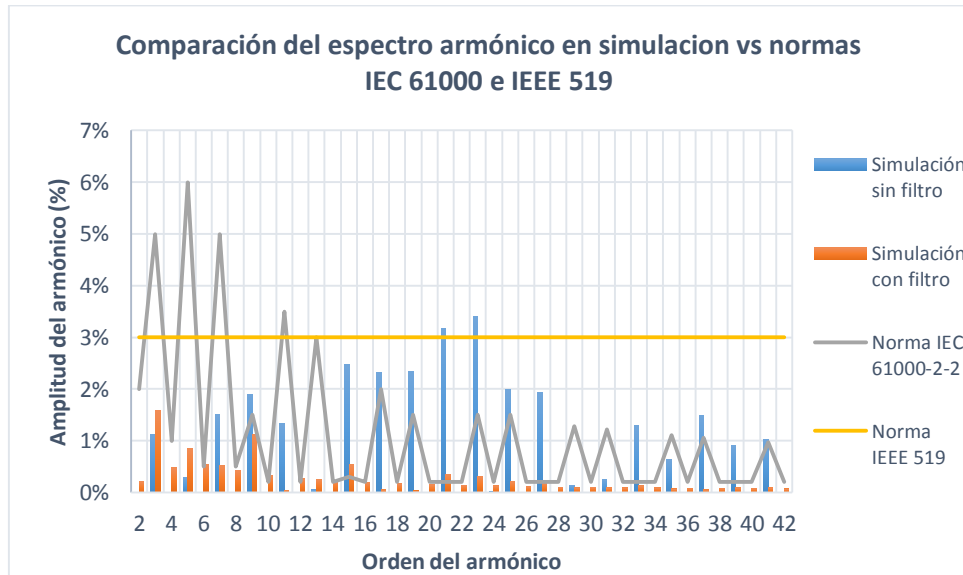


Figura 4.56. Contenido armónico de la técnica PWM escalonada vs Normas, del inversor de 9 niveles.

La Figura 4.57 presenta el contenido armónico que corresponde a la técnica PWM sinusoidal en simulación con y sin filtro, es comparado con los límites permitidos de las normas IEC 61000 y la IEEE 519. En esta figura se observa que los armónicos de bajo orden están por debajo de lo permitido en las normas.



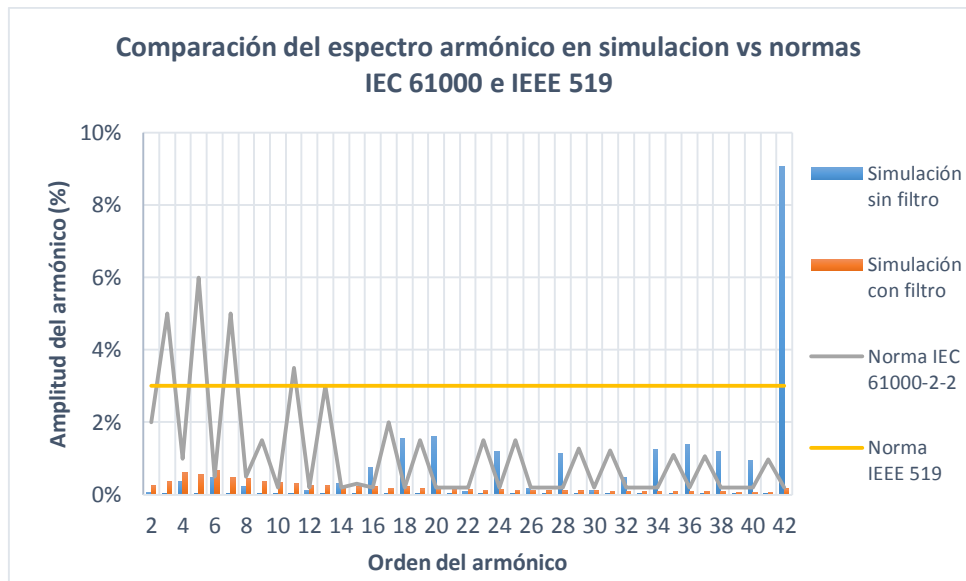


Figura 4.57. Contenido armónico de la técnica PWM sinusoidal vs Normas, del inversor de 9 niveles.

El contenido armónico obtenido con la técnica de modulación híbrida se muestra en la Figura 4.58, donde se observa que los armónicos de bajo orden están cerca de los límites permitidos por las normas IEC 61000 y la IEEE 519. También se observa que los armónicos tienen mayor nivel, a diferencia de lo observado en la Figura 4.57; aun así, están dentro de los límites de las normas.

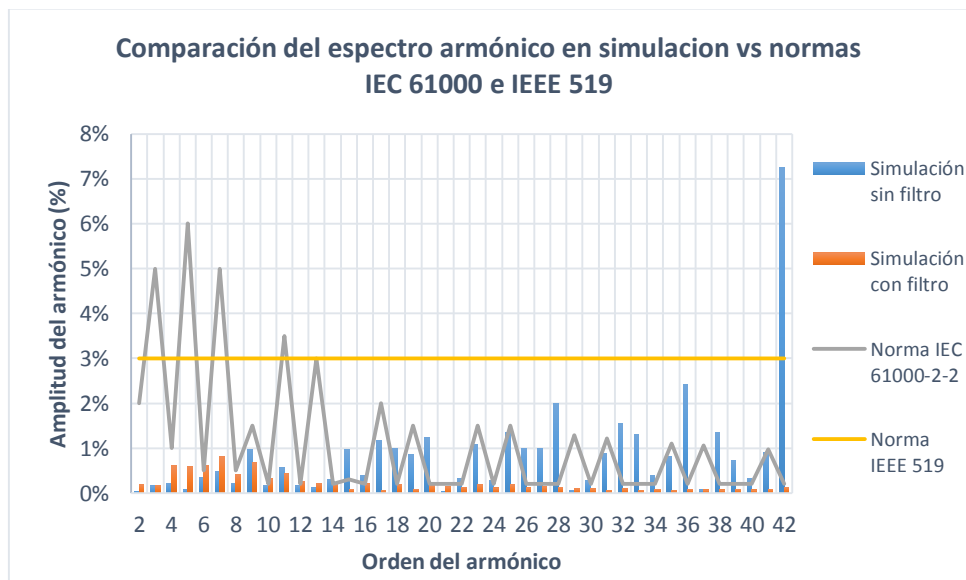


Figura 4.58. Contenido armónico de la técnica de modulación híbrida vs Normas.

Con la comparación del contenido armónico de las figuras anteriores se deduce que la técnica PWM sinusoidal es la que arroja mejores resultados, en simulación con y sin filtro a la salida. Contrario a los resultados de la comparación de la THD de cada técnica de modulación, en la

cual se dedujo que la técnica PWM escalonada era la más adecuada, con este estudio se puede afirmar que la técnica PWM sinusoidal es la que contiene menor contenido armónico y en la cual se puede utilizar un filtro a la salida para disminuir aún más la distorsión armónica.



## Capítulo V: Conclusiones y Trabajos Futuros

---

*En este trabajo se ha presentado el estudio de las técnicas de modulación tradicionales, comúnmente utilizadas en los inversores, de manera experimental y en simulación para un inversor multinivel en cascada asimétrico de 7 y 9 niveles, con la característica de disturbios en la tensión de entrada de inversor.*

*Además que el inversor multinivel asimétrico es, debido a sus beneficios, una gran alternativa de convertidor en aplicaciones industriales. Además, el ACMLI ha sido un importante tema de estudio abordado ampliamente, debido al alto número de niveles que puede generar en la tensión de salida y a la alta confiabilidad con un número limitado de componentes para su funcionamiento.*

## 5.1. Conclusiones

Este trabajo presenta los resultados de la THD obtenidos del estudio en simulación y la comparación experimental del inversor multinivel en cascada asimétrico de siete y nueve niveles; cuando se presenten desbalances en la tensión de entrada.

Cuando ocurre un desbalance de la tensión de entrada; la señal de salida del inversor sufre una alteración provocando que la THD se modifique, por esta razón es que se ha realizado el estudio de las técnicas de modulación tradicionales utilizadas para el comando de los interruptores del inversor asimétrico.

Al utilizar un motor, como carga en el inversor, la THD se reduce, a diferencia de utilizar una carga resistiva, sin embargo, utilizar una carga no lineal como el motor produce un desfase de la corriente con respecto al voltaje; y por consecuencia la aparición de la potencia reactiva y un factor de potencia bajo. Una posible solución del problema de la potencia reactiva, de acuerdo a los estudios realizados en este trabajo, es instalar un filtro a la salida del inversor, con su debido análisis, ya que depende mucho de los parámetros de la carga como la potencia, el valor de la resistencia, inductancia o capacitancia.

Cabe mencionar que los objetivos planteados en la propuesta se cumplieron en forma satisfactoria; haciendo hincapié en los objetivos específicos:

- Estudiar las técnicas de modulación más empleadas en el inversor multinivel en cascada asimétrico de potencia 2 y de potencia 3.
- Cumplir con el estudio del convertidor propuesto en este trabajo de tesis, logrando tener la técnica de modulación que muestre una THD reducida ante la presencia de disturbios en el bus de CD.

Además en este trabajo se utilizó un FPGA, el cual no se había considerado al inicio de la propuesta, debido a que es un dispositivo muy versátil para hacer modificaciones en el diseño del sistema sin tener que realizar cambios en el hardware, la programación en forma paralela le permite tener una ventaja sobre los Microcontroladores, ya que le permite realizar varias operaciones al mismo tiempo.

La plataforma de implementación permitió obtener resultados experimentales satisfactorios, pues comparados con los de simulación, ambos tienen un comportamiento similar y de estos se puede deducir que la técnica de modulación que presenta una THD menor en el inversor asimétrico con desbalance en la tensión de entrada es la PWM estimada, sin embargo, esta técnica requiere de cálculos extras a medida que aumenta el número de niveles, pues se tiene un sistema de ecuaciones más extenso y la solución radica en el uso de métodos numéricos.

Además, al colocar un filtro a la salida del inversor se obtiene que la técnica con menor contenido armónico y menor THD es la PWM sinusoidal. También, al simular el inversor con un filtro a la salida, la señal de voltaje se torna más sinusoidal y el contenido armónico disminuye dando como consecuencia una THD baja alrededor de 5%, parámetro que algunas normas establecen como niveles máximos.

## **5.2. Trabajos Futuros**

Con los resultados obtenidos lo que queda, como un trabajo futuro, para complementar esta investigación es:

- Realizar la adecuación de la técnica de modulación para compensar el desbalance a la entrada y entregar una salida adecuada.
- Realizar un algoritmo para compensar el desbalance por medio de la reconfiguración de la técnica de modulación, empleando un DSP para verificar el comportamiento de cada técnica con respecto al THD.
- Analizar los esfuerzos de los DSEP cuando se presente un desbalance de tensión y cuando se aplica la compensación del sistema.

**Referencias Bibliográficas**

- [1] M. H. Rashid, M. H. R. V. González, and P. A. S. Fernández, *Electrónica de Potencia: Circuitos, Dispositivos y Aplicaciones*. Electrical and Computer Engineering, University of West Florida: Editorial Pearson Educación, 2004.
- [2] O. L. J. Antúnez, "Estudio de Técnicas de Modulación para el Inversor Multinivel en Cascada Híbrido (Simétrico-Asimétrico)." Tesis de Maestría, Departamento de Electrónica, Centro Nacional de Investigación y Desarrollo Tecnológico, 2012.
- [3] E. B. Barcenas, "Análisis y desarrollo de un inversor Multinivel." Tesis de Maestría, Departamento de Electrónica, Centro Nacional de Investigación y Desarrollo Tecnológico, 2002.
- [4] C. A. Sanabria Sánchez, "Estrategia PWM Implementada en un FPGA en Inversores Multinivel," Tesis de Maestría, Departamento de Ingeniería Electrónica, Centro Nacional de Investigación y Desarrollo Tecnológico, 2004.
- [5] J. Gordillo E., "Compensación por Medio de la Modulación de la Onda de Salida de un Inversor Multinivel en Cascada ante Desbalances en las Fuentes de Alimentación," Tesis de Maestría, Departamento de Ingeniería Electrónica, Centro Nacional de Investigación y Desarrollo Tecnológico, 2011.
- [6] L. M. Tolbert, J. Chiasson, K. Mckenzie, and Z. Du, "Elimination of Harmonics in a Multilevel Converter with Non Equal DC Sources," en *IEEE Applied Power Electronics Conf.*, pp. 589-595, 2003.
- [7] A. K. Al-Othman and T. H. Abdelhamid, "Elimination of Harmonics in Multilevel Inverters with Non-Equal DC Sources Using PSO," en *3th International Power Electronics and Motion Control Conference*, pp. 606-613, 2008.
- [8] E. Babaei, M. F. Kangarlu, and F. N. Mazgar, "Symmetric and asymmetric multilevel inverter topologies with reduced switching devices," *Electric Power Systems Research*, vol. 86, pp. 122-130, 2012.
- [9] H. Taghizadeh and M. Tarafdar Hagh, "Harmonic Elimination of Cascade Multilevel Inverters with Nonequal DC Sources Using Particle Swarm Optimization," *IEEE Transactions on Industrial Electronics*, Vol. 57, No. 11, pp. 3678-3684, 2010.

- 
- [10] O. L. Jimenez, R. A. Vargas, J. Aguayo, J. E. Arau, G. Vela, and A. Claudio, "THD in Cascade Multilevel Inverter Symmetric and Asymmetric," in *Electronics, Robotics and Automotive Mechanics Conference (CERMA)*, 2011 IEEE, 2011, pp. 289-295.
- [11] R. Seyezhai, "Investigation of Performance Parameters for Asymmetric Multilevel Inverter Using Hybrid Modulation Technique," *International Journal of Engineering Science and Technology*, vol. 3, pp. 8430-8443, 2011.
- [12] F. Khoucha, M. S. Lagoun, A. Kheloui, and M. El Hachemi Benbouzid, "A Comparison of Symmetrical and Asymmetrical Three-Phase H Bridge Multilevel Inverter for DTC Induction Motor Drives," *Energy Conversion, IEEE Transactions on*, vol. 26, pp. 64-72, 2011.
- [13] M. H. Rashid, "Power electronics: circuits, devices, and applications". Prentice Hall NJ, 1988, vol. 2.
- [14] D. Ahmadi, Z. Ke, L. Cong, H. Yi, and W. Jin, "A universal selective harmonic elimination method for high-power inverters", *Power Electronics, IEEE Transactions on*, vol. 26, no. 10, pp. 27432752, 2011.
- [15] B. Sujanarko, M. Ashari, M. H. Purnomo, and O. Penangsang, "Advanced Carrier Based Pulse Width Modulation in Asymmetric Cascaded Multilevel Inverter," *International Journal of Electrical & Computer Sciences IJECS-IJENS*, vol. 10, 2010.
- [16] O. Lopez, J. Alvarez, J. Doval-Gandoy, and F. D. Freijedo, "Multilevel Multiphase Space Vector PWM Algorithm With Switching State Redundancy," *Industrial Electronics, IEEE Transactions on*, vol. 56, pp. 792-804,
- [17] C. Govindaraju and K. Baskaran, "Efficient Sequential Switching Hybrid-Modulation Techniques for Cascaded Multilevel Inverters," *Power Electronics, IEEE Transactions on*, vol. 26, pp. 1639-1648, 2011.
- [18] T. Lakshmi, Noby Geor, Kotthari "Cascade seven level inverter with reduced number of switches using level shifting PWM technique," *Industrial Electronics and Applications*, 20013. ICpec 2008. pp. 676-680, 2-February 2013.
- [19] B. P. McGrath and D. G. Holmes, "Multicarrier PWM strategies for multilevel inverters," *Industrial Electronics, IEEE Transactions on*, vol. 49, pp. 858-867, 2002.



- [20] H. Jingang, Y. Peng, Z. Liwei, T. Xinyuan, and T. Tianhao, "Selective Harmonic Elimination for an Asymmetrical Multilevel Converter," *Industrial Electronics*, 2007. ISIE 2007. IEEE International Symposium on, pp. 993-997, 4-7 June 2007 2007. *Transactions on*, vol. 26, pp. 64-72, 2011.
- [21] D. Holmes, T. Lipo, and T. Lipo, "Pulse width modulation for power converters: principles and practice". Wiley-IEEE Press, 2003, vol. 18.
- [22] S. G. G. Carrara, M. Marchesoni, R. Salutari, G. Sciutto, "A new multilevel PWM method: a theoretical analysis," in *Power Electronics Specialists Conference*, 1990. PESC '90 Record., 21st
- [23] S. a. Schuster, *Análisis de Fourier vol. 1*. Nueva York EUA, 1973.
- [24] L. G. Franquelo, J. Rodriguez, J. I. Leon, S. Kouro, R. Portillo, and M. A. M. Prats, "The Age of Multilevel Converters Arrives," *Industrial Electronics Magazine*, IEEE, vol. 2, pp. 28-39, 2008.
- [25] C. Rech and J. R. Pinheiro, "Impact of hybrid multilevel modulation strategies on input and output harmonic performances", *Power Electronics*, IEEE *Transactions on*, vol. 22, no. 3, pp. 967977, 2007.
- [26] M. D. Manjrekar, P. K. Steimer, and T. A. Lipo, "Hybrid multilevel power conversion system: a competitive solution for high-power applications", *Industry Applications*, IEEE *Transactions on*, vol. 36, no. 3, pp. 834841, 2000.
- [27] Annual IEEE, 1990, pp. 363-371. J. Rodriguez, L. Jih-Sheng, and P. Fang Zheng, "Multilevel inverters: A survey of topologies, controls, and applications", *Industrial Electronics*, IEEE *Transactions on*, vol. 49, no. 4, pp. 724738, 2002.
- [28] C. K. Duffey and R. P. Stratford, "Update of harmonic standard iee-519: Ieee recommended practices and requirements for harmonic control in electric power systems," *Industry Applications*, IEEE *Transactions on*, vol. 25, no. 6, pp. 10251034, 1989.
- [29] [http://www.iec.ch/emc/basic\\_emc/basic\\_61000.htm](http://www.iec.ch/emc/basic_emc/basic_61000.htm)
- [30] IEC 61000-2-2, *Compatibilidad electromagnética (EMC) - Parte 2-2: Medio ambiente - Niveles de compatibilidad de baja frecuencia perturbaciones conducidas y señalización de los sistemas de suministro de energía de baja tensión públicos*, 1993.

- [31] IEC 61000-3-2, Compatibilidad electromagnética (EMC). Parte 3-2: Límites. Límites para las emisiones de corriente armónica (equipos con corriente de entrada  $\leq 16$  A por fase), 2000.
- [32] IEEEN 50160, Características de la tensión suministrada por las redes generales de distribución, Noviembre 1999.
- [33] Especificación CFE L0000-45 Desviaciones permisibles en las formas de onda de tensión y corriente en el suministro y consumo de energía eléctrica.
- [34] Javier Alejandro Estrada García, “Modulador PWM en FPGA para un Inversor Multinivel en Cascada”, Tesis de Maestría, CENIDET, Octubre 2009.
- [35] J.C. Herrera Lozada and J.C. González Robles, Arquitectura FPGA 2000, pp. 22-42.
- [36] M.G. Córdova Aké, "Implementación de la Técnica de Modulación IPDPWM usada como Método de Reconfiguración en un Inversor Multinivel." Tesis de Maestría, Departamento de Electrónica, Centro Nacional de Investigación y Desarrollo Tecnológico, 2014.
- [37] Teres Li, Torroja Y, Olcoz S, Villar E, “VHDL Lenguaje Estándar de Diseño Electrónico”, McGraw-Hill, 1998.

## Anexos

### Anexo A

En este anexo se presenta el estudio de las técnicas de modulación, tradicionales, utilizadas en el desarrollo de este trabajo, y a continuación se describen.

#### SPWM de 7 Niveles

Los pulsos necesarios para cada uno de los puentes del ACMLI, que se producen con la estrategia SPWM de 7 niveles, a partir de la comparación entre la onda moduladora y las 6 ondas portadoras, se obtienen de la siguiente manera:

*Para la parte positiva de la tensión de salida:*

El alto lógico de la comparación se genera, cuando la parte positiva de la onda moduladora es mayor (la moduladora entra en la pata positiva del comparador) que las portadoras (las portadoras entran en la pata negativa del comparador) que están por encima del nivel cero, como se ejemplifica en la Figura A. 1.

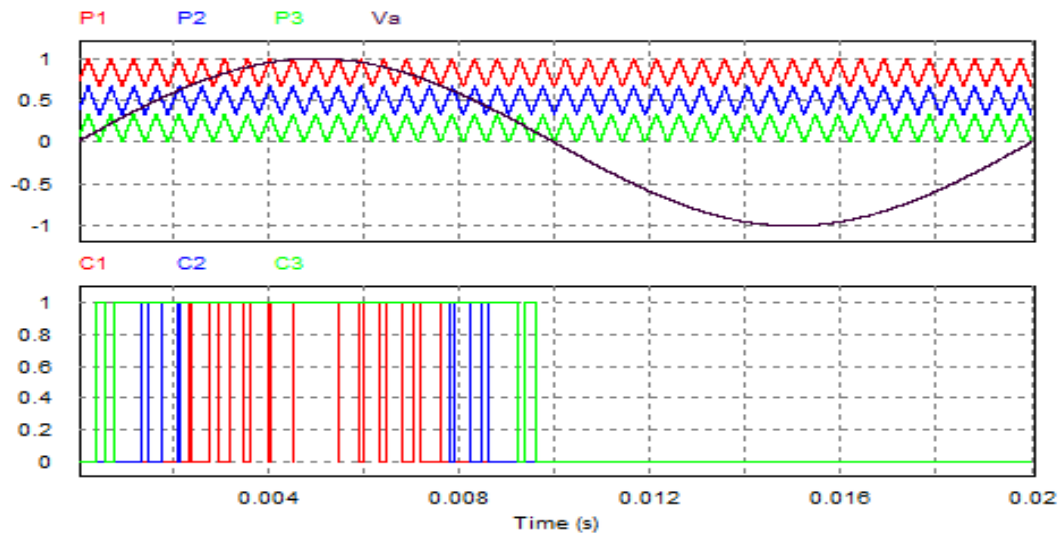


Figura A. 1. Pulsos para generar la parte positiva de la tensión de salida.

*Para la parte negativa de la tensión de salida:*

El alto lógico de la comparación se obtiene, cuando la parte negativa de la onda moduladora es menor (la moduladora entra en la pata negativa del comparador) que las ondas portadoras (las portadoras entran en la pata positiva del comparador) que están por debajo del nivel cero, como se ejemplifica en la Figura A. 2.

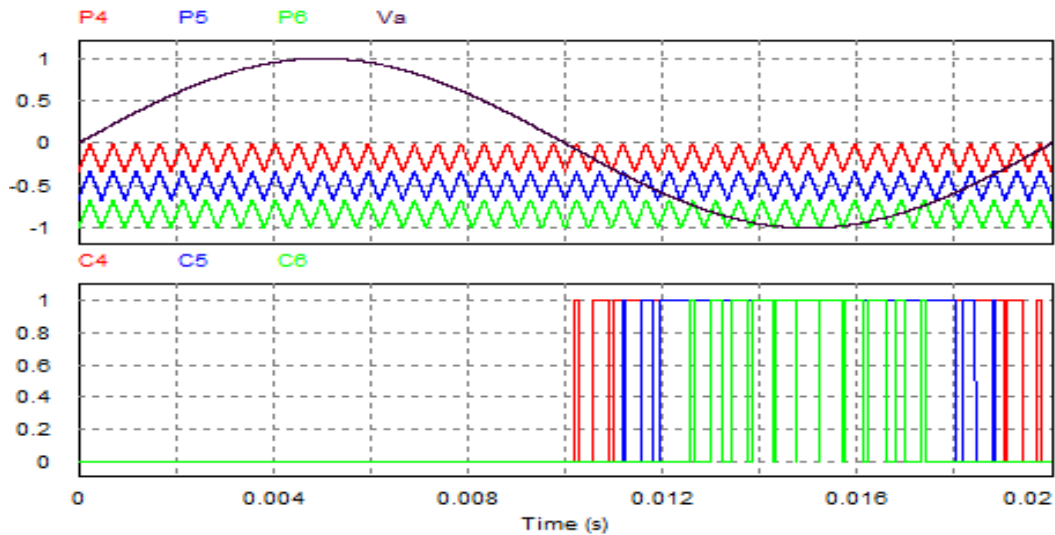


Figura A. 2. Pulsos para generar la parte negativa de la tensión de salida.

Los pulsos para el puente de mayor tensión se obtienen con la comparación de la referencia con las dos portadoras adyacentes al nivel cero, y los pulsos para la celda de menor tensión se obtienen con la comparación de la referencia sinusoidal con las portadoras restantes.

### SPWM de 9 Niveles

Para producir los 9 niveles de tensión en la estructura de potencia 3, empleando la estrategia SPWM de portadoras con desplazamiento de nivel, se necesitan de 8 portadoras y una moduladora, por lo que se generan ocho patrones distintos de conmutación durante la comparación y se disponen de solo 8 interruptores en un ACMLI de potencia 3.

La Figura A. 3, muestra a las portadoras numeradas así como a la señal moduladora que se emplean para la estrategia SPWM de 9 niveles.

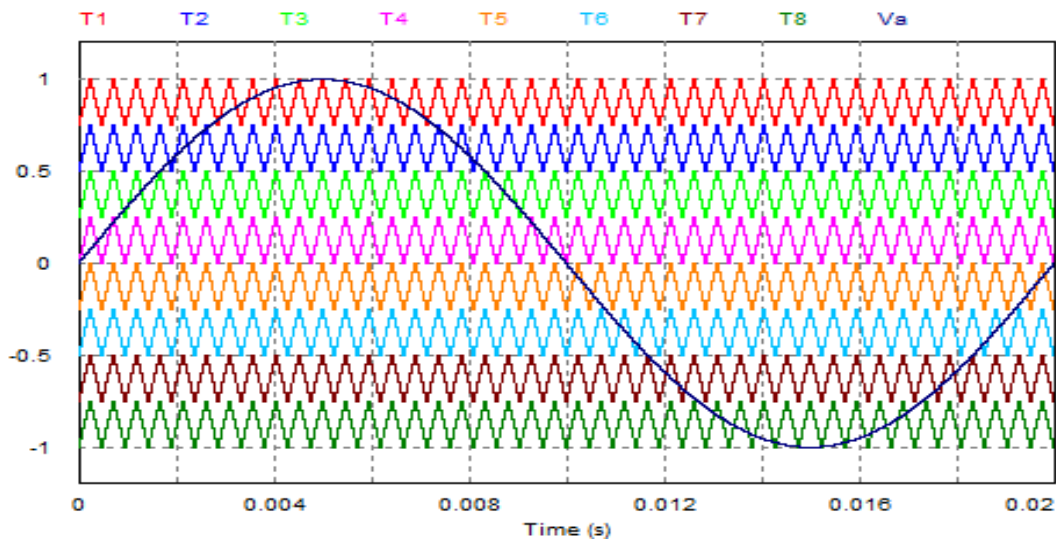


Figura A. 3. Ondas SPWM de 9 niveles.

El patrón de pulsos obtenido de la comparación de la portadora 3 con la referencia sinusoidal, se emplea en el puente de mayor potencia para generar la parte positiva del voltaje de salida, el resultado de la comparación de la moduladora con la portadora número 6 genera la parte negativa, produciendo así pocas conmutaciones por ciclo.

Las salidas obtenidas de los comparadores con las portadoras 1, 3, 4, 6 y 7 entran a una compuerta lógica NXOR de 5 entradas, para generar la onda de disparo correspondiente a la parte positiva de la onda de voltaje del puente de menor tensión, y las salidas obtenidas de los comparadores con las portadoras 2, 3, 5, 6 y 8 entran a una compuerta NXOR de 5 entradas, con el fin de producir el patrón de conmutación para la parte negativa del voltaje de salida.

La Figura A. 4, muestra el diagrama lógico para generar los pulsos de cada puente del ACMLI de potencia 3, empleando la estrategia SPWM que consta de una moduladora “Mod” y 8 portadoras (T1-T8).

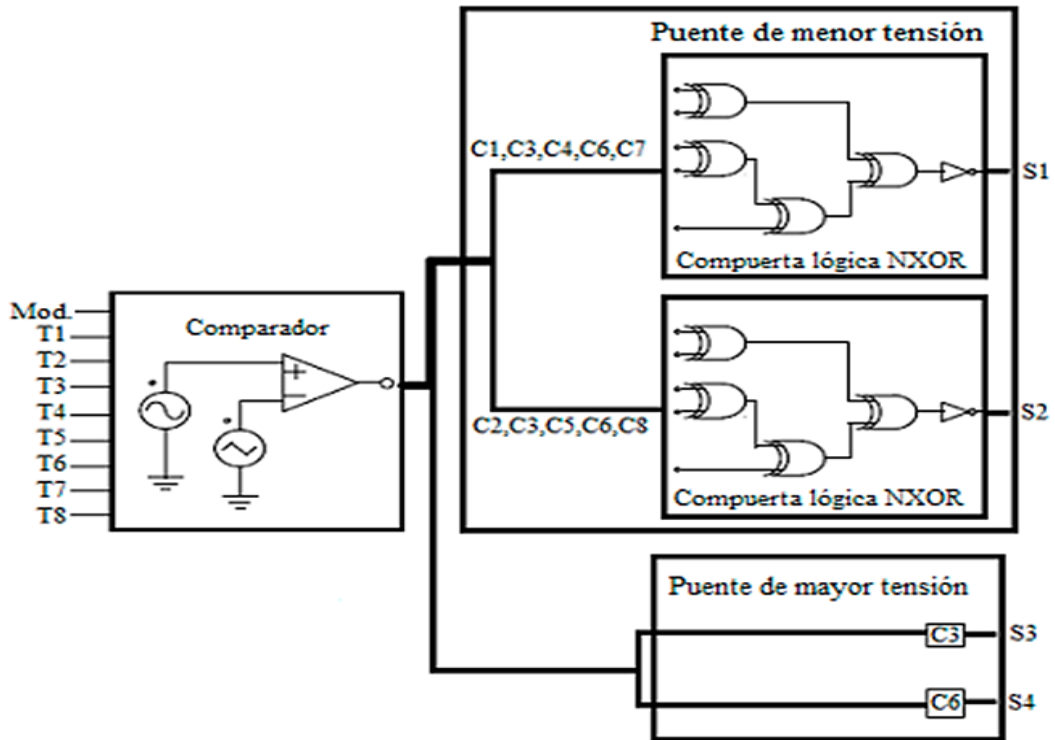


Figura A. 4. Diagrama lógico para generar los pulsos del ACMLI con la estrategia SPWM de 9 niveles.

### Eliminación Selectiva de Armónicos (PWM Escalonada)

La técnica eliminación selectiva de armónicos empleada en el ACMLI de potencia 2 puede generar un máximo de 7 niveles, por lo cual se requieren de 3 ángulos de disparo según el desarrollo (ángulos obtenidos con un programa desarrollado en Matlab).

Los ángulos encontrados con el programa desarrollado en Matlab para esta estrategia de comando para el inversor de 7 niveles fueron:

$$\alpha_1 = 10.20$$

$$\alpha_2 = 30.61$$

$$\alpha_3 = 53.91$$

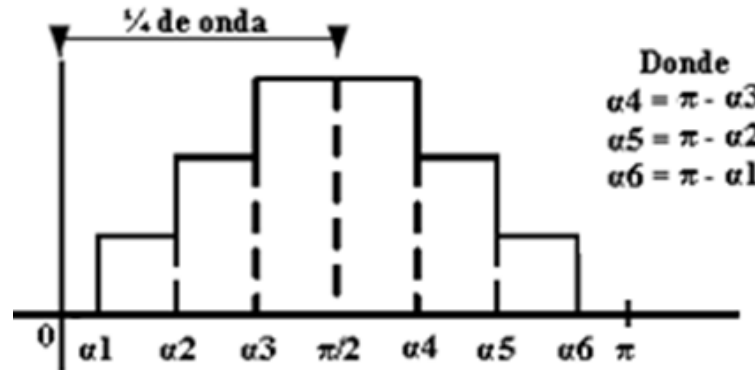


Figura A. 5. Ángulos de conmutación del inversor de 7 niveles.

La técnica eliminación selectiva de armónicas empleada en el ACMLI de potencia 3 puede generar hasta 9 niveles, por lo que se requieren de 4 ángulos de disparo según el desarrollo.

Los ángulos encontrados para esta estrategia de comando para el inversor de 9 niveles fueron:

$$\alpha_1 = 7.26$$

$$\alpha_2 = 21.92$$

$$\alpha_3 = 38.86$$

$$\alpha_4 = 59.37$$

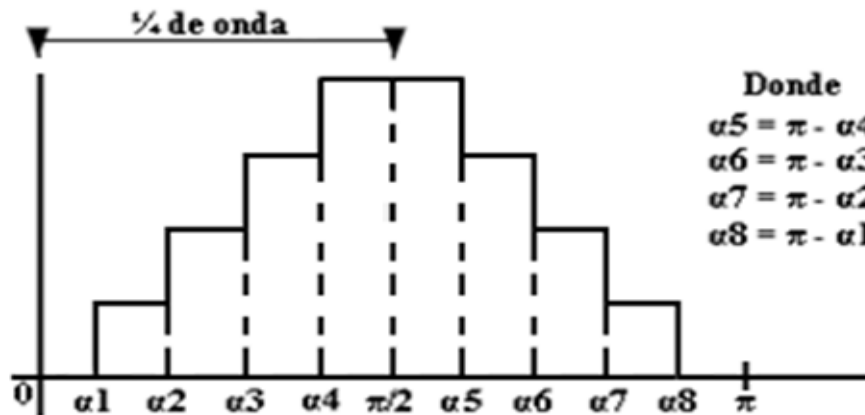


Figura A. 6. Ángulos de conmutación del inversor de 9 niveles.

### Modulación Híbrida de 7 Niveles

La modulación híbrida en la estructura del ACMLI de potencia 2 con dos puentes H solo puede generar 7 niveles en el voltaje de salida, la relación entre los voltajes en esta estructura es de 1:2 respecto a las fuentes de voltaje de entrada para cada puente H, de aquí que el puente

que maneja la mayor potencia conmuta a frecuencia fundamental y el voltaje de salida es escalado, como se muestra en la Figura A. 7.a).

Con lo anterior, se utiliza una onda de referencia puramente sinusoidal con un valor pico normalizado máximo al valor pico de la componente fundamental que se requiera como se muestra en la Figura A. 7.a). En el caso de 7 niveles, se requiere de un valor escalado de  $3V_{CD}$  para un índice de modulación de 1, esto es para generar la onda moduladora necesaria como se muestra en la Figura A. 7.b).

La Figura A. 7.c), muestra la onda moduladora comparada con las portadoras triangulares y poder aplicar conmutación PWM a alta frecuencia (para mejorar el espectro armónico) en el puente de menor tensión.

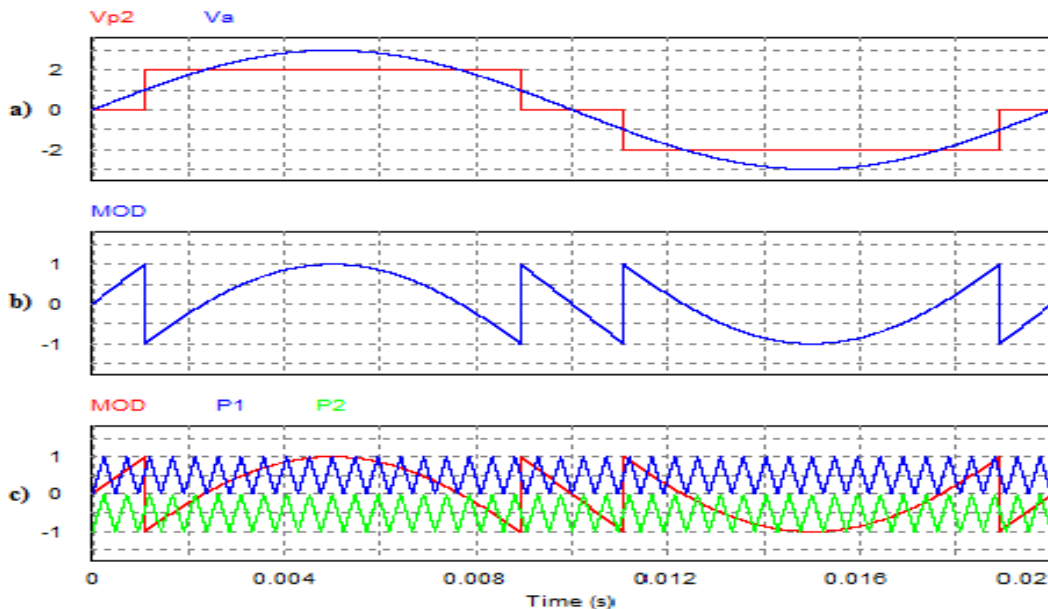


Figura A. 7. Estrategia de modulación híbrida de 7 niveles.

### Modulación Híbrida de 9 Niveles

La modulación híbrida en la estructura del ACMLI de potencia 3 con dos puentes H puede generar hasta 9 niveles en el voltaje de salida; la relación de voltajes en esta estructura es de 1:3 en las fuentes de voltaje de entrada para cada puente H. El puente que maneja la mayor potencia conmuta a frecuencia fundamental y el voltaje de salida es escalado, de manera que se pueda sumar con una onda de referencia puramente sinusoidal con un valor pico escalado máximo al valor pico de la componente fundamental que se requiera como se muestra en la Figura A. 8.a).

Respectivamente, a la Figura A. 8.a) para generar 9 niveles se requiere un valor escalado de  $4V_{CD}$  en la onda sinusoidal de referencia para un índice de modulación de 1, esto para generar



la onda moduladora necesaria como se muestra en la Figura A. 8.c), para ser comparada respecto con las portadoras triangulares.

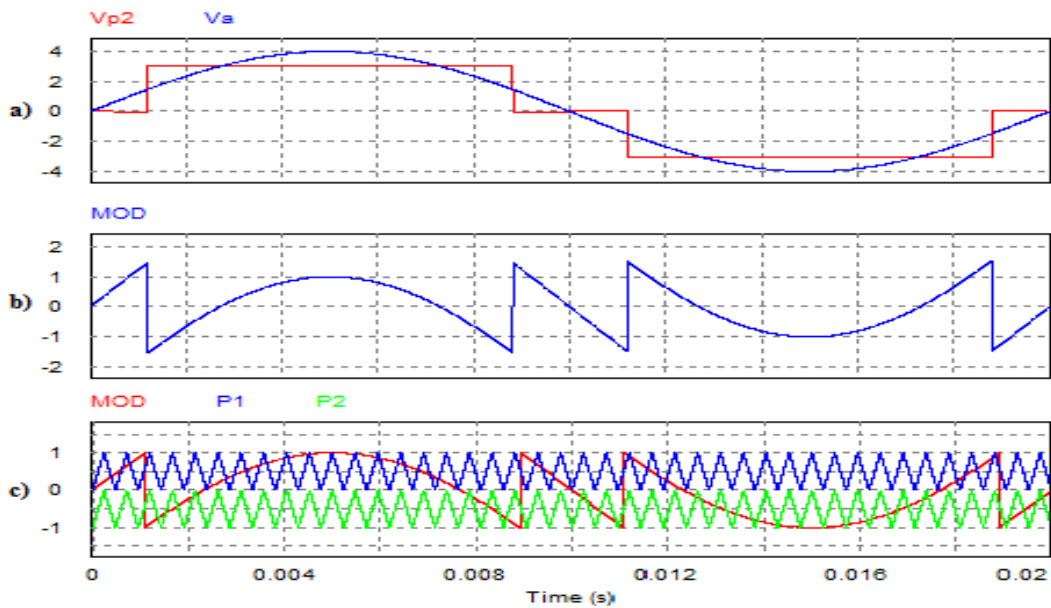


Figura A. 8. Estrategia de modulación híbrida de 9 niveles.

**Anexo B****Listado para el Subprograma 1.**

```
library IEEE;
use IEEE.STD_LOGIC_1164.ALL;
use IEEE.STD_LOGIC_ARITH.ALL;
use IEEE.STD_LOGIC_UNSIGNED.ALL;
-- Uncomment the following lines to use the declarations that are
-- provided for instantiating Xilinx primitive components.
--library UNISIM;
--use UNISIM.VComponents.all;
entity frec_100k is
    Port ( CLK : in std_logic;
          S100 : out std_logic);
end frec_100k;
architecture Behavioral of frec_100k is
    signal salida: std_logic;
begin
    uno: process (CLK)
        variable cont0 : std_logic_vector (11 downto 0) := X"000";
        begin
            if (CLK'event and CLK = '1') then
                if (cont0 = X"000") then
                    salida <= '1';
                elsif (cont0 = X"FA") then
                    salida <= '0';
                else
                    cont0 := cont0;
                end if;
                if (cont0 < X"1F4") then
                    cont0 := cont0 + 1;
                else
                    cont0 := X"000";
                end if;
            end if;
            S100 <= salida;
        end process uno;
end Behavioral;
```

**Listado para el Subprograma 2.**

```

library IEEE;
use IEEE.STD_LOGIC_1164.ALL;
use IEEE.STD_LOGIC_ARITH.ALL;
use IEEE.STD_LOGIC_UNSIGNED.ALL;
-- Uncomment the following lines to use the declarations that are
-- provided for instantiating Xilinx primitive components.
--library UNISIM;
--use UNISIM.VComponents.all;
entity pwmet7 is
    Port ( C1 : out std_logic:=0';
          C2 : out std_logic:=0';
          C5 : out std_logic:=0';
          C6 : out std_logic:=0';
          CLK : in std_logic;
          ENC : in std_logic);
end pwmet7;
architecture Behavioral of pwmet7 is
    signal salida, salida0, salida1, salida2: std_logic;
begin
    uno: process (CLK, ENC)
        variable cont0 : std_logic_vector (11 downto 0) := X"000";
        begin
            if (CLK'event and CLK = '1') then
                if (ENC = '1') then
                    if (cont0 = X"000") then --INICIA S1
                        salida <= '0';
                        salida0 <= '0';
                        salida1 <= '0';
                        salida2 <= '0';
                    elsif (cont0 = X"039") then
                        salida <= '1';
                    elsif (cont0 = X"0AA") then
                        salida <= '0';
                    end if;
                end if;
            end if;
        end process uno;
    end architecture Behavioral;

```

```
elseif (cont0 = X"12C") then
    salida <= '1';
elseif (cont0 = X"2BC") then
    salida <= '0';
elseif (cont0 = X"33E") then
    salida <= '1';
elseif (cont0 = X"3AF") then
    salida <= '0'; --FINALIZA S1
elseif (cont0 = X"421") then --INICIA S2
    salida0 <= '1';
elseif (cont0 = X"492") then
    salida0 <= '0';
elseif (cont0 = X"514") then
    salida0 <= '1';
elseif (cont0 = X"6A4") then
    salida0 <= '0';
elseif (cont0 = X"726") then
    salida0 <= '1';
elseif (cont0 = X"797") then
    salida0 <= '0'; --FINALIZA S2
elseif (cont0 = X"0AB") then --INICIA S5
    salida1 <= '1';
elseif (cont0 = X"33F") then
    salida1 <= '0'; --FINALIZA S5
elseif (cont0 = X"493") then --INICIA S6
    salida2 <= '1';
elseif (cont0 = X"727") then
    salida2 <= '0'; --FINALIZA S6
else
    cont0 := cont0;
end if;
if (cont0 < X"7D0") then
    cont0 := cont0 + 1;
else
    cont0 := X"000";
end if;
else
    salida <= '0';
    salida0 <= '0';
```

```

        salida1 <= '0';
        salida2 <= '0';
    end if;
end if;
C1 <= salida;
C2 <= salida0;
C5 <= salida1;
C6 <= salida2;
end process uno;
end Behavioral;

```

## Anexo C

### Análisis de Fourier para Calcular la THD en la Señal de Voltaje de Salida del Inversor de 7 Niveles con Fuentes Desbalanceadas.

Esta técnica permite tener simetría de cuarto de onda (Figura C. 1), esto se refiere a que sólo es necesario encontrar los ángulos de disparo presentes en el primer cuarto de onda, y los demás se encuentran sumándole o restándole  $\frac{1}{4}$  de onda ( $\pi = 90^\circ$ ) o  $\frac{1}{2}$  de onda ( $2\pi = 180^\circ$ ), según el ángulo que se desee encontrar.

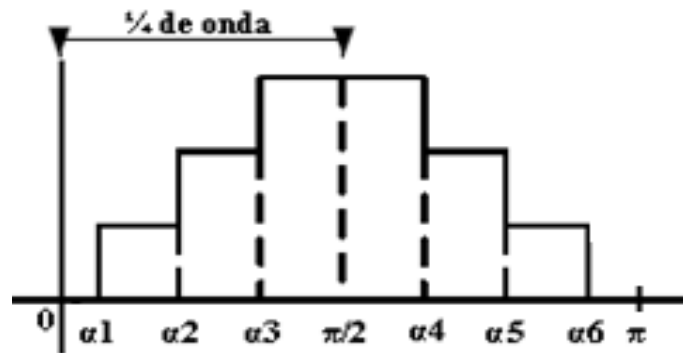


Figura C. 1. Ángulos de disparo en una señal con similitud de  $\frac{1}{4}$  de onda, de 7 niveles.

Para encontrar los ángulos de disparo se recurre al análisis de series de Fourier, se parte de la ecuación 2.11 debido a que la onda es una función periódica impar con un periodo T [33].

$$V(t) = \sum_{n=1}^{\infty} (b_n \text{sen}(n\omega_0 t)) \quad (2.11)$$

Dónde:

$$\omega_0 = \frac{2\pi}{T} \quad T = 2\pi \quad (2.12)$$

$$b_n = \frac{2}{T} \int_0^T f(t) \text{sen}(n\omega_0 t) dt \quad (2.13)$$

Para un inversor multinivel de  $n$  niveles es necesario separar la integral de acuerdo a los ángulos de disparo existentes en el primer cuarto de la onda; por ejemplo, la Figura C. 1 corresponde a un inversor multinivel de 7 niveles, en este caso la integral se divide en 4 partes (ecuación 2.13), que corresponden al ángulo  $\alpha_1$ ,  $\alpha_2$ ,  $\alpha_3$  y  $\alpha_4$  (los niveles de tensión que existen entre ellos son: de 0 a  $\alpha_1$  existe 0V, de  $\alpha_1$  a  $\alpha_2$  hay  $V_1$ , de  $\alpha_2$  a  $\alpha_3$  hay  $V_2$  y en  $\alpha_4$  existe  $V_1+V_2$ ).

$$b_n = 4 \left( \frac{2}{T} \int_0^{\frac{T}{4}} f(t) \text{sen}(n\omega_0 t) dt \right) \rightarrow T = 2\pi \therefore \omega_0 = 1$$

$$b_n = 4 \left( \frac{2}{2\pi} \int_0^{\frac{2\pi}{4}} f(t) \text{sen}(nt) dt \right) = \left( \frac{4}{\pi} \int_0^{\frac{\pi}{2}} f(t) \text{sen}(nt) dt \right)$$

$$b_n = \frac{4}{\pi} \int_0^{\frac{\pi}{2}} f(t) \text{sen}(nt) dt = \frac{4}{\pi} \left( \int_{\alpha_1}^{\alpha_2} V_1 \text{sen}(nt) dt + \int_{\alpha_2}^{\alpha_3} V_2 \text{sen}(nt) dt + \int_{\alpha_3}^{\frac{\pi}{2}} (V_1 + V_2) \text{sen}(nt) dt \right)$$

$$b_n = \frac{4}{\pi} \left( -\frac{V_1}{n} \cos(nt) \Big|_{\alpha_1}^{\alpha_2} - \frac{V_2}{n} \cos(nt) \Big|_{\alpha_2}^{\alpha_3} - \frac{(V_1 + V_2)}{n} \cos(nt) \Big|_{\alpha_3}^{\frac{\pi}{2}} \right)$$

$$b_n = \frac{4}{\pi} \left( \frac{V_1}{n} \cos(n\alpha_1) - \frac{V_1}{n} \cos(n\alpha_2) + \frac{V_2}{n} \cos(n\alpha_2) - \frac{V_2}{n} \cos(n\alpha_3) + \frac{V_1}{n} \cos(n\alpha_3) + \frac{V_2}{n} \cos(n\alpha_3) - \frac{V_1}{n} \cos\left(n\frac{\pi}{2}\right) - \frac{V_2}{n} \cos\left(n\frac{\pi}{2}\right) \right)$$

$$b_n = \frac{4}{\pi} \left( \frac{V_1}{n} \cos(n\alpha_1) - \frac{(V_1 - V_2)}{n} \cos(n\alpha_2) + \frac{V_1}{n} \cos(n\alpha_3) - \frac{(V_1 + V_2)}{n} \cos\left(n\frac{\pi}{2}\right) \right)$$

$$b_n = \frac{4}{\pi} \left( \frac{V_1}{n} \cos(n\alpha_1) - \frac{(V_1 - V_2)}{n} \cos(n\alpha_2) + \frac{V_1}{n} \cos(n\alpha_3) \right)$$

$$V_n(t) = \sum_{n=1}^{\infty} \frac{4}{\pi} \left( \frac{V_1}{n} \cos(n\alpha_1) - \frac{(V_1 - V_2)}{n} \cos(n\alpha_2) + \frac{V_1}{n} \cos(n\alpha_3) \right)$$

$$V_n(t) = \sum_{n=1}^{\infty} \frac{4}{\pi} \left( \frac{V_1}{n} (\cos(n\alpha_1) + \cos(n\alpha_3)) - \frac{(V_1 - V_2)}{n} \cos(n\alpha_2) \right)$$

$$V_n(t) = \sum_{n=1}^{\infty} \frac{4}{\pi} \left( \frac{V_1}{n} (\cos(n\alpha_1) - \cos(n\alpha_2) + \cos(n\alpha_3)) + \frac{V_2}{n} \cos(n\alpha_2) \right) \quad \text{C. 1}$$

Las siguientes tablas muestran el orden del armónico y su amplitud, la cual fue obtenida con la ecuación C. 1, pues para obtener la THD se necesita la amplitud de cada armónico al cuadrado, el orden y el voltaje de alimentación.

Orden Armónico	Amplitud	Amplitud <sup>2</sup>
1	185.9222	
3	3.0889	9.5415
5	4.1171	16.9508
7	4.8789	23.8039
9	4.3474	18.9002
11	0.4111	0.1690
13	6.2059	38.5127
15	5.2490	27.5520
17	13.0058	169.1508
19	4.6306	21.4423
21	0.0319	0.0010
23	1.8516	3.4283
25	1.2464	1.5535
27	2.1783	4.7451
29	2.8882	8.3416
31	1.3682	1.8719
33	5.0961	25.9698
35	4.4471	19.7764

37	1.2233	1.4964
39	1.8110	3.2796
41	0.3051	0.0931
43	2.2825	5.2099
45	0.4164	0.1734
47	2.4025	5.7720
49	1.2439	1.5472
51	3.1570	9.9666

$\alpha_1(^{\circ})$	$\alpha_2(^{\circ})$	$\alpha_3(^{\circ})$
10.2005	30.6169	53.9189

$\alpha_1$	$\alpha_2$	$\alpha_3$	$V_1$	$V_2$	$\pi$
0.1780	0.5344	0.9411	60	120	3.1416

THD <sub>51</sub>	11.0444
THD <sub>101</sub>	11.4984

### Análisis de Fourier para Calcular la THD en la Señal de Voltaje de Salida del Inversor de 9 Niveles con Fuentes Desbalanceadas.

La Figura C. 2 corresponde a un inversor multinivel de 9 niveles, en este caso la integral se divide en 5 partes (ecuación 2.13), que corresponden al ángulo  $\alpha_1$ ,  $\alpha_2$ ,  $\alpha_3$  y  $\alpha_4$  (los niveles de tensión que existen entre ellos son: de 0 a  $\alpha_1$  existe 0 V, de  $\alpha_1$  a  $\alpha_2$  hay  $1V_{CD}$ , de  $\alpha_2$  a  $\alpha_3$  hay  $2V_{CD}$ , de  $\alpha_3$  a  $\alpha_4$  hay  $3V_{CD}$  y en  $\alpha_4$  existe  $4V_{CD}$ ).

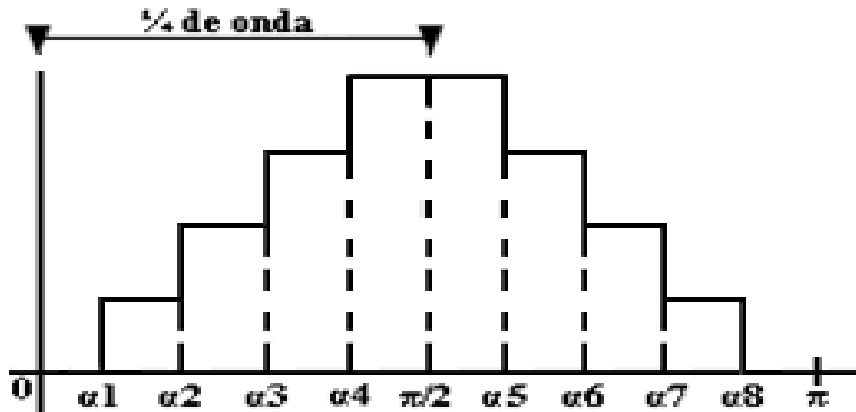


Figura C. 2. Ángulos de disparo en una señal con similitud de  $\frac{1}{4}$  de onda, de 9 niveles.

$$b_n = 4 \left( \frac{2}{T} \int_0^{\frac{T}{4}} f(t) \text{sen}(n\omega_0 t) dt \right) \rightarrow T = 2\pi \therefore \omega_0 = 1$$

$$b_n = 4 \left( \frac{2}{2\pi} \int_0^{\frac{2\pi}{4}} f(t) \text{sen}(nt) dt \right) = \left( \frac{4}{\pi} \int_0^{\frac{\pi}{2}} f(t) \text{sen}(nt) dt \right)$$



$$b_n = \frac{4}{\pi} \int_0^{\frac{\pi}{2}} f(t) \text{sen}(nt) dt$$

$$b_n = \frac{4}{\pi} \left( \int_{\alpha_1}^{\alpha_2} V_1 \text{sen}(nt) dt + \int_{\alpha_2}^{\alpha_3} (V_2 - V_1) \text{sen}(nt) dt + \int_{\alpha_3}^{\alpha_4} V_2 \text{sen}(nt) dt + \int_{\alpha_4}^{\frac{\pi}{2}} (V_1 + V_2) \text{sen}(nt) dt \right)$$

$$b_n = \frac{4}{\pi} \left( -\frac{V_1}{n} \cos(nt) \Big|_{\alpha_1}^{\alpha_2} - \frac{(V_2 - V_1)}{n} \cos(nt) \Big|_{\alpha_2}^{\alpha_3} - \frac{V_2}{n} \cos(nt) \Big|_{\alpha_3}^{\alpha_4} - \frac{(V_1 + V_2)}{n} \cos(nt) \Big|_{\alpha_4}^{\frac{\pi}{2}} \right)$$

$$b_n = \frac{4}{\pi} \left( \frac{V_1}{n} \cos(n\alpha_1) - \frac{V_1}{n} \cos(n\alpha_2) + \frac{(V_2 - V_1)}{n} \cos(n\alpha_2) - \frac{(V_2 - V_1)}{n} \cos(n\alpha_3) + \frac{V_2}{n} \cos(n\alpha_3) - \frac{V_2}{n} \cos(n\alpha_4) + \frac{(V_1 + V_2)}{n} \cos(n\alpha_4) - \frac{(V_1 + V_2)}{n} \cos\left(n\frac{\pi}{2}\right) \right)$$

$$b_n = \frac{4}{\pi} \left( \frac{V_1}{n} \cos(n\alpha_1) + \frac{(V_2 - 2V_1)}{n} \cos(n\alpha_2) + \frac{V_1}{n} \cos(n\alpha_3) + \frac{V_1}{n} \cos(n\alpha_4) - \frac{(V_1 + V_2)}{n} \cos\left(n\frac{\pi}{2}\right) \right)$$

$$b_n = \frac{4}{\pi} \left( \frac{V_1}{n} \cos(n\alpha_1) + \frac{(V_2 - 2V_1)}{n} \cos(n\alpha_2) + \frac{V_1}{n} \cos(n\alpha_3) + \frac{V_1}{n} \cos(n\alpha_4) \right)$$

$$V_n(t) = \sum_{n=1}^{\infty} \left( \frac{4}{\pi} \left( \frac{V_1}{n} \cos(n\alpha_1) + \frac{(V_2 - 2V_1)}{n} \cos(n\alpha_2) + \frac{V_1}{n} \cos(n\alpha_3) + \frac{V_1}{n} \cos(n\alpha_4) \right) \right)$$

$$V_n(t) = \sum_{n=1}^{\infty} \left( \frac{4}{\pi} \left( \frac{V_1}{n} (\cos(n\alpha_1) + \cos(n\alpha_3) + \cos(n\alpha_4)) + \frac{(V_2 - 2V_1)}{n} \cos(n\alpha_2) \right) \right)$$

$$V_n(t) = \sum_{n=1}^{\infty} \left( \frac{4}{\pi} \left( \frac{V_1}{n} (\cos(n\alpha_1) - 2 \cos(n\alpha_2) + \cos(n\alpha_3) + \cos(n\alpha_4)) + \frac{V_2}{n} \cos(n\alpha_2) \right) \right) \quad \text{C. 2}$$

Con la ecuación C. 2, se obtiene la amplitud de cada armónico para calcular la THD de la técnica PWM calculada, y en las siguientes tablas se concentran los datos obtenidos para el armónico 51.

Orden Armónico	Amplitud	Amplitud <sup>2</sup>
1	183.7918	
3	2.0641	4.2607
5	0.5422	0.2939
7	2.7546	7.5876
9	3.5003	12.2522
11	2.4348	5.9281
13	0.1007	0.0101
15	4.5424	20.6332
17	4.2582	18.1324
19	4.2950	18.4471
21	5.8603	34.3430
23	6.2578	39.1598
25	3.6465	13.2971
27	3.5526	12.6211
29	0.2536	0.0643
31	0.4604	0.2120
33	2.3679	5.6072
35	1.1872	1.4093

37	2.7278	7.4410
39	1.6678	2.7814
41	1.8850	3.5531
43	0.2004	0.0402
45	0.6667	0.4445
47	3.0489	9.2957
49	3.0634	9.3847
51	0.0872	0.0076

$\alpha_1(^{\circ})$	$\alpha_2(^{\circ})$	$\alpha_3(^{\circ})$	$\alpha_4(^{\circ})$
7.2685	21.9228	38.861	59.3728

THD <sub>51</sub>	8.2151
THD <sub>101</sub>	8.6735

$\alpha_1$	$\alpha_2$	$\alpha_3$	$\alpha_4$	$V_1$	$V_2$	$\pi$
0.1269	0.3826	0.6783	1.0363	45	135	3.1416

## Anexo D

### Calculo del filtro LC

La Figura D. 1 muestra el diagrama esquemático del circuito a calcular (convertidor resonante LC paralelo).

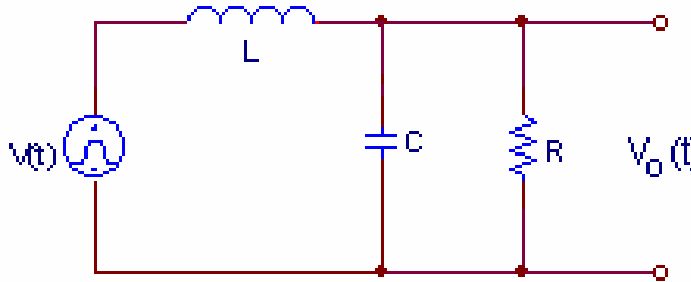


Figura D. 1. Tanque resonante paralelo.

Especificaciones:

- Potencia,  $P = 60 \text{ W}$ .
- Frecuencia de corte,  $f_c = 210 \text{ Hz}$ .
- Voltaje,  $V = 180 \text{ V}$ .
- Factor de calidad,  $Q = 1.275$ .

1. Calcular el valor de la carga:

Partiendo la definición de potencia, se puede encontrar el valor de la carga.

$$P_{out} = V_{rms} * I_{rms} \rightarrow P_{out} = V_{rms} * \frac{V_{rms}}{R}$$

$$P_{out} = \frac{V_{rms}^2}{R} = \frac{\left(\frac{V_{pico}}{\sqrt{2}}\right)^2}{R} = \frac{\left(\frac{V_{pico}^2}{2}\right)}{R} = \frac{V_{pico}^2}{2R}$$

$$P_{out} = \frac{V_{pico}^2}{2R} \rightarrow R = \frac{V_{pico}^2}{2P_{out}}$$

Con los especificaciones  $R = \frac{V_{out}^2}{2 * P_{out}} = \frac{180^2}{2(60)} = \frac{32400}{120} = 270\Omega$

2. Calcular la capacitancia.

$$\beta^2 * Q = \frac{X_c}{R} \rightarrow X_c = \beta^2 * Q * R$$

Donde  $\beta = \frac{\omega_0}{\omega_c}$

Si  $\omega_c$  es la frecuencia de corte y  $\omega_0$  es la frecuencia de resonancia del tanque LC, y ambas son

iguales.  $\beta = \frac{\omega_0}{\omega_c} = 1$

Entonces  $X_c = (1)^2 (1.275)(270) = 344.25$ .

De  $X_c = \frac{1}{\omega_c * C} \rightarrow C = \frac{1}{X_c \omega_c} = \frac{1}{(344.25)(2)(\pi)(210)} = 2.20 \mu F$

3. Calcular la inductancia.

$$X_L = Q * \frac{X_c^2 * R}{R^2 + X_c^2} = (1.275) \frac{(344.25)^2 (270)}{(270)^2 + (344.25)^2} = 213.129$$

$$X_L = \omega_c L \rightarrow L = \frac{X_L}{\omega_c} = \frac{213.129}{(2)(\pi)(210)} = 161 mH$$

***cenidet***<sup>®</sup>  
*Centro Nacional de Investigación  
y Desarrollo Tecnológico*