

INSTITUTO TECNOLÓGICO SUPERIOR DE IRAPUATO



ESTUDIOS CON RECONOCIMIENTO DE VALIDEZ OFICIAL
NÚMERO 11-00065

ANÁLISIS E IMPLEMENTACIÓN DE ALGORITMOS DE CONTROL
BASADOS EN EL MODELO CON COMPENSACIÓN DE
ARMÓNICOS Y BALANCE DE CAPACITORES PARA EL INVERSOR
MULTINIVEL ASIMÉTRICO TIPO T.

QUE PARA OBTENER EL GRADO DE
MAESTRO EN INGENIERÍA ELECTRÓNICA

PRESENTA:
ING. HECTOR BRANDON REA RIOS

DIRECTOR: DR. GILBERTO MUÑOZ MORENO
CODIRECTOR: DR. GERARDO VÁZQUEZ GUZMÁN

IRAPUATO, GTO.

JULIO 2025



Educación
Secretaría de Educación Pública



TECNOLÓGICO
NACIONAL DE MÉXICO



GUANAJUATO
GOBIERNO DE LA ENTIDAD
SECRETARÍA DE EDUCACIÓN



Instituto Tecnológico Superior de Irapuato
Dirección General
Dirección Académica

Irapuato, Guanajuato, **05/junio/2025**
Oficio No. CIPI-007-2025

ASUNTO: Autorización de impresión de tesis de maestría

DR. MARIO ALBERTO JUÁREZ BALDERAS
PRESIDENTE DEL CONSEJO DE POSGRADO
MAESTRÍA EN INGENIERÍA ELECTRÓNICA
PRESENTE

Por medio de la presente y a solicitud del comité tutorial integrado por:

Dr. Gilberto Muñoz Moreno
Dr. Gerardo Vázquez Guzmán
Dr. José Miguel Sosa Zúñiga
M.C. José Juan Alfaro Rodríguez

se autoriza la impresión de la tesis titulada **"Análisis e implementación de algoritmos de control basados en el modelo con compensación de armónicos y balance de capacitores para el inversor multinivel asimétrico tipo T"** realizada por el estudiante **C. Héctor Brandon Rea Ríos** con número de control **MIP22110005** la cual ha sido desarrollada dentro del programa de la Maestría en Ingeniería Electrónica bajo la dirección del Dr. Gilberto Muñoz Moreno y la codirección del Dr. Gerardo Vázquez Guzmán y ha sido revisada y aprobada por el comité tutorial antes mencionado.

Sin otro en particular, le envío un cordial saludo.

ATENTAMENTE

Excelencia en Educación Tecnológica®

M.C. ISAI GONZÁLEZ GAONA
DIRECTOR ACADÉMICO
PRESIDENTE DEL CIPI



ccp.

M.I. Ernesto Cabal Yépez
M.C. Akira Torreblanca Ponce

Titular de Jefatura de División de Ing. Electrónica
Titular del Departamento de Investigación

Para su conocimiento y atención
Para su seguimiento



2025
Año de
La Mujer
Indígena

Carretera Irapuato - Silao km 12.5, El Copal. Irapuato, Guanajuato,
C.P. 36821 Tels. 462 6067900, 462 6067602
irapuato.tecnm.mx





INSTITUTO TECNOLÓGICO
SUPERIOR DE IRAPUATO

Constancia de aprobación de la tesis

La tesis **Análisis e implementación de algoritmos de control basados en el modelo con compensación de armónicos y balance de capacitores para el inversor multinivel asimétrico tipo T** presentada para obtener el Grado de Maestría en Ingeniería Electrónica fue elaborada por el **Ing. Hector Brandon Rea Rios** y aprobada el **27 de junio de 2025** por los suscritos, designados por el Consejo de Posgrado de la Maestría en Electrónica del Tecnológico Nacional de México / Instituto Tecnológico Superior de Irapuato.

Dr. Gilberto Muñoz Moreno

(Director de Tesis)

Dr. Gerardo Vázquez Guzmán

(Co-Director de Tesis)

Dr. José Miguel Sosa Zúñiga

(Sinodal)

M.C. José Juan Alfaro Rodríguez

(Sinodal)



**INSTITUTO TECNOLÓGICO
SUPERIOR DE IRAPUATO**

Créditos Institucionales

El presente proyecto de tesis, titulado “Análisis e implementación de algoritmos de control basados en el modelo con compensación de armónicos y balance de capacitores para el inversor multinivel asimétrico tipo T”, fue desarrollado y ejecutado en las instalaciones del Instituto Tecnológico Superior de Irapuato, utilizando los recursos del Laboratorio de la Maestría en Ingeniería Electrónica. Este espacio cuenta con el equipamiento necesario para llevar a cabo simulaciones avanzadas y pruebas experimentales que permitieron validar los algoritmos propuestos.

El proyecto fue supervisado por el Dr. Gerardo Vázquez Guzmán como asesor principal y el Dr. Gerardo Escobar Valderrama como co-asesor. Además, se recibió apoyo y revisión del Dr. José Miguel Sosa Zúñiga y el Dr. Gilberto Muñoz Moreno, quienes garantizaron el cumplimiento de altos estándares y rigor técnico. Este trabajo constituye una contribución al área de electrónica de potencia.

Agradecimientos

Al Dr. Gerardo Escobar Valderrama, por su valiosa contribución a este proyecto desde sus inicios. Su amplio conocimiento en el área fue fundamental para el desarrollo de este trabajo, y fue él quien propuso este desafiante y apasionante tema de tesis. El conocimiento que me compartió a lo largo de este proceso es, sin duda, invaluable.

Al Dr. Gerardo Vázquez Guzmán, mi co-asesor, por sus valiosas contribuciones, consejos técnicos y apoyo constante, que enriquecieron este proyecto con su experiencia.

Al Dr. Gilberto Muñoz Moreno, mi asesor de tesis, por su guía experta, paciencia y dedicación durante todo este proceso. Su orientación fue clave para el desarrollo y culminación exitosa de este trabajo.

Al Consejo Nacional de Ciencia y Tecnología (CONACyT), por otorgarme una beca que hizo posible dedicarme completamente a mi formación académica y al desarrollo de este trabajo. Su apoyo ha sido fundamental para avanzar en mi camino.

A mis padres Fatima Rios y Hector Rea López, por su amor incondicional, su apoyo en cada etapa de mi vida y por inculcarme los valores de la perseverancia y el esfuerzo.

A mi compañera Andrea Banda Estrada, por ser mi mayor fuente de apoyo emocional y motivación. Su compañía y aliento en los momentos difíciles hicieron que este camino fuera más llevadero y significativo.

A mis compañeros de carrera Gerardo, Juana, Cristian, Jesús y Pascual con quienes compartí horas de estudio, trabajo, aprendizaje y por su puesto buenos momentos. Su amistad y colaboración fueron un pilar importante durante mi formación académica.

Abstract

This thesis presents the analysis and implementation of control algorithms for a five-level asymmetric T-type multilevel inverter, focusing on harmonic compensation and capacitor voltage balancing for its integration with the electrical grid. The primary objective is to develop control strategies that ensure efficient active power injection into the grid, even under conditions of harmonic distortion. The inverter under study utilizes a DC-link split by two capacitors, generating multi-level voltage outputs for improved power quality. The proposed control strategies are based on a mathematical model of the system, incorporating a current control loop synchronized with the grid voltage, augmented with resonant filters to mitigate harmonic distortion. Additionally, a capacitor voltage balancing loop is implemented to maintain the stability of the DC-link voltages. Two control algorithms were developed and evaluated: one using current reference perturbation and harmonic compensation, and the other modifying the current reference and balance loop to improve performance. Numerical simulations were carried out using MATLAB-Simulink, while an experimental prototype was built to validate the proposed strategies. The results demonstrate the effectiveness of the developed algorithms in achieving high-quality power injection with minimal harmonic distortion, ensuring both the efficiency and stability of the system. This research contributes to the advancement of power electronics, particularly in renewable energy applications, by enhancing the performance and reliability of grid-connected multi-level inverters.

Resumen

Este trabajo de tesis presenta el desarrollo detallado de dos algoritmos de control basados en el modelo matemático de un inversor multinivel monofásico sin transformador, diseñado para su conexión a la red eléctrica. La topología bajo estudio corresponde a un inversor asimétrico tipo T de cinco niveles, denominado "Asym-T-5L". Este inversor está compuesto por un puente H y un interruptor bidireccional que divide el enlace de corriente continua (DC-link), generando una salida de voltaje multinivel. El principal objetivo de esta investigación es desarrollar y validar los algoritmos de control necesarios para la interconexión del inversor con la red, permitiendo la inyección de potencia activa, incluso en presencia de distorsión armónica en la red.

Además, se incorpora un lazo de balance destinado a mantener equilibrados los voltajes de los capacitores en el enlace de corriente continua (DC-Link). Para ello, se desarrolla el modelo matemático del sistema y se obtienen las ecuaciones que describen su comportamiento. A partir de esto, se proponen dos algoritmos de control. El primer control se fundamenta en las ecuaciones derivadas del modelo matemático y contempla un lazo de seguimiento de corriente sincronizado con el voltaje de la red, complementado con un banco de filtros resonantes para suprimir los armónicos presentes en la red, mientras que el segundo se desarrolla modificando la corriente de referencia, así como el lazo de balance y su ubicación dentro de la estrategia de control.

Se realizó una evaluación tanto numérica como experimental, la etapa numérica se realizó por medio de simulaciones donde se utilizó el programa "MATLAB-Simulink" mientras que para la experimental se construyó un prototipo. Aunque los controles están programados en tiempo continuo, se explica cómo se implementan en tiempo discreto, considerando que normalmente se ejecutan en un dispositivo DSP que opera a una frecuencia de muestreo específica. La salida de los algoritmos de control alimenta a una estrategia de modulación, que, aunque no forma parte central de esta tesis, se utiliza para verificar el correcto funcionamiento de los controles. Este algoritmo de modulación genera los pulsos de disparo para los interruptores del inversor a partir de la señal de salida de los algoritmos de control. A la salida del inversor, se obtiene un voltaje escalonado de cinco niveles, el cual pasa por una pequeña bobina para eliminar los pulsos de alta frecuencia y generar una corriente sinusoidal, con el objetivo de inyectar potencia activa a la red con la mínima distorsión armónica. Los resultados obtenidos permitieron comparar el rendimiento de los algoritmos de control con y sin los lazos de compensación de armónicos y el balanceo de los voltajes de los capacitores en el DC-Link. Además, los resultados se evaluaron a diferentes niveles de potencia de referencia, utilizando capacitores tanto idénticos como distintos en el DC-Link.

Índice de contenido

Agradecimientos	9
Resumen	12
Índice de contenido	13
Lista de tablas y figuras	15
Notación	18
Capítulo 1. Generalidades del proyecto	19
1.1. Introducción	20
1.2. Clasificación de inversores	22
1.2.1 Clasificación por aislamiento.....	22
1.2.1. Clasificación por etapas.....	23
1.3. Antecedentes	24
1.4. Definición del problema	26
1.5. Estado del arte	27
1.6. Objetivos	32
1.6.1. Objetivo General	32
1.6.2. Objetivos específicos.....	33
Capítulo 2. Marco Teórico	34
2.1. Modelo matemático del sistema	35
Capítulo 3. Algoritmos de control.....	47
3.1. Perturbación en la referencia de corriente.....	49
3.1.1 Lazo de seguimiento de corriente y compensación de armónicos	50
3.1.2 Lazo de balance en el voltaje de capacitores v_{C1} y v_{C2}	51
3.2. Perturbación de la señal de control	52
3.3.1 Lazo de seguimiento de corriente y compensación de armónicos	54
3.3.2 Lazo de balance para voltajes de capacitores en el DC-Link.....	54
Capítulo 4. Desarrollo de la simulación	55
4.1 Estrategia de modulación.....	56
4.2 Implementación del controlador con Perturbación de Referencia de Corriente	62
4.3 Perturbación de la señal de control	65
4.4 Máquina de estados.....	66

Capítulo 5.	Desarrollo experimental del sistema	74
5.1	Diseño del Diagrama Esquemático.....	75
5.1.1	Disparador	75
5.1.2	Diseño de la red snubber	78
5.1.3	Sección digital.....	79
5.1.4	Etapa de potencia.....	80
5.2	Diseño del PCB	81
5.3	Implementación física del prototipo	83
Capítulo 6.	Resultados numéricos	85
6.1	Perturbación en la referencia de corriente.....	86
6.1.1	Lazo de corriente.....	86
6.1.2	Lazo de balance	89
6.2	Perturbación de la señal de control	90
6.2.1	Lazo de corriente.....	90
6.2.2	Lazo de balance	91
Capítulo 7.	Resultados experimentales	93
7.1	Perturbación en la referencia de corriente.....	94
7.1.1	Lazo de corriente.....	94
7.1.2	Lazo de balance	97
7.2	Perturbación de la señal de control	98
7.2.1	Lazo de corriente.....	98
7.2.2	Lazo de balance	101
Capítulo 8.	Conclusiones y trabajo futuro	104
8.1	Referencias.....	105

Lista de tablas y figuras

FIGURA 1.1 Sistema conectado a la red.	21
FIGURA 1.2 Sistema fotovoltaico aislado.	22
FIGURA 1.3 Ubicación del transformador de baja frecuencia.	23
FIGURA 1.4 Ubicación del transformador de alta frecuencia.	23
FIGURA 1.5 Estructura de dos etapas.	24
FIGURA 1.6 Estructura de una etapa.	24
FIGURA 1.7 Tendencia de diseño comercial a finales de 1980.	25
FIGURA 1.8 Circuito ejemplificado de un inversor comercial del 2004.	25
FIGURA 1.9 Circuito ejemplificado de un inversor comercial actual.	25
FIGURA 1.10 Una de las primeras topologías con conexión a la red (a). Control del inversor encargado de sincronizarse con la red (b).	27
FIGURA 1.11 Puente H completo conectado a la red (a). Estrategia de control implementada (b).	28
FIGURA 1.12 Inversor multinivel de cinco niveles con conexión a la red y con control para inyección de potencia programado en un DSP [15].	29
FIGURA 1.13 Topologías tipo con conexión a la red. (a) 3L-T, (b) 5L-T Cascade, (c) 5L-T Hybrid, (d) 5L-T Parallel Converter [18].	30
FIGURA 1.14 Diagrama del control de las topologías tipo con conexión a la red [18].	31
FIGURA 1.15 Control del balance en el voltaje del DC-Link así como control de balance en los capacitores [18]. Control PR de corriente [19].	32
FIGURA 2.1 Inversor asimétrico tipo T de cinco niveles “Asym-T-5L”.	35
FIGURA 2.2 Diagrama simplificado de la topología “Asym-T-5L”.	35
FIGURA 2.3 Gráfica de e_{10}	38
FIGURA 2.4 Gráfica de e_{20}	39
FIGURA 2.5 Gráfica de i_{11}	39
FIGURA 2.6 Gráfica de i_{10}	40
FIGURA 2.7 Gráfica de $i_1 - 1$	41
FIGURA 2.8 Gráfica de i_{21}	41
FIGURA 2.9 Gráfica de $i_2 - 1$	42
FIGURA 3.1 Diagrama de bloques del control por perturbación en la referencia de corriente [9].	49
FIGURA 3.2 Diagrama de bloques del control por perturbación de la señal de control [31].	52
FIGURA 4.1 Estados disponibles en la Topología Asym-T-5L”.	57
FIGURA 4.2 Obtención de las señales preliminares de los interruptores del inversor bajo estudio.	58
FIGURA 4.3 Obtención de las señales de los interruptores.	59
FIGURA 4.4 Segmentos de la forma de onda de referencia.	60
FIGURA 4.5 Diagrama de generación de señales en modulación.	61
FIGURA 4.6 Generación de las señales de compuerta para S1, S3, S5 y S6.	61
FIGURA 4.7 Señales PWM usadas para controlar las compuertas de los interruptores S1 a S5.	62

FIGURA 4.8 Lazo de balance en el voltaje de los capacitores en el Control por Perturbación de Referencia de Corriente.	63
FIGURA 4.9 Construcción de la referencia de corriente en el Control por Perturbación de Referencia de Corriente.	63
FIGURA 4.10 Lazo de corriente en el Control por Perturbación de Referencia de Corriente.	64
FIGURA 4.11 Lazo de balance en el voltaje de los capacitores en el control Perturbación de la señal de control.....	65
FIGURA 4.12 Máquina de estados implementada en simulación.	66
FIGURA 4.13 Secuencia de estados que componen la sección de la máquina.	68
FIGURA 4.14 . Diagrama principal de simulación.....	69
FIGURA 5.1 Características de carga en la terminal de compuerta.	75
FIGURA 5.2 Configuración final de la fuente MGJ2D241505SC para el prototipo.	76
FIGURA 5.3 Diseño final del disparador para el MOSFET C2M0080120D.....	77
FIGURA 5.4 Relación Capacitancia contra Voltaje Drain-Source hasta los 1000V.	78
FIGURA 5.5 Sección de adquisición de señales en la etapa digital.	79
FIGURA 5.6 Alimentación y regulación de la etapa digital.	79
FIGURA 5.7 Diagrama esquemático de la etapa de potencia del inversor bajo estudio.	80
FIGURA 5.8 Capa superior (a), Capa inferior (b), Capa de plano a tierra (c), Capa de refuerzo (d).	81
FIGURA 5.9 Modelo 3D del prototipo.	82
FIGURA 5.10 Circuito del inversor “Asym-T-5L” que implementado experimentalmente. .	83
FIGURA 5.11 Prototipo utilizado para la obtención de resultados experimentales.	84
FIGURA 6.1 Corriente inyectada en estado estacionario a 200W.	86
FIGURA 6.2 Voltaje en la salida del inversor em comparación con el voltaje en la red eléctrica.....	87
FIGURA 6.3 Aumento de potencia de 100W a 200W donde i_s es la corriente inyectada a la red, i^* es la referencia de corriente y $\sim i$ es el error.	87
FIGURA 6.4 Disminución de potencia de 200W a 100W donde i_s es la corriente inyectada a la red, i^* es la referencia de corriente y $\sim i$ es el error.....	88
FIGURA 6.5 Rizado del voltaje de los capacitores en comparación con el aumento de potencia. Capacitor superior $VC1$, capacitor inferior $VC2$, corriente de salida i_S	88
FIGURA 6.6 Efectos del lazo de balance por perturbación en la referencia de corriente en la corriente de salida.....	89
FIGURA 6.7 Efectos del lazo de balance por perturbación en la referencia de corriente en el voltaje de salida del inversor.	90
FIGURA 6.8 Aumento de potencia de 100W a 200W donde i_s es la corriente inyectada a la red, i^* es la referencia de corriente y $\sim i$ es el error.	90
FIGURA 6.9 Disminución de potencia de 200W a 100W donde i_s es la corriente inyectada a la red, i^* es la referencia de corriente y $\sim i$ es el error.....	91
FIGURA 6.10 Efectos del lazo de balance por perturbación en la señal de control en la corriente de salida.	92
FIGURA 6.11 Efectos del lazo de balance por perturbación en la señal de control en el voltaje de salida del inversor.	92

FIGURA 7.1 Señales del lado de la red en estado estacionario a 100W. Voltaje de red v_s , voltaje a la salida del inversor e y corriente inyectada a la red i_s	95
FIGURA 7.2 Aumento de potencia de 100W a 200W. Voltaje de red v_s , voltaje de salida e y corriente inyectada a la red i_s	95
FIGURA 7.3 Disminución de potencia de 200W a 100W. Voltaje de red v_s , voltaje de salida e y corriente inyectada a la red i_s	96
FIGURA 7.4 Señales del lado de la red en estado estacionario a 200W. Voltaje de red v_s , voltaje a la salida del inversor e y corriente inyectada a la red i_s	96
FIGURA 7.5 Rizado en el voltaje de los capacitores $VC1$ y $VC2$ cuando se aumenta la amplitud de la corriente en la red i_s suministrada.....	97
FIGURA 7.6 Transitorio durante la acción de balance con $VC1$ en color rosa, en verde $VC2$ e i_s en azul.....	98
FIGURA 7.7 Transitorio durante la acción de balance con $VC1$ en color rosa, en verde $VC2$ e i_s en azul.....	98
FIGURA 7.8 Señales del lado de la red en estado estacionario a 100W. Voltaje de red v_s , voltaje a la salida del inversor e y corriente inyectada a la red i_s	99
FIGURA 7.9 Aumento de potencia de 100W a 200W. Voltaje de red v_s , voltaje de salida e y corriente inyectada a la red i_s	100
FIGURA 7.10 Disminución de potencia de 200W a 100W. Voltaje de red v_s , voltaje de salida e y corriente inyectada a la red i_s	100
FIGURA 7.11 Señales del lado de la red en estado estacionario a 200W. Voltaje de red v_s , voltaje a la salida del inversor e y corriente inyectada a la red i_s	101
FIGURA 7.12 Transitorio durante la acción de balance con $VC1$ en color rosa, en verde $VC2$ e i_s en azul.....	101
FIGURA 7.13 Transitorio durante el balance con $VC1$ en color rosa, en verde $VC2$ e i_s en azul.....	102
FIGURA 7.14 Señales del lado de la red en estado estacionario a 600W. Voltaje de red v_s , voltaje a la salida del inversor e y corriente inyectada a la red i_s	102

Notación

Acrónimos

AC:	Corriente Alterna.
ADC:	Convertidor Analógico a Digital (Analog to Digital Converter).
DC:	Corriente Directa
DSP:	Procesador Digital de Señales (Digital Signal Processor).
IEEE:	Instituto de Ingenieros Eléctricos y Electrónicos (Institute of Electrical and Electronics Engineers).
IGBT:	Transistor Bipolar de Puerta Aislada (Insulated-Gate Bipolar Transistor).
LPF:	Filtro Pasa Bajos (Low Pass Filter).
MPPT:	Rastreador del Punto de Máxima Potencia (Maximum Power Point Tracker).
MOSFET:	Transistor de Efecto de Campo de Metal-Óxido-Semiconductor (Metal-Oxide-Semiconductor Field-Effect Transistor).
PI:	Control Proporcional-Integral.
PID:	Control Proporcional-Integral-Derivativo.
PLL:	Lazo de Enganche de Fase (Phase-Locked Loop).
PR:	Control Proporcional-Resonante.
PWM:	Modulación por Ancho de Pulso (Pulse Width Modulation).
RMS:	Valor Cuadrático Medio (Root Mean Square).
SPWM:	Modulación por Ancho de Pulso Sinusoidal (Sine Pulse Width Modulation).
THD:	Distorsión Armónica Total (Total Harmonic Distortion).
BPF:	Filtro Bypass (ByPass Filter).

Variables

V_{C1}	Voltaje en el capacitor 1.
V_{C2}	Voltaje en el capacitor 2.
I_{C1}	Corriente a través del capacitor 1.
I_{C2}	Corriente a través del capacitor 2.
I_{OUT}	Corriente de salida del inversor hacia la carga o red eléctrica.
V_{DC}	Voltaje total en el enlace de corriente directa (DC-link).
f_{sw}	Frecuencia de conmutación de los interruptores del inversor.
R_{LOAD}	Resistencia de la carga conectada al inversor.
ω	Frecuencia angular de la red o sistema.
T_S	Período de muestreo del DSP utilizado en el control digital.
ϕ	Ángulo de fase asociado al voltaje o corriente en la red.
K_p	Ganancia proporcional del controlador PI.
K_i	Ganancia integral del controlador PI.
V_{REF}	Voltaje de referencia que el inversor intenta seguir o regular.
I_{REF}	Corriente de referencia utilizada en el control.
T_{ON}	Tiempo de encendido de los interruptores durante un ciclo de conmutación.
T_{OFF}	Tiempo de apagado de los interruptores durante un ciclo de conmutación.
V_{PV}	Voltaje del generador fotovoltaico conectado al inversor.
I_{PV}	Corriente generada por el panel fotovoltaico.

Capítulo 1. Generalidades del proyecto

En este capítulo se presenta una introducción al tema de sistemas fotovoltaicos aislados y conectados a la red, se realiza una clasificación de inversores basada en el diseño, así como los antecedentes con énfasis en los diferentes algoritmos diseñados para controlar variables como la compensación del voltaje de los capacitores, así las técnicas de control usadas para la inyección de potencia a la red eléctrica.

1.1. Introducción

El sol es la mayor fuente de energía que los seres humanos tienen a su disposición. Estudios previos han demostrado que la estrella más próxima a la tierra genera en un solo segundo varias veces la energía consumida por toda la humanidad a lo largo de su existencia. Este ha existido durante 5 mil millones años aproximadamente y se estima que seguirá existiendo por otros 8 mil millones de años más, por lo que para muchos expertos la estrella seguirá emitiendo energía incluso cuando la humanidad probablemente deje de existir [1, 2].

La energía que llega del sol es fundamental para varias formas de energía renovable. Dentro de estas, se puede resaltar la energía solar fotovoltaica, que convierte la luz solar en electricidad a través de paneles fotovoltaicos [2, 3]. Por otro lado, la energía solar térmica aprovecha el calor del sol para calentar fluidos que luego se utilizan para generar electricidad o para calefacción y refrigeración. Además, la radiación solar es la fuerza impulsora detrás de la energía eólica, ya que calienta de manera desigual la superficie terrestre, creando diferencias de presión que generan los vientos. Incluso la energía hidroeléctrica, aunque indirectamente, depende del sol, ya que impulsa el ciclo del agua que mueve las turbinas generadoras.

En un sistema fotovoltaico, una de las etapas más críticas es la conversión de la energía producida por los paneles solares en una forma que se adecúe a las características necesarias para los sistemas donde se implementará. Esta conversión es esencial porque los paneles solares generan electricidad en forma de corriente continua (DC), pero la mayoría de los sistemas eléctricos y dispositivos electrónicos funcionan con corriente alterna (AC). Por lo tanto, se utiliza un inversor que transforma la DC de los paneles solares en AC. Además de la conversión de corriente, este proceso también implica regular el voltaje y frecuencia de la electricidad para que cumpla con los estándares requeridos por la red eléctrica o por los equipos electrónicos. Así, esta etapa asegura que la energía generada por los paneles solares sea útil y efectivamente integrada en los sistemas eléctricos y aplicaciones específicas, permitiendo aprovechar de manera óptima la energía solar [2, 4].

Dentro de los tipos de sistemas fotovoltaicos se encuentran aquellos que se conectan a la red eléctrica como el que se muestra en la Figura 1.1. Este tipo de sistemas se diseñan considerando únicamente el generador fotovoltaico y un

inversor que puede ser utilizado para alimentar cargas locales o bien para inyectar la energía eléctrica a la red del servicio eléctrico público [4].

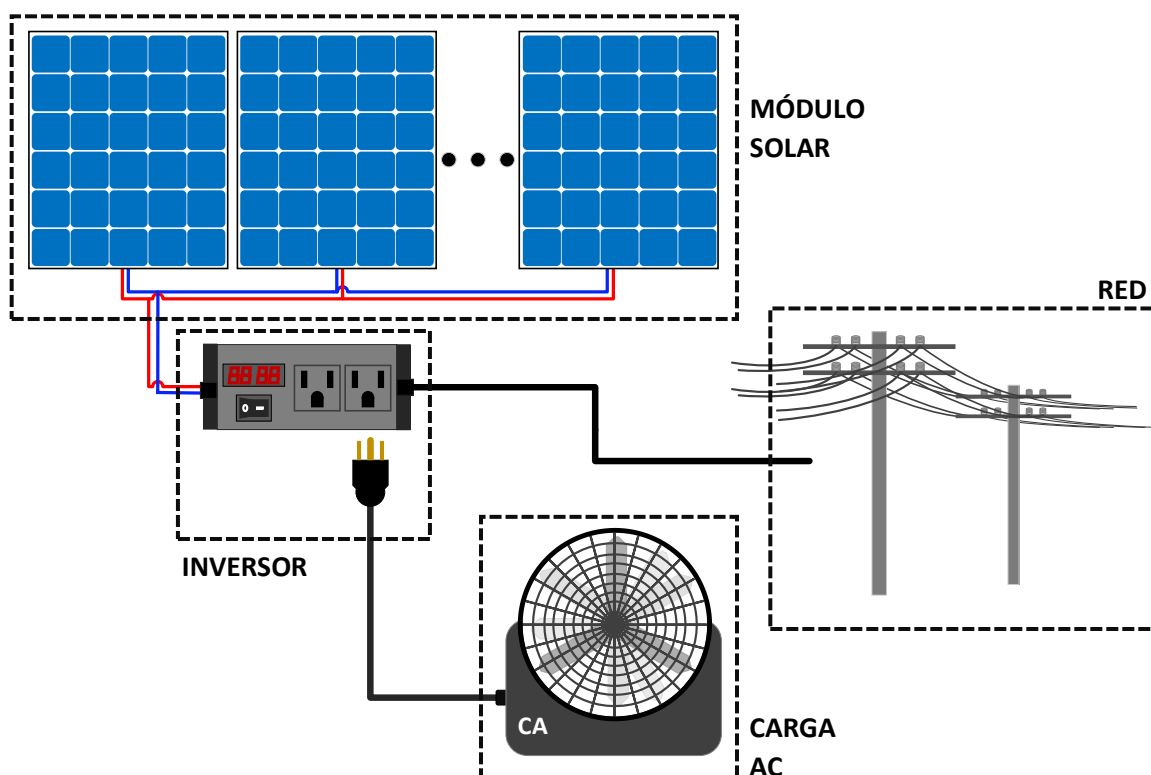


FIGURA 1.1 Sistema conectado a la red.

El inversor tiene la función de convertir la corriente continua que es generada por el panel fotovoltaico en corriente alterna que tenga las mismas características de la red doméstica o industrial en donde sean utilizados. Por ejemplo, para el caso de la red doméstica en México esta debe tener un valor RMS de 127V con una frecuencia de 60Hz.

Cuando el sistema fotovoltaico está aislado de la red como el que se observa en la Figura 1.2, entonces es necesario considerar el tipo de cargas que serán alimentadas con este, por ejemplo, para electrodomésticos es necesario generar una forma de onda en AC que sea capaz de alimentar a los dispositivos de manera práctica, lo que generalmente se logra por medio de un inversor [2, 4].

En caso de que existan únicamente cargas de DC se podrá prescindir del inversor y conectar ya sea los paneles directos a través de un controlador de carga o bien permitir la carga de un banco de baterías que permitirán el uso de la energía en horas en las que no hay disponibilidad de la energía solar [2, 4].

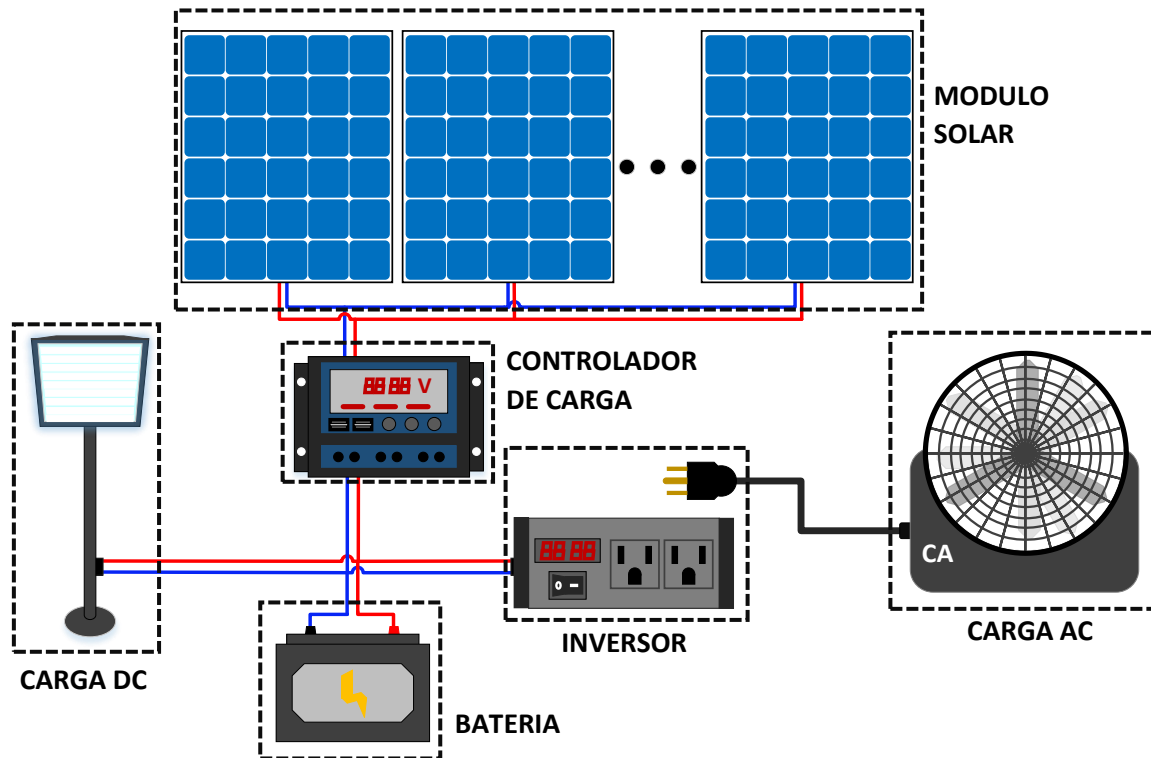


FIGURA 1.2 Sistema fotovoltaico aislado.

1.2. Clasificación de inversores

1.2.1 Clasificación por aislamiento

En el desarrollo del proyecto es importante considerar la siguiente clasificación basada en su aislamiento, es decir, si el inversor contará con aislamiento galvánico o no. Para ello se aclara que el aislamiento galvánico se efectúa mediante la inserción de un transformador que puede encontrarse en la salida del convertidor o anterior a este [4].

Cuando el transformador se encuentra en la salida del inversor como se muestra en la Figura 1.3, su operación es en la frecuencia de la red y suele ser un transformador de baja frecuencia, este proporcionará el aislamiento galvánico y además se podrán realizar ajustes en la amplitud de la forma de onda y proveer un filtro de las componentes de DC [5, 6]. Sin embargo, la principal desventaja es que la eficiencia de los sistemas en los que se implementa este tipo de aislamiento se reporta entre un 94 y 96% [5, 6].

Otras desventajas de esta técnica es el aumento del costo, peso y tamaño del inversor, ya que los transformadores suelen ser voluminosos, pesados y costosos.

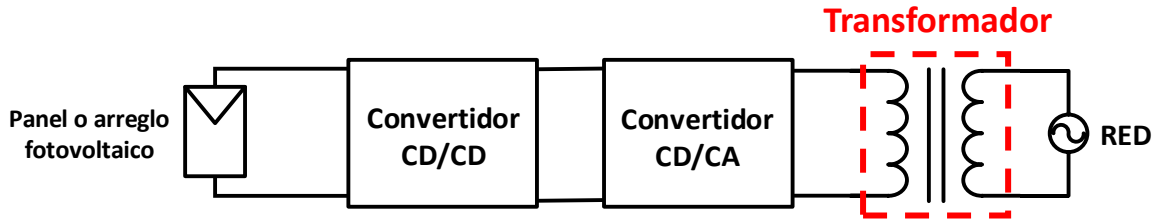


FIGURA 1.3 Ubicación del transformador de baja frecuencia.

Para evitar el problema del aumento de peso y tamaño al usar un transformador de baja frecuencia se utiliza un transformador de alta frecuencia ubicado antes del inversor como se puede observar en la Figura 1.4. Note que el esquema mostrado es una generalización, por lo que la topología o estructura del convertidor puede variar [5]. La principal ventaja es la considerable disminución en tamaño del transformador además de proporcionar el aislamiento galvánico. Sin embargo, la eficiencia es baja debido a las múltiples etapas implementadas teniendo valores reportados en la literatura de entre 90 y 95% [4].

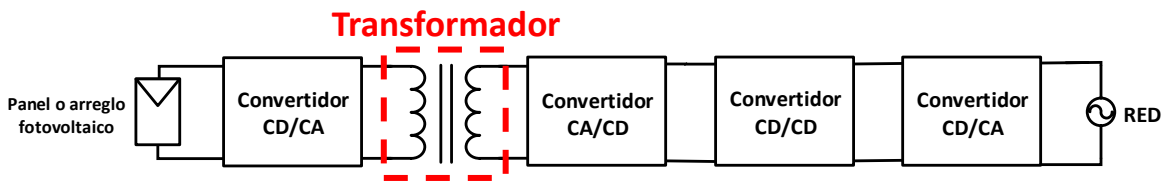


FIGURA 1.4 Ubicación del transformador de alta frecuencia.

1.2.1. Clasificación por etapas

El siguiente tipo de inversor en esta clasificación son aquellos que no cuentan con aislamiento galvánico ni a baja ni a alta frecuencia. Algunas de las ventajas de los inversores sin transformador son la mayor eficiencia, el menor costo y la disminución del tamaño [4]. De manera general, estos pueden dividirse en dos categorías, de una etapa y dos etapas. Los inversores de dos etapas pueden emplearse en todo un rango de voltajes de entrada gracias a que la primera etapa (el convertido DC/DC) y la del inversor pueden optimizarse por separado, esta se muestra en la Figura 1.5 [5].

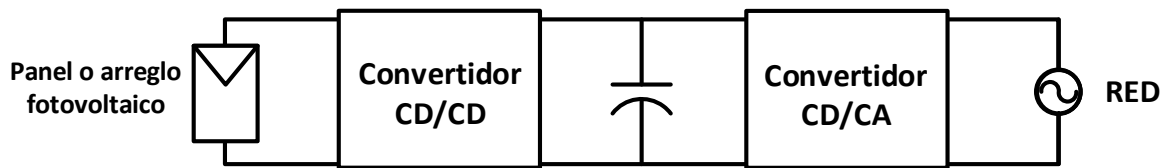


FIGURA 1.5 Estructura de dos etapas.

Los inversores de una etapa como el que se muestra en la Figura 1.6, tienen una eficiencia superior a los inversores de dos etapas, pero requieren una entrada de voltaje superior al pico de voltaje de la red. Sin embargo, con la tendencia de elevar el voltaje en la salida de los módulos fotovoltaicos, los inversores de una sola etapa aumentarán su presencia en el mercado [5, 6].

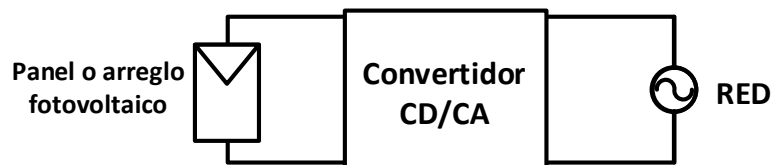


FIGURA 1.6 Estructura de una etapa.

1.3. Antecedentes

Los primeros inversores con dispositivos semiconductores como elementos de conmutación comenzaron implementando aislamiento galvánico a través de un transformador de baja frecuencia en su estructura. Posteriormente durante la década de 1980 este aislamiento comenzó a aplicarse mediante un transformador de alta frecuencia debido a su menor peso y costo, una tendencia de diseño comercial de 1989 se muestra en la Figura 1.7 [7].

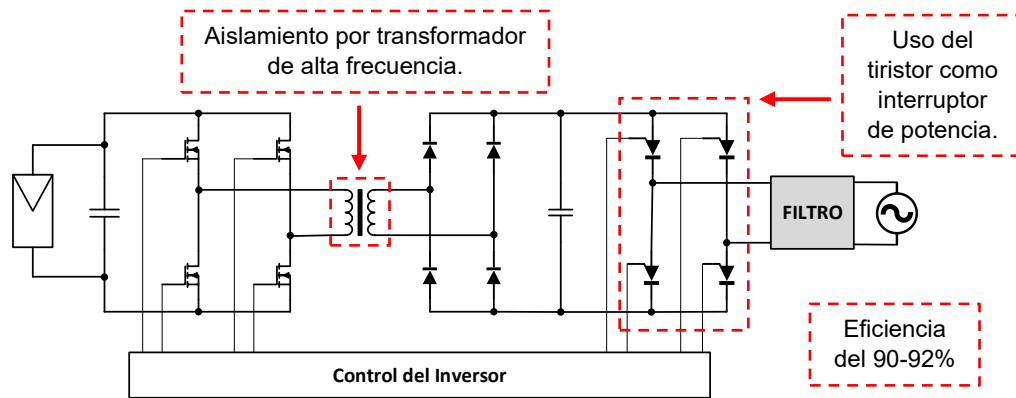


FIGURA 1.7 Tendencia de diseño comercial a finales de 1980.

Debido a las pérdidas que causa la implementación de un mayor número de semiconductores, a inicios de la década del 2010 las tendencias de diseños comerciales se volvieron a orientar al uso de un transformador de baja frecuencia como se muestra en la Figura 1.8 [7, 8].

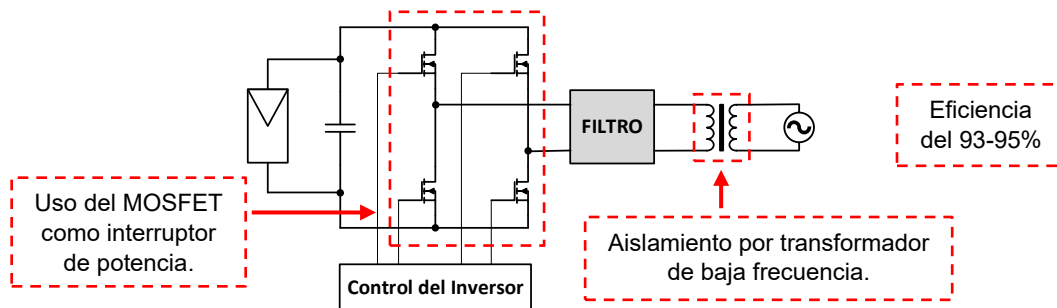


FIGURA 1.8 Circuito ejemplificado de un inversor comercial del 2004.

Actualmente la principal tendencia de diseño son los inversores sin transformador debido a su alta eficiencia como se muestra en la Figura 1.9 [7, 8].

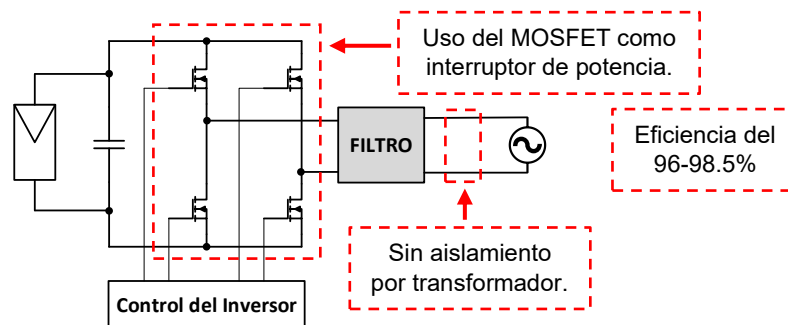


FIGURA 1.9 Circuito ejemplificado de un inversor comercial actual.

1.4. Definición del problema

Un inversor multinivel utiliza múltiples niveles de voltaje en su salida, en lugar de aquellos que son modulados de manera bipolar o unipolar y que cuentan con dos o tres niveles de voltaje respectivamente. Este tipo de inversor se emplea en aplicaciones de alta potencia, como los sistemas fotovoltaicos conectados a la red, para mejorar la calidad de la energía y la eficiencia del sistema [9]. Los inversores multinivel utilizan varios componentes de conmutación, como semiconductores, dispuestos en configuraciones específicas que permiten obtener diferentes niveles de voltaje en la salida. Estos niveles se combinan para formar una onda sinusoidal más cercana a la forma de onda ideal, reduciendo la distorsión armónica y mejorando la calidad de la energía entregada. Hay varias arquitecturas de inversores multinivel, cada una con sus características específicas, pero todas comparten el objetivo de producir una onda de salida de alta calidad con menos distorsión armónica [10]. Esto reduce las pérdidas de energía y la interferencia electromagnética, además de permitir una mejor distribución de los voltajes entre los componentes, aumentando así la eficiencia y vida útil del sistema.

Sin embargo, uno de los desafíos de los inversores multinivel es mantener el balance de los voltajes de los capacitores para aquellas topologías que presentan una división en el bus de DC, con el cual se genera un mayor número de niveles de voltaje utilizando una menor cantidad de fuentes de alimentación. Un desbalance en estos capacitores puede causar una serie de problemas que afectan tanto el rendimiento como la estabilidad del sistema. Los capacitores desbalanceados pueden resultar en niveles diferentes a los deseados de voltaje en las etapas del inversor, lo que conduce a una distorsión de la forma de onda de salida y provoca una menor calidad de energía entregada a la red y a los dispositivos conectados [11]. Además, este desbalance puede causar que ciertos componentes del inversor manejen más carga de la prevista, lo que puede llevar a un sobrecalentamiento y, eventualmente, a la falla prematura de estos componentes, reduciendo la eficiencia del sistema y aumentando las pérdidas de energía. Aunado a lo anterior, la dificultad en el control preciso del inversor debido a los desbalances puede llevar a una respuesta inestable del sistema, dificultando la sincronización con la red y la regulación de la corriente.

Por esta razón, es crucial tener un lazo de corriente robusto ante la existencia de distorsión armónica en la red. Este lazo de corriente asegura que la corriente inyectada en la red mantenga una alta calidad, con baja distorsión armónica, contribuyendo a la estabilidad del sistema y cumpliendo con las normativas de calidad de energía. Un lazo de corriente robusto minimiza las pérdidas de energía, asegura que el inversor opere en condiciones óptimas, maximiza la eficiencia del sistema y protege tanto al inversor como a los dispositivos conectados de posibles daños causados por picos de corriente o fluctuaciones aleatorias en el voltaje de la

red. En resumen, mantener el balance en los capacitores y asegurar un lazo de corriente robusto ante las distorsiones armónicas son aspectos cruciales para la eficiencia, estabilidad y vida útil del sistema fotovoltaico.

1.5. Estado del arte

En [12], se presenta una de las primeras topologías de un inversor sin transformador para inyección de potencia a la red eléctrica, dicho diseño genera una forma de onda a la salida de tres niveles, la cual es sincronizada con la forma de onda de voltaje presente en la red. En la Figura 1.10(a) se muestra dicha topología, la cual está conformada por un puente H y un capacitor que mantiene los niveles de voltaje, en este caso implementa un filtro L para el acoplo a la red. El control se muestra en la Figura 1.10(b), este consta de una estrategia de modulación PWM obtenida a partir de una sinusoidal a la frecuencia fundamental [13]. Los resultados obtenidos constan de una eficiencia del 90% con un factor de potencia 0.98. No se incluye el análisis de la distorsión armónica total (THD) en la red.

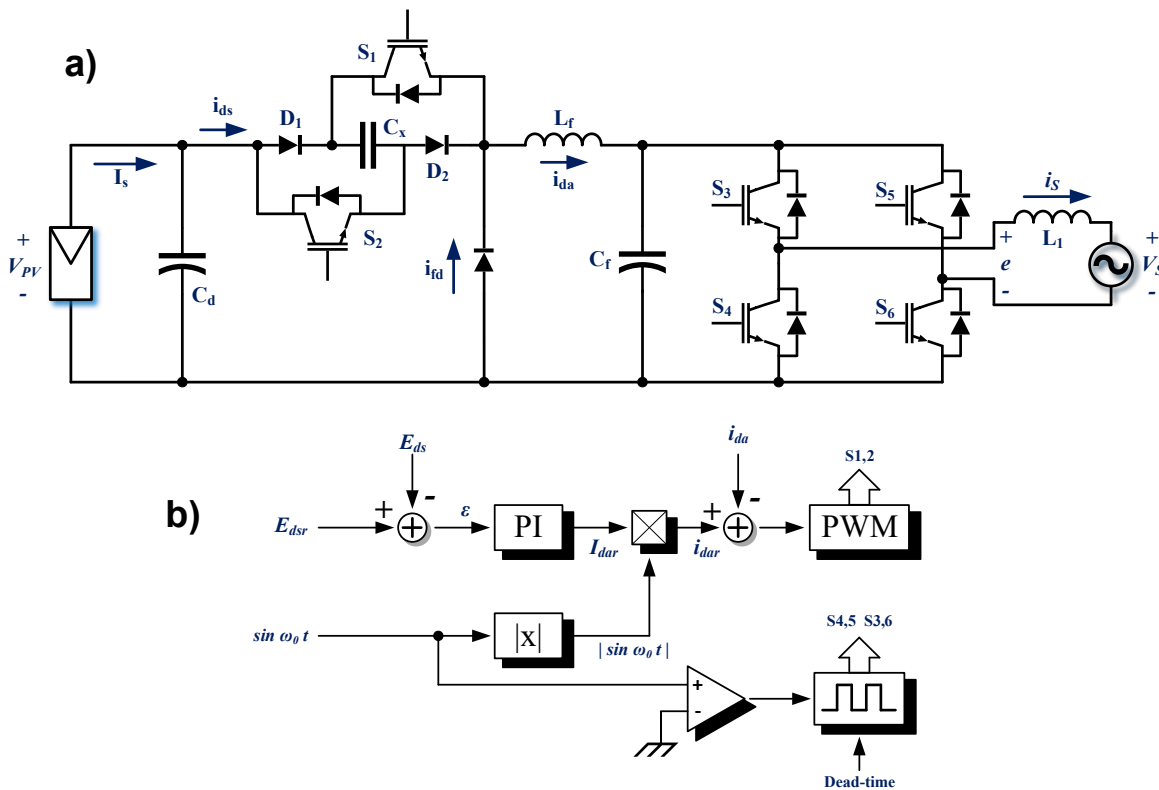


FIGURA 1.10 Una de las primeras topologías con conexión a la red (a). Control del inversor encargado de sincronizarse con la red (b).

Seis años posteriores a la introducción a la primera topología, se diseña una estrategia de control más avanzada, esta también implementa un puente H, pero incorpora un DSP (Digital Signal Processor) debido al mayor grado de complejidad del control, el esquema se muestra en la Figura 1.11(a) mientras que en la Figura 1.11(b) se muestra el diagrama de control que genera la activación de los semiconductores.

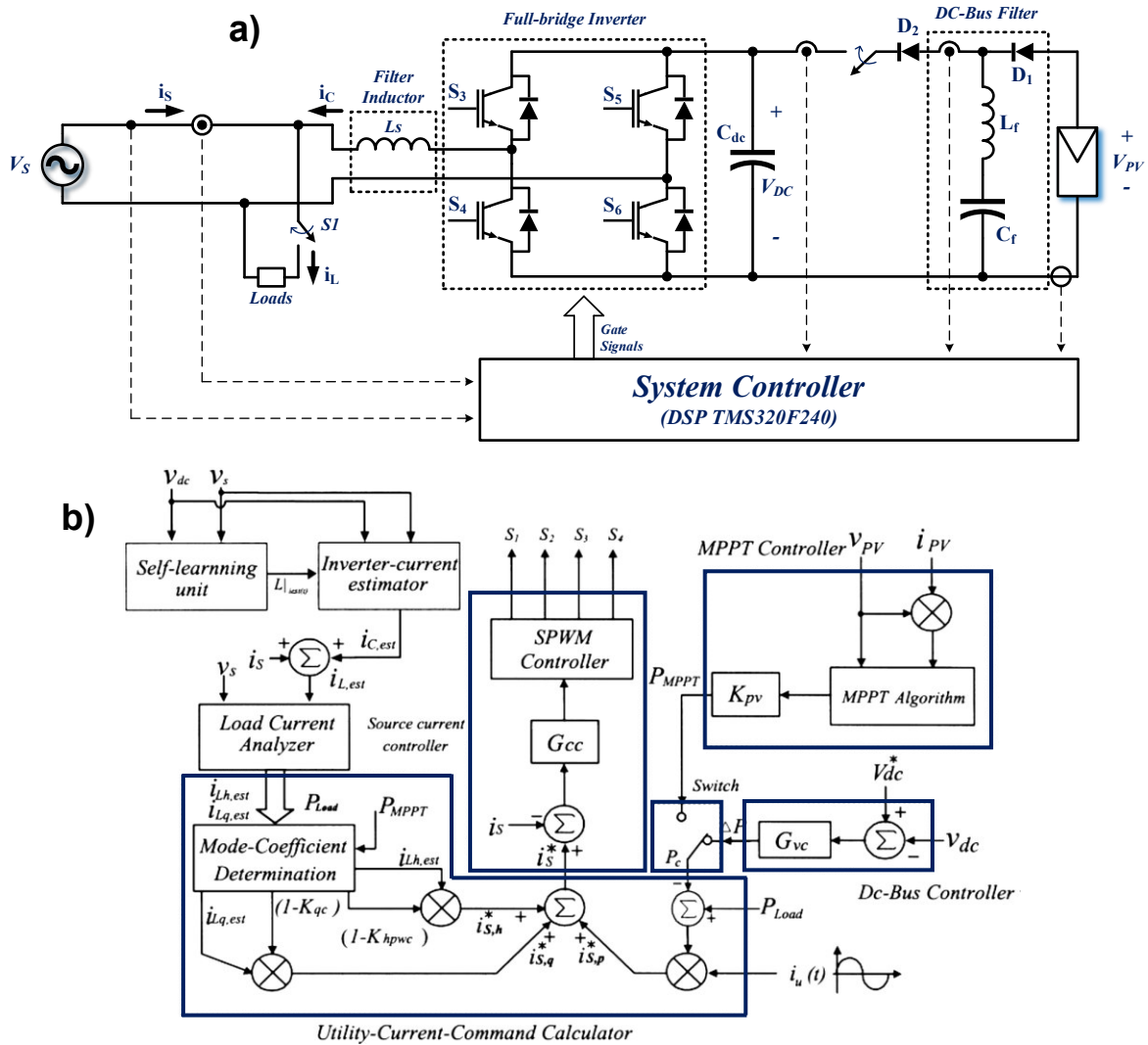


FIGURA 1.11 Puente H completo conectado a la red (a). Estrategia de control implementada (b).

La estrategia del control debe de suprimir los armónicos, mejorar el factor de potencia y considerar los efectos no lineales del inductor de filtro de salida como perdidas por histéresis, cambios en la permeabilidad del núcleo que modifiquen la inductancia y capacitancias parásitas. De igual manera implementa un control

MPPT por sus siglas en inglés (Maximum Power Point Tracker) el cual tiene la función de mantener una extracción óptima de energía de los paneles fotovoltaicos. El control de la corriente se realiza de manera eficiente mediante un estimador de corriente [14].

De forma posterior se realizó la publicación de la topología de un inversor monofásico de cinco niveles para aplicaciones fotovoltaicas con conexión a la red lo que se muestra en la Figura 1.12 [15]. En este caso el inversor cuenta con un transformador a la salida, además hace uso de un DC-Link dividido a través de dos capacitores que permite aplicar la mitad del voltaje suministrado por el arreglo fotovoltaico, esta característica es fundamental para lograr los cinco niveles de voltaje. El control se basa en la obtención de la amplitud de la corriente mediante la multiplicación del voltaje de la red y una constante calculada en el MPPT [15], el resultado pasa a un controlador PI antes de enviarse al algoritmo de modulación, donde se compara con señales portadoras para generar las señales de activación de los interruptores. En esta estrategia de control sigue sin considerarse la presencia de armónicos ni cuenta con un lazo de balance para los capacitores que constituyen el DC-Link. En este caso los resultados mostraron una eficiencia de 86%, que si se compara con la topología mostrada en la Figura 1.11 es inferior debido a la implementación de un transformador [16].

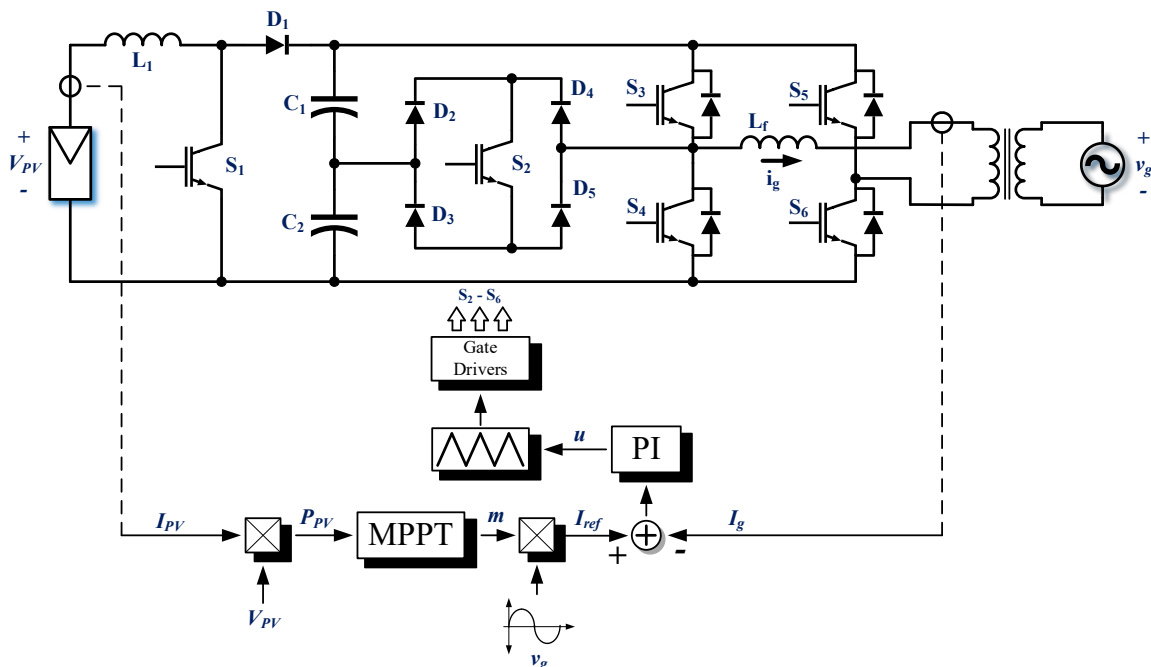


FIGURA 1.12 Inversor multinivel de cinco niveles con conexión a la red y con control para inyección de potencia programado en un DSP [15].

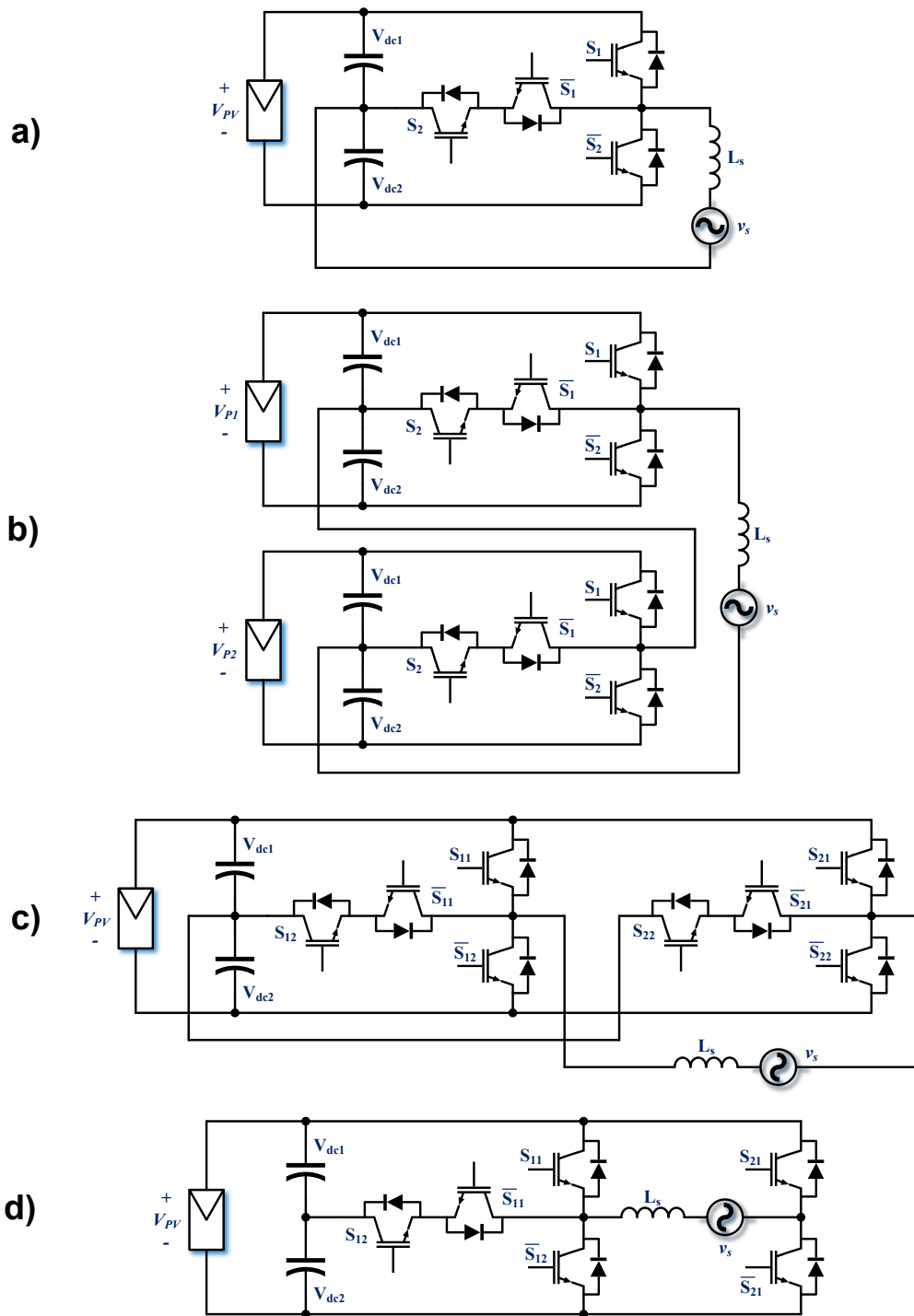


FIGURA 1.13 Topologías tipo con conexión a la red. (a) 3L-T, (b) 5L-T Cascade, (c) 5L-T Hybrid, (d) 5L-T Parallel Converter [18].

En [17,18] se analizan y comparan varias topologías en términos de eficiencia y rendimiento implementando una estrategia de control. En la Figura 1.13 se despliegan 4 topologías de un inversor tipo T con conexión a la red. La topología en

1.13(a) genera tres niveles de voltaje, mientras que las demás topologías dígase 1.13(b), 1.13(c) y 1.13(d) tienen la capacidad de generar cinco niveles de voltaje en la salida.

La topología “5L-T Cascade” se compone de dos inversores “3L-T” conectados en cascada, por otro lado, la topología “5L-Hybrid” es una versión modificada en el interruptor bidireccional de la topología previamente descrita en [16]. Mientras que “5L-T Parallel Converter” es similar a la anterior, pero incorpora un interruptor bidireccional adicional que permite seleccionar el capacitor cuando el inversor genere a la salida la mitad del voltaje.

El control implementado en las topologías previamente abordadas se muestra en la Figura 1.14.

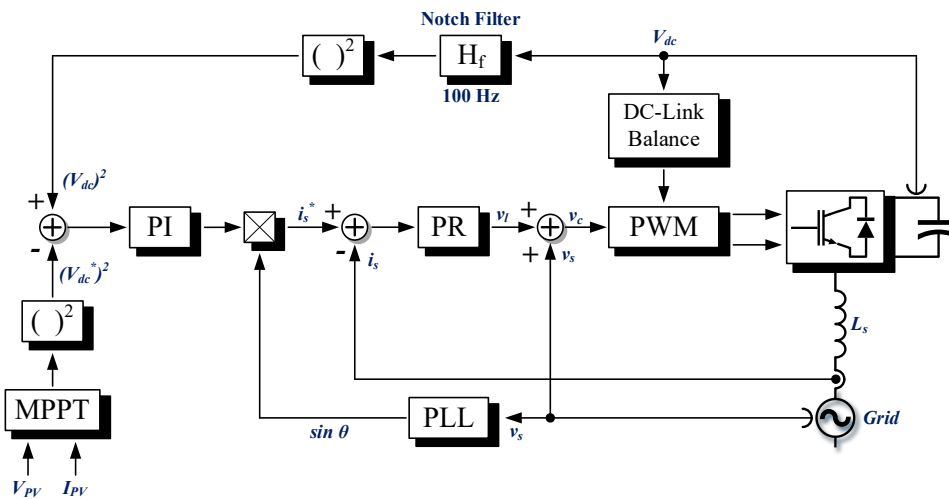


FIGURA 1.14 Diagrama del control de las topologías tipo con conexión a la red [18].

Este algoritmo incorpora un control proporcional integral (PI) que se encarga de regular el balance del voltaje de los capacitores que dividen el DC-Link lo que se muestra en la Figura 1.15(a). Inicialmente, las señales de los voltajes de los capacitores son filtradas mediante un filtro resonante sintonizado al segundo armónico, posteriormente se eleva al cuadrado la señal por lo que esta solo tendrá signo positivo.

Es así que dicha señal se compara con el cuadrado del voltaje establecido por el MPPT. El error resultante pasa a través de un PI, cuya salida se multiplica por la fundamental la cual es obtenida mediante un control PLL (Phase-Locked Loop) [19,20]. De esta forma se construye la señal de referencia que deberá de seguir el sistema, para lo cual esta deberá compararse con la corriente que fluye en el sistema realmente y se obtiene un error. Este error ingresa a un controlador

proporcional resonante PR para garantizar el seguimiento preciso de la corriente de referencia lo que se muestra en la Figura 1.15(b) [21,22].

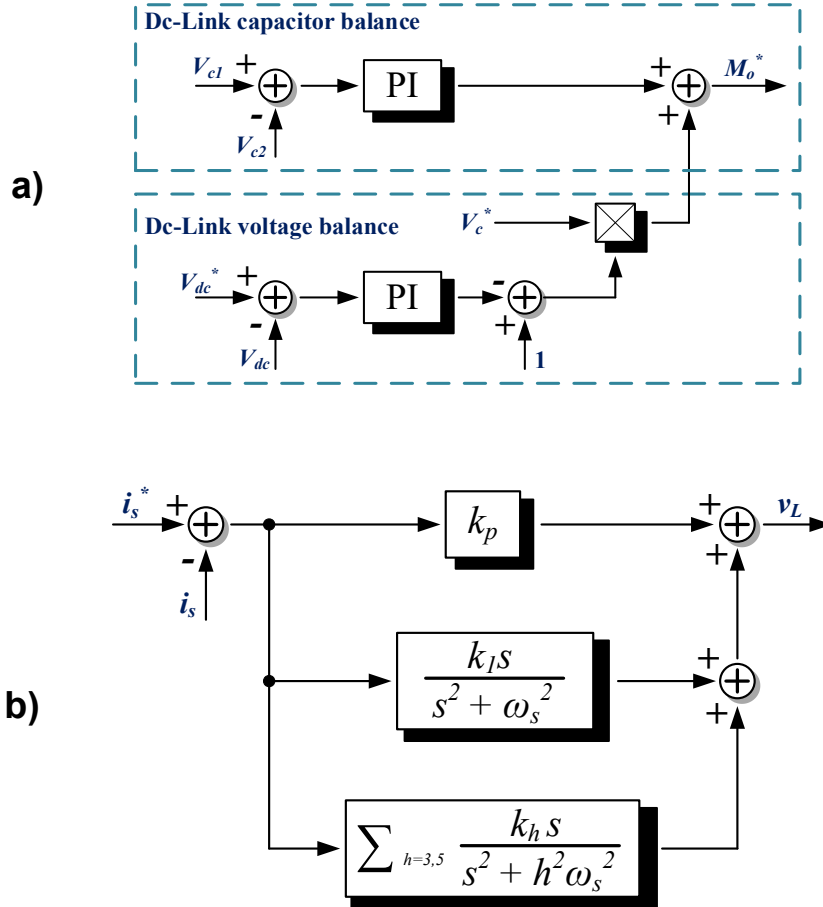


FIGURA 1.15 Control del balance en el voltaje del DC-Link, así como control de balance en los capacitores [18]. Control PR de corriente [19].

1.6. Objetivos

1.6.1. Objetivo General

Implementar y evaluar estrategias de control para inyectar potencia activa a la red utilizando un inversor multinivel tipo T de 5 niveles, asegurando el balance de capacitores y resistencia a armónicos. Esto se realiza con el propósito de garantizar una operación eficiente y estable del inversor, mejorando la calidad de la energía

suministrada, prolongando la vida útil del sistema y contribuyendo al desarrollo de tecnologías avanzadas en sistemas de potencia.

1.6.2. Objetivos específicos

1. Realizar una búsqueda exhaustiva de información teórica y técnica sobre inversores multinivel tipo T y algoritmos de control, para sustentar el diseño y desarrollo del proyecto.
2. Analizar métodos de modulación sinusoidal y vectorial para seleccionar el más adecuado, optimizando el balance de capacitores y la inyección de potencia activa a la red.
3. Diseñar un esquema de modulación que garantice un adecuado balance de capacitores y minimice la distorsión armónica en la salida del inversor.
4. Formular el modelo matemático del convertidor bajo estudio para comprender su dinámica y comportamiento en diversas condiciones operativas.
5. Desarrollar estrategias de control basadas en el modelo matemático, con énfasis en el balance de capacitores y la compensación de armónicos.
6. Realizar simulaciones numéricas para evaluar la efectividad de las estrategias de modulación y control, primero en lazo abierto y luego en lazo cerrado.
7. Construir un prototipo físico del sistema y validar experimentalmente las estrategias de control y modulación propuestas.
8. Analizar y comparar los datos obtenidos en pruebas experimentales para verificar la efectividad del diseño y los algoritmos desarrollados.
9. Documentar todo el proceso y preparar la presentación del trabajo en el examen previo y final de grado.

Capítulo 2. Marco Teórico

2.1. Modelo matemático del sistema

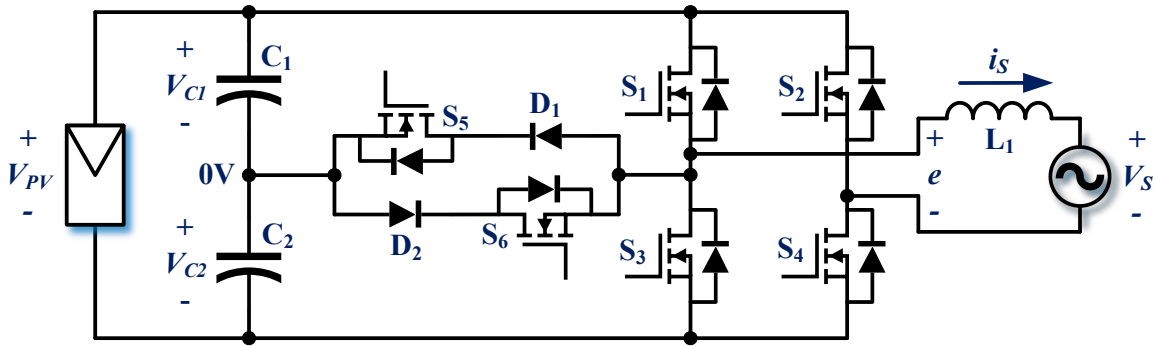


FIGURA 2.1 Inversor asimétrico tipo T de cinco niveles “Asym-T-5L”.

En la Figura 2.1 se muestra el diagrama general de la topología “Asym-T-5L” propuesta [23]. Se trata de un inversor monofásico de 5 niveles de voltaje a la salida, que consiste de un puente H conformado por los interruptores S_1 , S_2 , S_3 y S_4 . Esta configuración por si sola puede generar ya una salida alterna, sin embargo, la topología cuenta con un interruptor bidireccional constituido por los interruptores S_5 y S_6 . Este interruptor permite que el inversor entregue la mitad del voltaje generado por los paneles solares al habilitar trayectorias que implican la mitad del bus de DC, que es proporcionado por un arreglo fotovoltaico, y que se divide usando dos capacitores en serie. Estos capacitores crean un punto medio de referencia de “0V”, lo que significa que el inversor puede acceder a la mitad del voltaje total V_{PV} , almacenado como V_{C1} y V_{C2} . Esto es crucial para generar una señal de voltaje de cinco niveles diferentes, lo que mejora la calidad de la energía entregada.

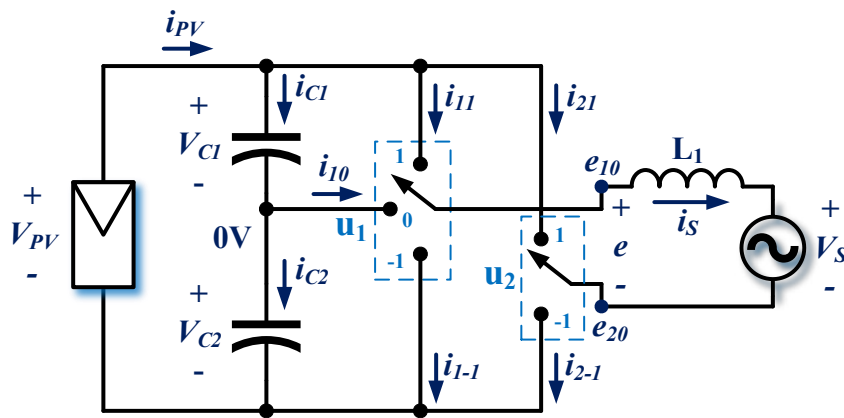


FIGURA 2.2 Diagrama simplificado de la topología “Asym-T-5L”.

Mediante una serie de combinaciones en la conmutación de los interruptores se logra un voltaje en la salida (e), lo que genera a su vez una corriente (i), que es inyectada a la red mediante un filtro L , que suprime las componentes de alta frecuencia aproximándola más a una sinusoidal.

La Figura 2.2 muestra un diagrama equivalente del inversor. En este diagrama, los dispositivos de conmutación S_i (donde $i \in \{1, 2, \dots, 6\}$) están representados por los interruptores virtuales u_1 y u_2 . El interruptor virtual u_1 puede tomar las posiciones $\{1, 0, -1\}$, mientras que u_2 puede tomar las posiciones $\{1, -1\}$ [9].

TABLA 2.1. Relación entre los interruptores del inversor y posición con los interruptores virtuales.

$S1$	$S5 = S6$	$S3$	$S2$	$S4$	u_1	u_2
1	0	0	*	*	1	
0	1	0	*	*	0	
0	0	1	*	*	-1	
*	*	*	0	0		1
*	*	*	1	1		-1

TABLA 2.2. Relación entre las posiciones virtuales y señales del sistema.

u_1	u_2	e_{10}	e_{20}	e	i_{11}	i_{10}	i_{1-1}	i_{21}	i_{2-1}
1	1	V_{C1}	V_{C1}	0	i	0	0	$-i$	0
0	1	0	V_{C1}	$-V_{C1}$	0	i	0	$-i$	0
-1	1	$-V_{C2}$	V_{C1}	$-(V_{C1} + V_{C2})$	0	0	$-i$	$-i$	0
1	-1	V_{C1}	$-V_{C2}$	$V_{C1} + V_{C2}$	i	0	0	0	i
0	-1	0	$-V_{C2}$	V_{C2}	0	i	0	0	i
-1	-1	$-V_{C2}$	$-V_{C2}$	0	0	0	$-i$	0	i

En la Tabla 2.1 se muestran las equivalencias de los interruptores reales (S_i) con los interruptores virtuales (u_1 y u_2) en el diagrama equivalente del inversor, donde un valor de 1 indica que el interruptor S_i está encendido y un valor de 0 indica que está apagado mientras que * significa que el valor de S_i no influye. Por otra parte, la Tabla 2.2 proporciona un resumen de los voltajes de salida del inversor, identificados como e_{10} , e_{20} y e . Además, se presentan los valores de las corrientes asociadas, que se muestran en la Figura 2.2, considerando las posiciones específicas de cada uno de los interruptores. Estas tablas son esenciales para entender cómo las diferentes configuraciones de los interruptores afectan los voltajes y corrientes en el sistema de inversor, facilitando así el análisis y diseño del mismo.

Con la información de las Tablas 2.1 y 2.2 se procede a buscar ecuaciones para los voltajes y las corrientes presentes a lo largo de un periodo. La ecuación de Lagrange presenta una técnica de aproximación polinomial en la ecuación (2.1) que puede ser útil para este propósito [31].

$$P(x) = \sum_{i=0}^n f_i L_i(x) \quad (2.1)$$

Donde $P(x)$ es el polinomio en función de x , n representa el grado de la aproximación, que se obtiene mediante la siguiente expresión:

$$n = \text{número de puntos} - 1$$

De igual manera f_i representa i -ésima ordenada de los puntos de aproximación. Mientras que L_i está definida por la expresión (2.2).

$$L_i(x) = \frac{(x - x_0) \dots (x - x_{i-1})(x - x_{i+1}) \dots (x - x_n)}{(x_i - x_0) \dots (x_i - x_{i-1})(x_i - x_{i+1}) \dots (x_i - x_n)} = \prod_{k \neq i, k=0}^n \frac{x - x_k}{x_i - x_k} \quad (2.2)$$

Siendo x_i la i -ésima abscisa de los puntos de aproximación, entonces $P(x)$ puede obtenerse mediante la siguiente ecuación (2.3).

$$P(x) = \sum_{i=0}^n f_i \prod_{k \neq i, k=0}^n \frac{x - x_k}{x_i - x_k} \quad (2.3)$$

Esta última ecuación es la que permite las aproximaciones polinomiales de e_{10} , e_{20} , i_{11} , i_{10} , i_{1-1} , i_{21} e i_{2-1} . A continuación, se describe el procedimiento para la aproximación de e_{10} . En este caso el interruptor que tiene contacto con e_{10} es u_1 cómo se puede deducir de la Figura 2.2 y que se despliegan en la Tabla 2.3, sin embargo, es necesario reducir el número de estados como se observa en la Tabla 2.4.

TABLA 2.3.
Puntos de e_{10} .

u_1	e_{10}
1	V_{C1}
0	0
-1	$-V_{C2}$
1	V_{C1}
0	0
-1	$-V_{C2}$



TABLA 2.4. Puntos de
 e_{10} reducida.

x	f
u_1	e_{10}
-1	$-V_{C2}$
0	0
1	V_{C1}

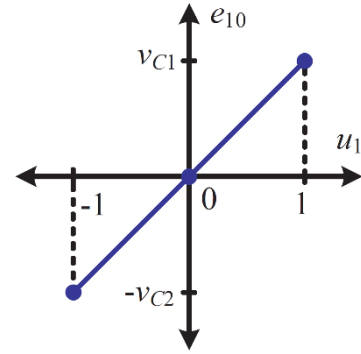


FIGURA 2.3 Gráfica de e_{10} .

Considerando entonces que $n - 1$ es aplicable tanto para f como para x , es decir, x_0, x_1 y x_2 así como f_0, f_1 y f_2 ya que $n = 3$. Por lo que se debe encontrar L_0, L_1 y L_2 considerando los siguientes valores: $x_0 = -1, x_1 = 0, x_2 = 1, f_0 = -V_{C2}, f_1 = 0$ y $f_2 = V_{C1}$.

$$L_0 = \left(\frac{u_1 - x_1}{x_0 - x_1} \right) \left(\frac{u_1 - x_2}{x_0 - x_2} \right) = \left(\frac{u_1 - 0}{(-1) - 0} \right) \left(\frac{u_1 - 1}{(-1) - 1} \right) = u_1 \frac{(u_1 - 1)}{2}$$

$$L_1 = \left(\frac{u_1 - x_0}{x_1 - x_0} \right) \left(\frac{u_1 - x_2}{x_1 - x_2} \right) = \left(\frac{u_1 - (-1)}{0 - (-1)} \right) \left(\frac{u_1 - 1}{0 - 1} \right) = (u_1 + 1)(1 - u_1)$$

$$L_2 = \left(\frac{u_1 - x_0}{x_2 - x_0} \right) \left(\frac{u_1 - x_1}{x_2 - x_1} \right) = \left(\frac{u_1 - (-1)}{1 - (-1)} \right) \left(\frac{u_1 - 0}{1 - 0} \right) = u_1 \frac{(u_1 + 1)}{2}$$

Entonces:

$$P(u_1) = f_0 L_0 + f_1 L_1 + f_2 L_2$$

$$P(u_1) = (-V_{C2}) \left(u_1 \frac{(u_1 - 1)}{2} \right) + (0)(u_1 + 1)(1 - u_1) + (V_{C1}) \left(u_1 \frac{(u_1 + 1)}{2} \right)$$

$$P(u_1) = -V_{C2} * u_1 * u_1 \frac{(u_1 - 1)}{2} + V_{C1} * u_1 * \frac{(u_1 + 1)}{2}$$

$$P(u_1) = -\frac{V_{C2} * u_1^2}{2} + \frac{V_{C2} * u_1}{2} + \frac{V_{C1} * u_1^2}{2} + \frac{V_{C1} * u_1}{2}$$

$$e_{10} = \frac{u_1^2}{2} (V_{C1} - V_{C2}) + \frac{u_1}{2} (V_{C1} + V_{C2}) \quad (2.4)$$

En el caso de e_{20} el interruptor que tiene contacto es u_2 como se muestra en la Figura 2.4 y Tabla 2.5.

TABLA 2.5. Puntos de e_{20} .

x	f
u_2	e_{20}
1	V_{C1}
-1	$-V_{C2}$

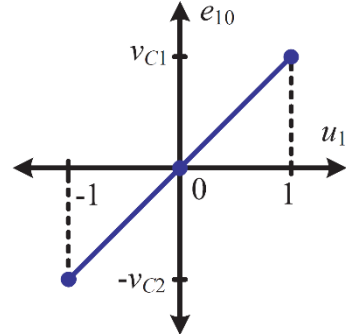


FIGURA 2.4 Gráfica de e_{20} .

Considerando: $x_0 = -1$, $x_1 = 1$, $f_0 = -V_{C2}$ y $f_1 = V_{C1}$.

$$L_0 = \frac{u_2 - x_1}{x_0 - x_1} = \frac{u_2 - 1}{(-1) - 1} = \frac{1 - u_2}{2}$$

$$L_1 = \frac{u_2 - x_0}{x_1 - x_0} = \frac{u_2 - (-1)}{1 - (-1)} = \frac{u_2 + 1}{2}$$

$$P(u_2) = f_0 L_0 + f_1 L_1$$

$$P(u_2) = (-V_{C2}) \left(\frac{1 - u_2}{2} \right) + (V_{C1}) \left(\frac{u_2 + 1}{2} \right)$$

$$P(u_2) = -\frac{V_{C2}}{2} + u_2 \frac{V_{C2}}{2} + u_2 \frac{V_{C1}}{2} + \frac{V_{C1}}{2}$$

$$e_{20} = \frac{u_2}{2} (V_{C1} + V_{C2}) + \frac{1}{2} (V_{C1} - V_{C2}) \quad (2.5)$$

TABLA 2.6. Puntos de i_{11} .

u_1	i_{11}
1	i
0	0
-1	0
1	i
0	0
-1	0



TABLA 2.7. Puntos de i_{11} reducida.

x	f
u_1	i_{11}
1	i
0	0
-1	0

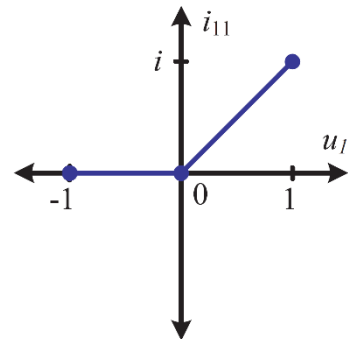


FIGURA 2.5 Gráfica de i_{11} .

Para i_{11} se tiene el siguiente procedimiento desplegado en las Tablas 2.6, 2.7 y en la Figura 2.5.

Con los siguientes valores $x_0 = -1$, $x_1 = 0$, $x_2 = 1$, $f_0 = 0$, $f_1 = 0$ y $f_2 = i$, solo se obtendrá L_2 ya que f_0 y f_1 valen 0,

$$L_2 = \left(\frac{u_1 - x_0}{x_2 - x_0} \right) \left(\frac{u_1 - x_1}{x_2 - x_1} \right) = \left(\frac{u_1 - (-1)}{1 - (-1)} \right) \left(\frac{u_1 - 0}{1 - 0} \right) = u_1 \frac{(u_1 + 1)}{2}$$

$$P(u_1) = (i) \left(u_1 \frac{(u_1 + 1)}{2} \right) = i * \frac{u_1^2}{2} + i * \frac{u_1}{2}$$

$$i_{11} = u_1^2 \left(\frac{i}{2} \right) + u_1 \left(\frac{i}{2} \right) \quad (2.6)$$

Para i_{10} se tienen las Tablas 2.8, 2.9 y la Figura 2.6.

TABLA 2.8. Puntos de i_{10} .

u_1	i_{10}
1	0
0	i
-1	0
1	0
0	i
-1	0



TABLA 2.9. Puntos de i_{10} reducida.

x	f
u_1	i_{10}
1	0
0	i
-1	0

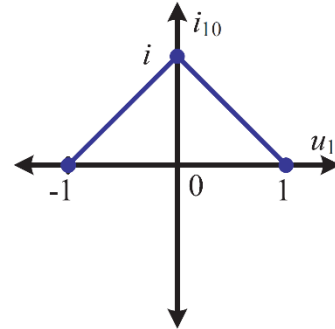


FIGURA 2.6 Gráfica de i_{10} .

Considerando $x_0 = -1$, $x_1 = 0$, $x_2 = 1$, $f_0 = 0$, $f_1 = i$ y $f_2 = 0$, solo es necesario obtener L_1 .

$$L_1 = \left(\frac{u_1 - x_0}{x_1 - x_0} \right) \left(\frac{u_1 - x_2}{x_1 - x_2} \right) = \left(\frac{u_1 - (-1)}{0 - (-1)} \right) \left(\frac{u_1 - 1}{0 - 1} \right) = (u_1 + 1)(1 - u_1)$$

$$P(u_1) = i * (u_1 + 1) * (1 - u_1) = i(\mathbf{u_1} - u_1^2 - \mathbf{u_1} + 1)$$

$$i_{10} = i(1 - u_1^2) \quad (2.7)$$

Se procede en i_{1-1} con las Tablas 2.10, 2.11 y la Figura 2.7.

TABLA 2.10. Puntos de i_{1-1} .

u_1	i_{1-1}
1	0
0	0
-1	$-i$
1	0
0	0
-1	$-i$



TABLA 2.11. Puntos de i_{1-1} reducida.

x	f
u_1	i_{1-1}
1	0
0	0
-1	$-i$

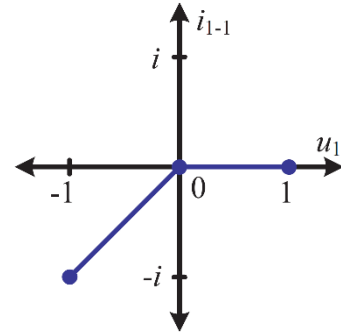


FIGURA 2.7 Gráfica de i_{1-1} .

Para este caso de $x_0 = -1$, $x_1 = 0$, $x_2 = 1$, $f_0 = -i$, $f_1 = 0$ y $f_2 = 0$, solo es necesario obtener L_0 .

$$L_0 = \left(\frac{u_1 - x_1}{x_0 - x_1} \right) \left(\frac{u_1 - x_2}{x_0 - x_2} \right) = \left(\frac{u_1 - 0}{(-1) - 0} \right) \left(\frac{u_1 - 1}{(-1) - 1} \right) = u_1 \frac{(u_1 - 1)}{2}$$

$$P(u_1) = -i * u_1 * \frac{(u_1 - 1)}{2}$$

$$i_{1-1} = -u_1^2 \left(\frac{i}{2} \right) + u_1 \left(\frac{i}{2} \right) \quad (2.8)$$

En el caso de i_{21} se procede con las Tablas 2.12, 2.13 y la Figura 2.8.

TABLA 2.12. Puntos de i_{21} .

u_2	i_{21}
1	$-i$
1	$-i$
1	$-i$
-1	0
-1	0
-1	0



TABLA 2.13. Puntos de i_{21} reducida.

x	f
u_2	i_{21}
1	$-i$
-1	0

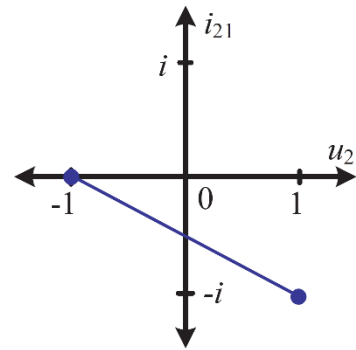


FIGURA 2.8 Gráfica de i_{21} .

Considerando $x_0 = -1$, $x_1 = 1$, $f_0 = 0$ y $f_1 = -i$ solo se requiere obtener L_1 .

$$L_1 = \left(\frac{u_2 - x_0}{x_1 - x_0} \right) = \frac{u_2 - (-1)}{1 - (-1)} = \frac{(u_2 + 1)}{2}$$

$$P(u_2) = -i * \frac{(u_2 + 1)}{2}$$

$$i_{21} = -u_2 \left(\frac{i}{2} \right) - \frac{i}{2} \quad (2.9)$$

Para i_{2-1} se tienen las Tablas 2.14, 2.15 y la Figura 2.9.

TABLA 2.14. Puntos de i_{2-1} .

u_2	i_{2-1}
1	0
1	0
1	0
-1	i
-1	i
-1	i



TABLA 2.15. Puntos de i_{2-1} reducida.

x	f
u_2	i_{2-1}
1	0
-1	i

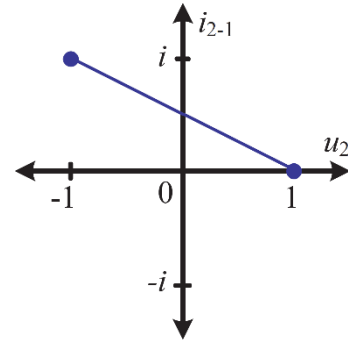


FIGURA 2.9 Gráfica de i_{2-1} .

Para el caso de $x_0 = -1$, $x_1 = 1$, $f_0 = i$ y $f_1 = 0$ solo se requiere obtener L_0 .

$$L_0 = \left(\frac{u_2 - x_1}{x_0 - x_1} \right) = \left(\frac{u_2 - 1}{(-1) - 1} \right) = -\frac{u_2 - 1}{2}$$

$$P(u_2) = i * \left(-\frac{u_2 - 1}{2} \right)$$

$$i_{2-1} = -u_2 \left(\frac{i}{2} \right) + \frac{i}{2} \quad (2.10)$$

Considerando el circuito que se muestra en la Figura 2.2 y aplicando ley de corrientes de Kirchhoff, es posible obtener las ecuaciones de las corrientes en los capacitores con el siguiente procedimiento.

Corriente del capacitor 1:

$$i_{C1} = i_{PV} - i_{11} - i_{21} \quad (2.11)$$

Sustituyendo las ecuaciones (2.6) y (2.9) en (2.11):

$$\begin{aligned} i_{C1} &= i_{PV} - \left(u_1^2 \left(\frac{i}{2} \right) + u_1 \left(\frac{i}{2} \right) \right) - \left(-u_2 \left(\frac{i}{2} \right) - \frac{i}{2} \right) \\ i_{C1} &= i_{PV} - u_1^2 \left(\frac{i}{2} \right) - u_1 \left(\frac{i}{2} \right) + u_2 \left(\frac{i}{2} \right) + \frac{i}{2} \end{aligned} \quad (2.12)$$

Corriente del capacitor 2:

$$i_{C2} = i_{PV} - i_{1-1} - i_{2-1} \quad (2.13)$$

$$\begin{aligned} i_{C2} &= i_{PV} - \left(-u_1^2 \left(\frac{i}{2} \right) + u_1 \left(\frac{i}{2} \right) \right) - \left(-u_2 \left(\frac{i}{2} \right) + \frac{i}{2} \right) \\ i_{C2} &= i_{PV} + u_1^2 \left(\frac{i}{2} \right) - u_1 \left(\frac{i}{2} \right) + u_2 \left(\frac{i}{2} \right) - \frac{i}{2} \end{aligned} \quad (2.14)$$

De la Figura 2.2 se puede deducir que la diferencia de las corrientes de los capacitores se puede obtener de la siguiente ecuación:

$$i_{C1} - i_{C2} = i_{10} \quad (2.15)$$

$$i_{C1} - i_{C2} = i(1 - u_1^2) \quad (2.16)$$

Mientras que la expresión para la suma de las corrientes en los capacitores se puede generar a partir de las ecuaciones (2.12) y (2.14), como se muestra a continuación:

$$i_{C1} + i_{C2} = i_{PV} - u_1^2 \left(\frac{i}{2} \right) - u_1 \left(\frac{i}{2} \right) + u_2 \left(\frac{i}{2} \right) + \frac{i}{2} + i_{PV} + u_1^2 \left(\frac{i}{2} \right) - u_1 \left(\frac{i}{2} \right) + u_2 \left(\frac{i}{2} \right) - \frac{i}{2}$$

$$i_{C1} + i_{C2} = 2(i_{PV}) - 2\left(u_1\left(\frac{i}{2}\right)\right) + 2\left(u_2\left(\frac{i}{2}\right)\right)$$

$$i_{C1} + i_{C2} = 2(i_{PV}) - i(u_1 - u_2) \quad (2.17)$$

Tomando en consideración que $C_1 = C_2$ se considera únicamente C , además se sabe que:

$$i_{C1} = C \dot{V}_{C1}$$

$$i_{C2} = C \dot{V}_{C2}$$

Donde:

$$\dot{V}_{C1} = \frac{d(V_{C1})}{dt} \quad y \quad \dot{V}_{C2} = \frac{d(V_{C2})}{dt}$$

Sustituyendo i_{C1} e i_{C2} en (2.17) se obtiene la siguiente expresión.

$$C (\dot{V}_{C1} + \dot{V}_{C2}) = 2(i_{PV}) - i(u_1 - u_2) \quad (2.18)$$

Considerando que la suma de los voltajes en los capacitores es el voltaje de la fuente, entonces se puede considerar cómo:

$$V_{PV} = V_{C1} + V_{C2}$$

$$\dot{V}_{PV} = \dot{V}_{C1} + \dot{V}_{C2} \quad (2.19)$$

Sustituyendo (2.19) en (2.18) se obtiene la ecuación.

$$C (\dot{V}_{PV}) = 2(i_{PV}) - i(u_1 - u_2) \quad (2.20)$$

De igual manera en (2.16) se puede sustituir i_{C1} e i_{C2} .

$$C (\dot{V}_{C1} - \dot{V}_{C2}) = i(1 - u_1^2) \quad (2.21)$$

En este caso se propone el siguiente cambio de variables:

$$x = V_{C1} - V_{C2} \quad \text{por lo que} \quad \dot{x} = \dot{V}_{C1} - \dot{V}_{C2}$$

Sustituyendo $\dot{x}$ en (2.21) se genera la siguiente expresión:

$$C(\dot{x}) = i(1 - u_1^2) \quad (2.22)$$

Se puede obtener la dinámica de la corriente inyectada realizando el análisis de la malla de salida del circuito de la Figura 2.1.

$$V_L = e - v_S \quad (2.23)$$

Se sabe que:

$$V_L = L \frac{d(i)}{dt} \quad \text{considerando entonces} \quad V_L = L \dot{i}$$

Se tiene entonces que:

$$L \dot{i} = e - v_S \quad (2.24)$$

Por otro lado:

$$e = e_{10} - e_{20} \quad (2.25)$$

Utilizando las expresiones (2.4) y (2.5) en (2.25).

$$e = \frac{u_1^2}{2} (V_{C1} - V_{C2}) + \frac{u_1}{2} (V_{C1} + V_{C2}) - \left(\frac{u_2}{2} (V_{C1} + V_{C2}) + \frac{1}{2} (V_{C1} - V_{C2}) \right)$$

$$e = \frac{u_1^2}{2}(x) + \frac{u_1}{2}(V_{PV}) - \frac{u_2}{2}(V_{PV}) - \frac{1}{2}(x)$$

$$e = -\frac{x}{2}(1 - u_1^2) + \frac{V_{PV}}{2}(u_1 - u_2) \quad (2.26)$$

Es así que el modelo matemático se resume en las ecuaciones (2.20), (2.22), (2.24) y (2.26).

$$C(\dot{V}_{PV}) = 2(i_{PV}) - i(u_1 - u_2) \quad (2.20)$$

$$C(\dot{x}) = i(1 - u_1^2) \quad (2.22)$$

$$L\dot{i} = e - v_S \quad (2.24)$$

$$e = -\frac{x}{2}(1 - u_1^2) + \frac{V_{PV}}{2}(u_1 - u_2) \quad (2.26)$$

Capítulo 3. Algoritmos de control

Basándose en las ecuaciones deducidas del modelo matemático en el Capítulo 2, se procede a diseñar un algoritmo de control, es importante considerar que estas ecuaciones (2.20), (2.22), (2.24) y (2.26) son fundamentales para la construcción de dichos algoritmos. Es así que se proponen las siguientes definiciones [9]:

$$u_M = u_1 - u_2 \quad (3.1)$$

$$\zeta = 1 - u_1^2 \quad (3.2)$$

Donde $u \in \{-2, -1, 0, 1, 2\}$ mientras que ζ es una perturbación ocasionada por la conmutación de $u_1 \in \{-1, 0, 1\}$ por lo que $\zeta \in \{0, 1\}$. Sin embargo, u_M y δ son señales pulsantes con una serie de componentes armónicas generadas por la conmutación a la frecuencia de la portadora f_{SW} , por lo que para simplificar el análisis y considerando que la frecuencia de la portadora será mucho mayor que la frecuencia de corte de filtro utilizado para acoplar el voltaje del inversor con la red, se puede considerar que u_M tomará valores continuos desde 2 a -2, dicha variable es la entrada de la estrategia de modulación que generará las señales de PWM que después de una serie de operaciones lógicas serán aplicadas a los interruptores [9].

Considerando a V_{PV} como un valor constante, sustituyendo (2.26) en (2.24) y añadiendo el proceso anterior se tienen las siguientes ecuaciones.

$$C(\dot{V}_{PV}) = 2(i_{PV}) - i(u_M) \quad (3.3)$$

$$C(\dot{x}) = i(\delta) \quad (3.4)$$

$$L\dot{i} = \frac{x}{2}(\zeta) + \frac{V_{PV}}{2}(u_M) - v_s \quad (3.5)$$

3.1. Perturbación en la referencia de corriente

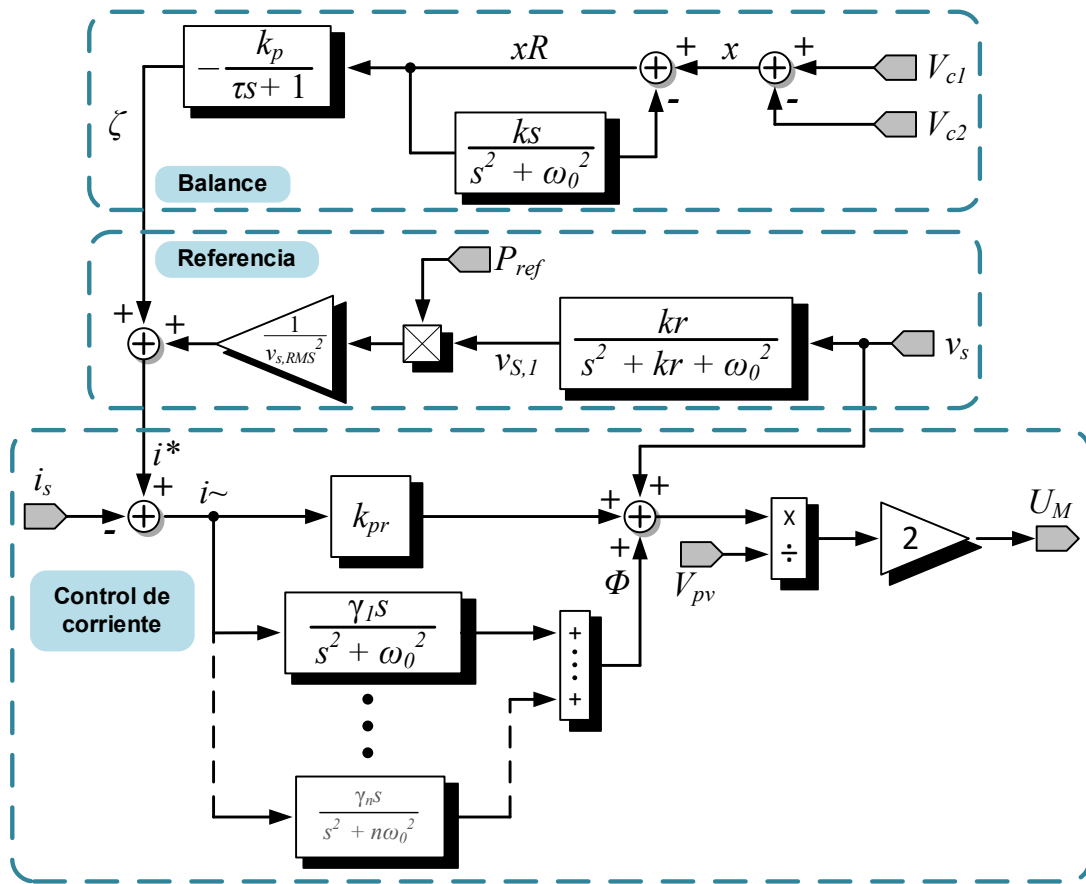


FIGURA 3.1 Diagrama de bloques del control por perturbación en la referencia de corriente [9].

Tabla 1. Valores de las variables de control por perturbación en la referencia de corriente.

Variable	Valor
k_p	0.05
k_s	50
k_r	100
k_{pr}	5
γ_1	800
γ_3	400
γ_5	250
γ_7	250
ω_0	377
τ	0.026526

La Figura 3.1 muestra el diagrama del control de perturbación en la referencia de corriente. Dicha propuesta se establece con base de la ecuación (3.4) y (3.5) donde se establecen los siguientes objetivos de control. Así mismo se muestran los valores de las variables en la Tabla 1.

Control de corriente: la corriente de salida que será inyectada a la red i_s deberá de seguir a i^* , es decir, $i_s \rightarrow i^*$ cuando $t \rightarrow \infty$ de la siguiente manera [9]:

$$i^* = \frac{P_{ref}}{v_{SRMS}^2} v_{S,1} + \zeta \quad (3.6)$$

Donde P_{ref} es la potencia que se inyectará a la red, mientras que v_{SRMS}^2 y $v_{S,1}$ son los valores del voltaje RMS y de la componente fundamental en la red v_s respectivamente.

Balance de voltaje en los capacitores: la diferencia de los voltajes en los capacitores $x = v_{C1} - v_{C2}$ debe de converger a cero, es decir, $x \rightarrow 0$ cuando $t \rightarrow \infty$ en promedio [9].

3.1.1 Lazo de seguimiento de corriente y compensación de armónicos

Con el objetivo de diseñar el control es necesario analizar (3.5) en términos de la señal de error como se tiene la siguiente expresión [9].

$$L\dot{\tilde{i}} = \frac{x}{2}(\zeta) + \frac{V_{PV}}{2}(u_M) - v_s - L\dot{\hat{i}}^* \quad (3.7)$$

Donde $(\tilde{i} = i - i^*)$ es la señal de error del lazo de corriente. Es posible observar que se tiene una perturbación por el término $\frac{x}{2}(\zeta)$, este desaparecerá con el tiempo al multiplicarse por la señal de balance, una vez sean balanceados los capacitores esta se encontrará en torno a cero, de igual manera v_s y una señal $L\dot{\hat{i}}^*$ desconocida. Con la ecuación (3.7) es posible proponer una ley de control con la siguiente estructura mostrada en (3.8) [9].

$$u_M = \frac{2}{V_{PV}}(v_s - k_p \tilde{i} - \Phi) \quad (3.8)$$

En donde k_p es un parámetro que provee amortiguamiento al sistema, v_s es una perturbación que es posible cancelar directamente, mientras que Φ es un término para compensar la distorsión sintonizado para los armónicos impares como los (1, 3, 5, 7 y 9) de la frecuencia fundamental.

Para compensar los armónicos en la señal de referencia se considera un filtro resonante para cada armónico de interés mediante un filtro notch, que atenúa toda frecuencia que no sea en la cual está sintonizado. Su función de transferencia en tiempo es la siguiente.

$$\Phi_k = \frac{\gamma k^s}{s^2 + k^2 \omega_0^2} \quad , k \in \{1, 3, 5, 7 \dots\} \quad (3.9)$$

Donde

$$\Phi = \Phi_1 + \Phi_3 + \dots + \Phi_k \quad (3.10)$$

Es así que Φ es la sumatoria de los armónicos, γk representa la ganancia proporcional. Usualmente esta es mayor cuanto más cercano sea la frecuencia que se está sintonizando a la frecuencia fundamental, es decir, de 60Hz para el caso de México.

3.1.2 Lazo de balance en el voltaje de capacitores v_{c1} y v_{c2}

En el caso del lazo de control de balance este se diseña considerando que la dinámica de la corriente es bastante más rápida en comparación con la dinámica de la diferencia de los voltajes de los capacitores. Lo que implica que tras un pequeño periodo de tiempo se logra que $i = i^*$, por lo que considerando la ecuación (3.4) se puede escribir [9].

$$C\dot{x} = \left(\frac{P_{ref}}{v_{sRMS}^2} v_{s,1} + \zeta \right) \delta \quad (3.11)$$

Es así que sabiendo que $\delta = 1 - u_1^2$, lo que implica que $0 \leq \delta \leq 1$. La ecuación (3.11) puede aproximarse a la siguiente forma que se muestra en (3.12).

$$C\dot{x} = h_0 + \delta_0 \zeta \quad (3.12)$$

Donde $h_0 = \frac{P_{ref}}{v_{s,RMS}^2} \langle \delta * v_{s,1} \rangle_0$ y $\delta_0 = \langle \delta \rangle_0$ son las componentes de DC, es posible observar que existe una componente a la frecuencia fundamental que se suma a la señal de control, además ζ tiene una influencia de δ_0 que es un escalar positivo [9].

Por lo tanto, se propone una solución que permite que x tienda a cero, esta consiste en un filtro notch que elimine la componente de la frecuencia fundamental para después aplicarle un segundo filtro, en este caso pasa bajas para extraer solo la componente de DC, este procedimiento se observa en (3.13) [9].

$$\zeta = -\frac{k_p}{\tau s + 1} (1 - \Phi_1) x \quad (3.13)$$

Donde k_p es la ganancia proporcional mientras que $\frac{1}{\tau}$ representa el ancho de banda de un LPF (Low Pass Filter) de primer orden. De igual manera, Φ_1 es la componente de un filtro resonante sintonizado a la frecuencia fundamental.

3.2. Perturbación de la señal de control

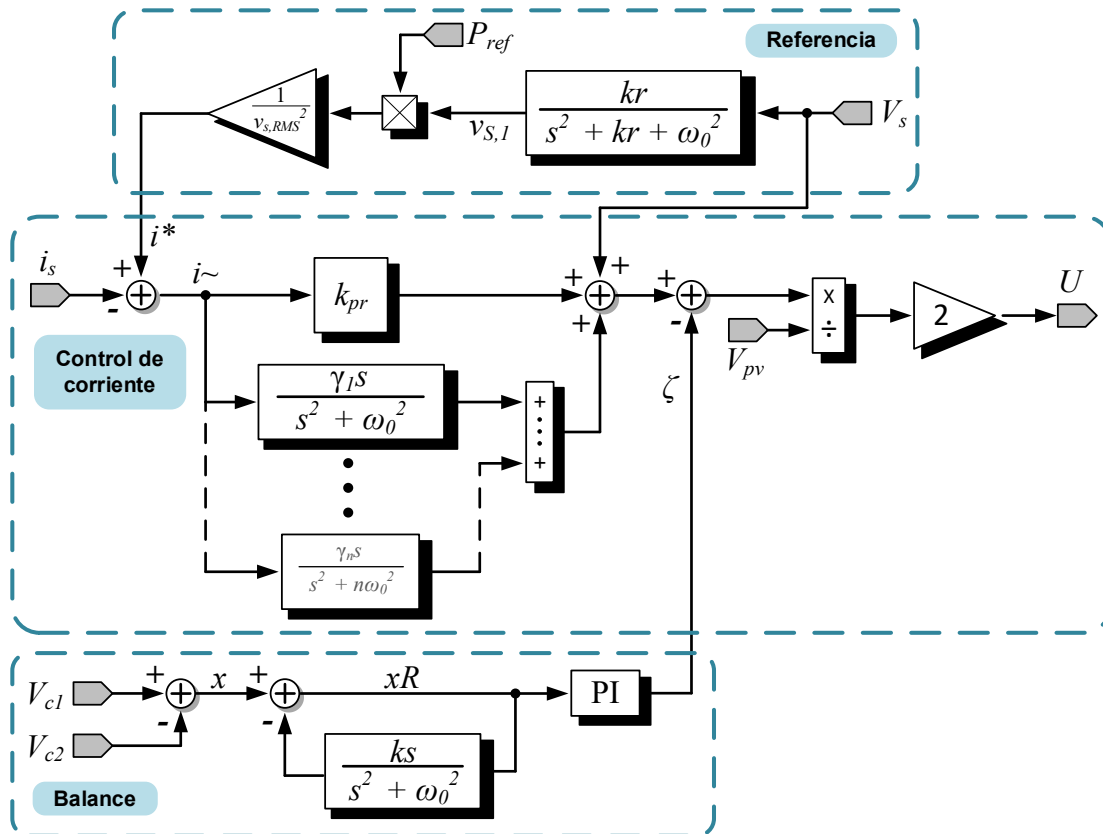


FIGURA 3.2 Diagrama de bloques del control por perturbación de la señal de control [31].

A continuación, se despliegan en la Tabla 2 los valores de las variables en el control de perturbación de señal de control.

Tabla 2. Valores de las variables de control por perturbación de señal de control.

Variable	Valor
P	1/5
I	10
k_s	50
k_r	100
k_{pr}	5
γ_1	800
γ_3	400
γ_5	250
γ_7	250
ω_0	377

En la Figura 3.2 se muestra el diagrama del control por perturbación de la señal de control. Dicha propuesta al igual que en el control de perturbación en la referencia de corriente se establece con base de (3.4) y (3.5) donde se establecen los siguientes objetivos.

Control de corriente: la corriente de salida que será inyectada a la red i_s deberá de seguir a i^* , es decir, $i_s \rightarrow i^*$ cuando $t \rightarrow \infty$ de la siguiente manera expresada en (3.14).

$$i^* = \frac{P_{ref}}{v_{sRMS}^2} v_{s,1} \quad (3.14)$$

Donde P_{ref} es la potencia que se inyectará a la red, mientras que v_{sRMS}^2 y $v_{s,1}$ son los valores del voltaje RMS y de la componente fundamental en la red v_s respectivamente [31].

Balance de voltaje en los capacitores: la diferencia de los voltajes en los capacitores $x = v_{c1} - v_{c2}$ debe de converger a cero, es decir, $x \rightarrow 0$ cuando $t \rightarrow \infty$ en promedio [31].

3.3.1 Lazo de seguimiento de corriente y compensación de armónicos

En este caso el lazo de corriente es el mismo que con el control por perturbación en la referencia de corriente y se basa en las ecuaciones (3.7) y (3.8). Los filtros resonantes son los mismos expuestos en las ecuaciones (3.9) y (3.10).

3.3.2 Lazo de balance para voltajes de capacitores en el DC-Link

La estructura del lazo de balance es parecida a la mostrada para el control por perturbación en la referencia de corriente, sin embargo, la componente de balance ya no se usa para perturbar la referencia del lazo de control de corriente, sino que se usa para perturbar la señal de control, lo anterior se describe en la siguiente ecuación (3.15) [31].

$$u = (v_s - k_p \tilde{i} - \Phi) - \zeta \quad (3.15)$$

Donde u es la señal de salida del lazo de control de corriente a partir de la cual se obtiene u_M . Es importante notar que el control para el balance de los voltajes de los capacitores está basado en la ecuación (3.13) por lo que la estructura es muy similar y se usa un controlador de tipo PI [31].

Capítulo 4. Desarrollo de la simulación

4.1 Estrategia de modulación

Con el objetivo de lograr el correcto diseño de la estrategia de conmutación del inversor inicialmente se han establecido los estados de operación disponibles mediante la activación de los dispositivos, así como las trayectorias de corriente a través del circuito. Estos estados se listan en la Tabla 4.1 mientras que su representación gráfica se muestra en la Figura 4.1.

TABLA 4.1 Estados disponibles en la Topología “Asym-T-5L”.

Estado	S1	S2	S3	S4	S5	S6	Vout
1	0	0	0	0	0	0	0
2	1	0	0	1	0	0	V_{dc}
3	0	0	0	1	0	1	$V_{dc}/2$
4	0	1	0	0	1	0	$-V_{dc}/2$
5	0	1	1	0	0	0	$-V_{dc}$
6	1	0	0	0	1	0	0
7	1	0	0	0	0	1	0
8	0	0	1	0	1	0	0
9	0	0	1	0	0	1	0
10	0	1	0	1	0	0	0
11	1	0	1	0	0	0	0
12	0	0	1	1	0	0	0
13	1	1	0	0	0	0	0

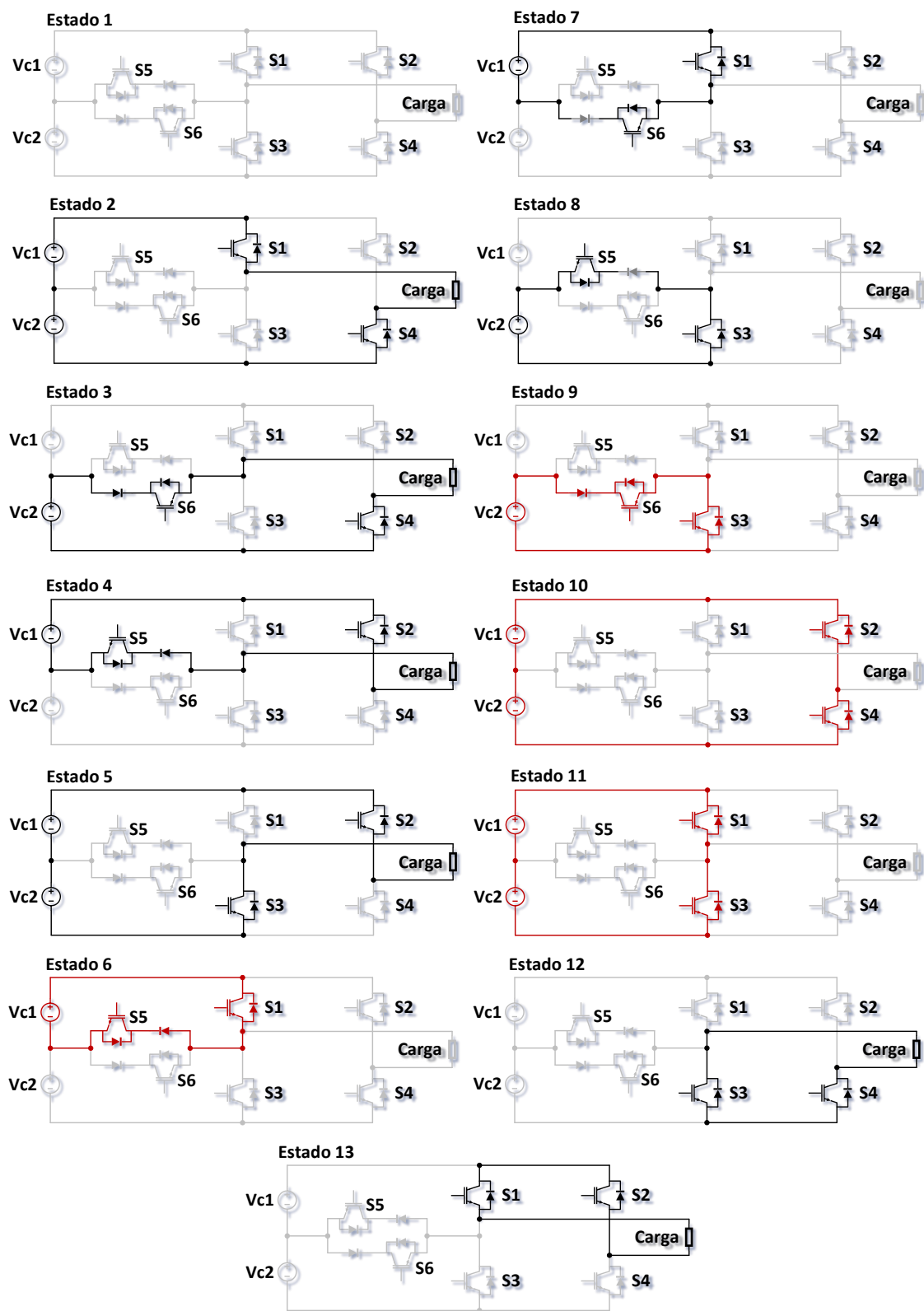


FIGURA 4.1 Estados disponibles en la Topología Asym-T-5L”.

Para el diseño de la estrategia de modulación del inversor se eligió la técnica de modulación por ancho de pulso senoidal (SPWM) donde inicialmente se utiliza el establecimiento de una señal de referencia que contendrá la información de la frecuencia y la fase de la fundamental que se busca tener a la salida del inversor. Sin embargo, esta también puede atender a otros objetivos que se verán más adelante. Esta señal de referencia se comparará con un cierto número de portadoras, usualmente estas señales son el número de niveles menos uno ya que cada triangular controlará el ciclo de trabajo de cada nivel a excepción del nivel cero, este concepto inicial se muestra en la Figura 4.2(a).

Los resultados de dicha comparación se muestran en la Figura 4.2(b). Se pueden observar cinco señales digitales (N1 a N5) las cuales corresponden a las señales base de los cinco interruptores del inversor bajo estudio. Notar que, estas señales están dibujadas a baja frecuencia para poder observar con detalle la construcción de los vectores de operación del inversor.

Por otro lado, notar también que N1 y N4 presentan intervalos de conmutación largos durante el semiciclo positivo y negativo respectivamente, mientras que el resto del tiempo la señal permanece en estado bajo. Además, N2 y N3 presentan intervalos cortos de conmutación durante el semiciclo positivo y negativo respectivamente, el resto del tiempo la señal permanece en estado bajo. Finalmente, N5 es una señal de baja frecuencia con el semiciclo positivo en estado alto y el negativo en estado bajo.

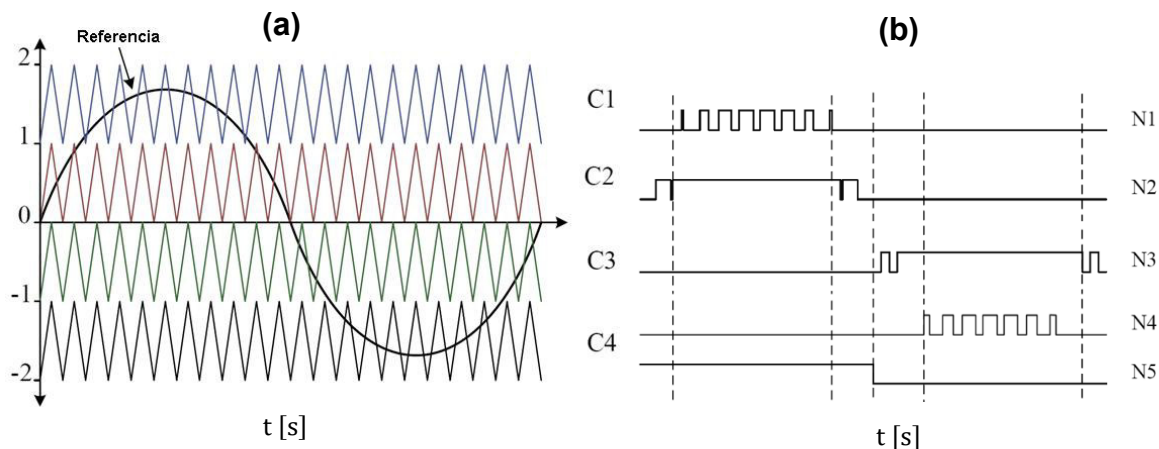


FIGURA 4.2 Obtención de las señales preliminares de los interruptores del inversor bajo estudio.

Con una comprensión clara de la forma de onda deseada en el voltaje de salida del inversor, se procede al diseño de las señales que se enviarán a las compuertas de los interruptores. Estas señales, compuestas por pulsos, controlan tanto el momento exacto de activación de los interruptores como la duración de su encendido. Para

simplificar este proceso, se divide la forma de onda en secciones, como se ilustra en la Figura 4.3.

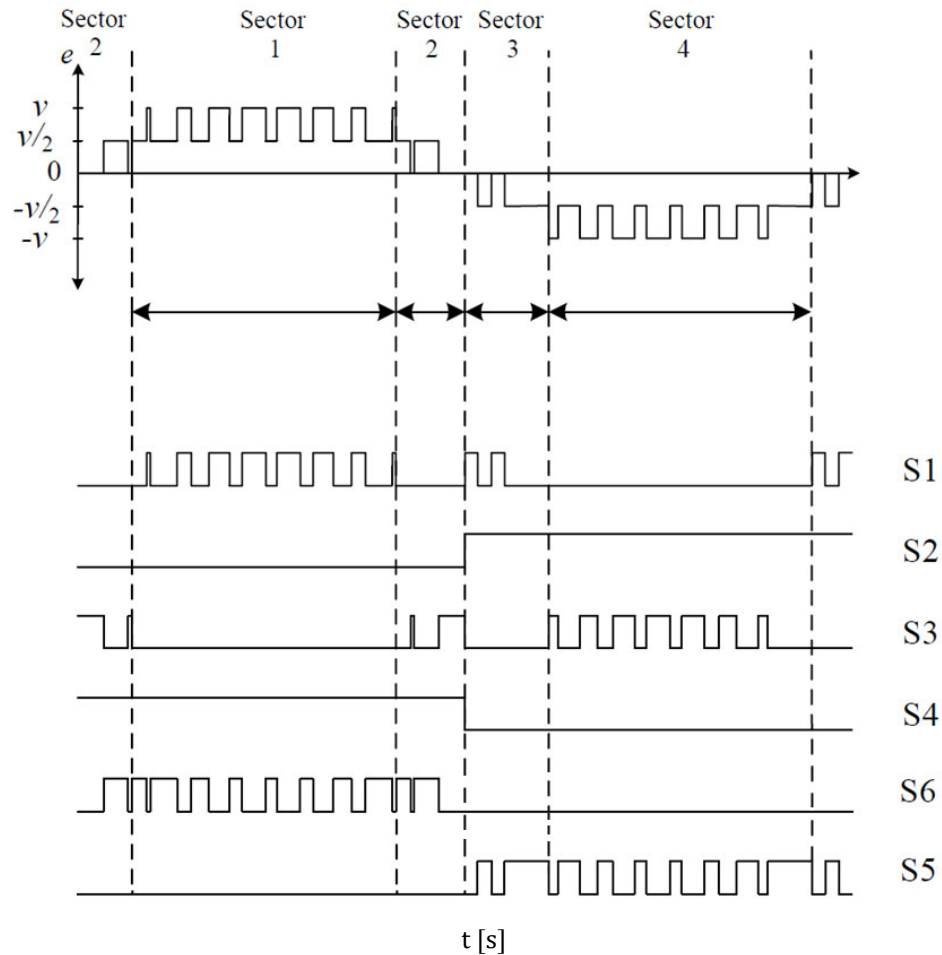


FIGURA 4.3 Obtención de las señales de los interruptores.

Dichas señales se obtendrán mediante la operación lógica de los resultados $N1...N5$, esto se hará mediante un dispositivo lógico programable.

Para la generación de las señales se optó por una segmentación de la forma de onda de referencia en $(R_{ef1}, R_{ef2}, R_{ef3}$ y $R_{ef4})$, esto con el objetivo de utilizar una sola triangular, situación que será la misma cuando sea llevado al prototipo experimental mediante los bloques ePWM, esto se muestra en la Figura 4.4.

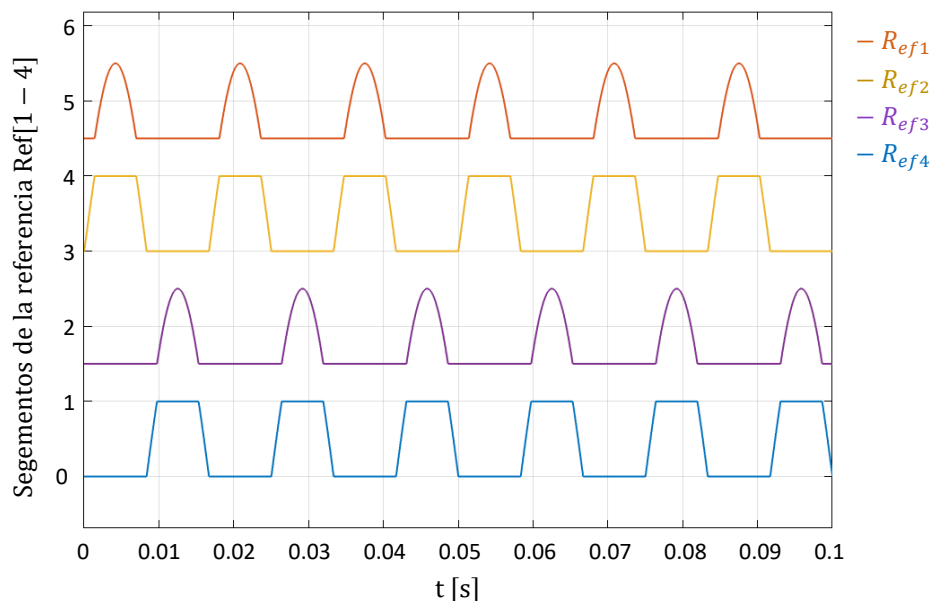


FIGURA 4.4 Segmentos de la forma de onda de referencia.

Con base en lo anterior, se implementa el algoritmo de modulación en el software Matlab-Simulink el cual se muestra en la Figura 4.5. En este caso es posible realizar tanto la generación de la señal de referencia mediante el control, así como las operaciones lógicas realizadas en tiempo continuo.

Este proceso requiere una considerable cantidad de procesamiento, lo que no representa un problema significativo para el procesador de una computadora, pero puede ser crítico para el DSP TMS320F28335 seleccionado para implementar y ejecutar el control. Este dispositivo, basado en la arquitectura C28x de Texas Instruments, opera a una frecuencia de reloj de hasta 150 MHz y está optimizado para aplicaciones de control en tiempo real. Sin embargo, su capacidad para manejar múltiples tareas simultáneas está limitada por su arquitectura de un solo núcleo y los recursos de memoria disponibles (256 KB de RAM y 512 KB de flash).

Cuando la carga de procesamiento excede sus capacidades, el DSP activa mecanismos de protección, como la reducción automática de la frecuencia de procesamiento o la suspensión temporal de algunas operaciones, con el fin de mantener la estabilidad del sistema [32, 33]. Estos mecanismos se activan, por ejemplo, si el tiempo necesario para ejecutar una tarea excede el período de muestreo establecido (por ejemplo, 20 kHz para aplicaciones de control de inversores). Esto asegura que las señales críticas, como las de modulación PWM o las mediciones de corriente y voltaje, se procesen de manera confiable, pero podría ocasionar un comportamiento no deseado si la carga computacional no se optimiza adecuadamente [32, 33].

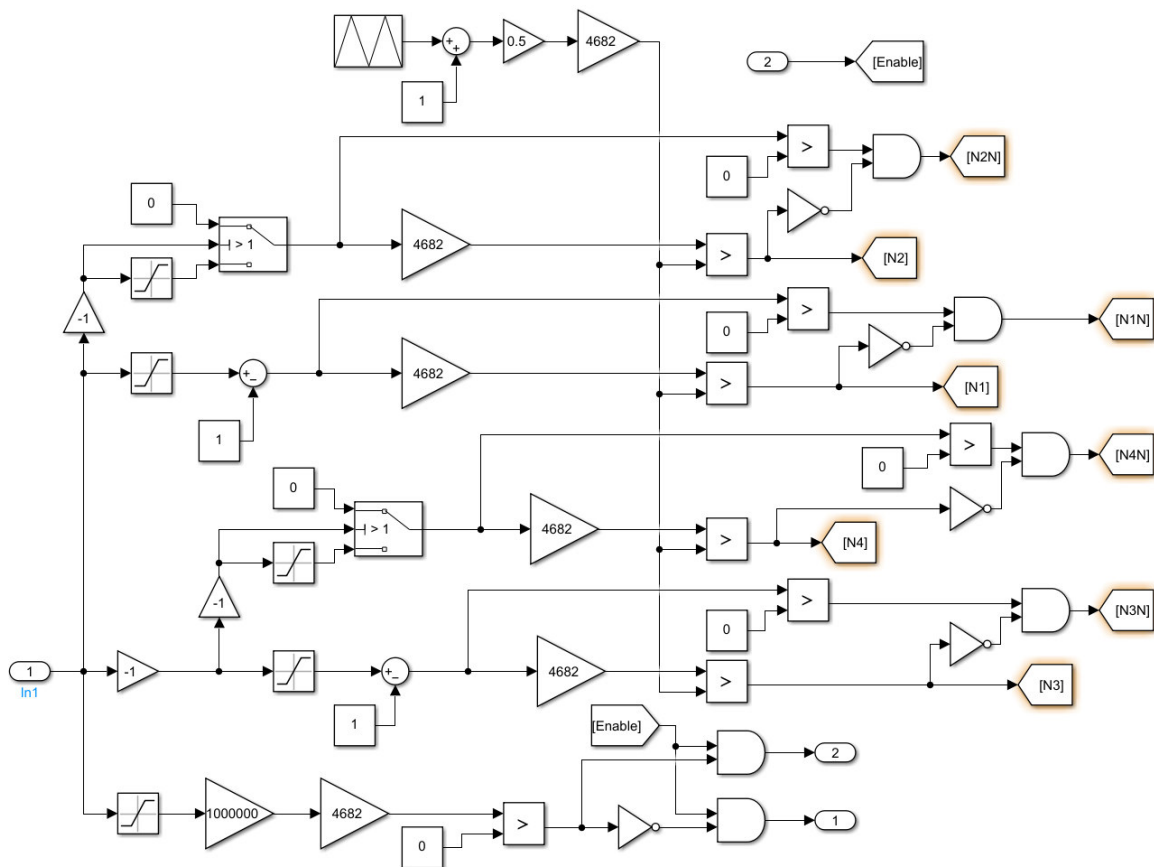


FIGURA 4.5 Diagrama de generación de señales en modulación.

Mientras que las operaciones lógicas se realizan en la sección inferior de la Figura 6 en el caso de las señales de baja frecuencia, y para las señales de alta frecuencia mediante el diagrama que se muestra en la Figura 4.6.

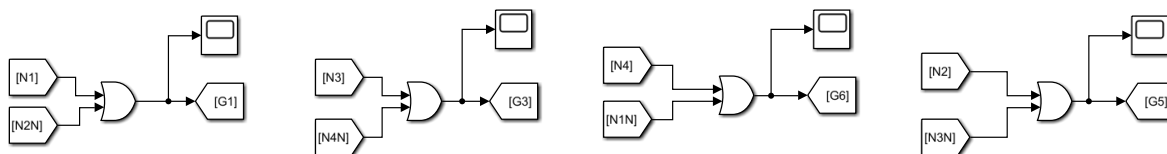


FIGURA 4.6 Generación de las señales de compuerta para S1, S3, S5 y S6.

Las seños que irán directamente a las compuertas de los interruptores se muestran la Figura 4.7.

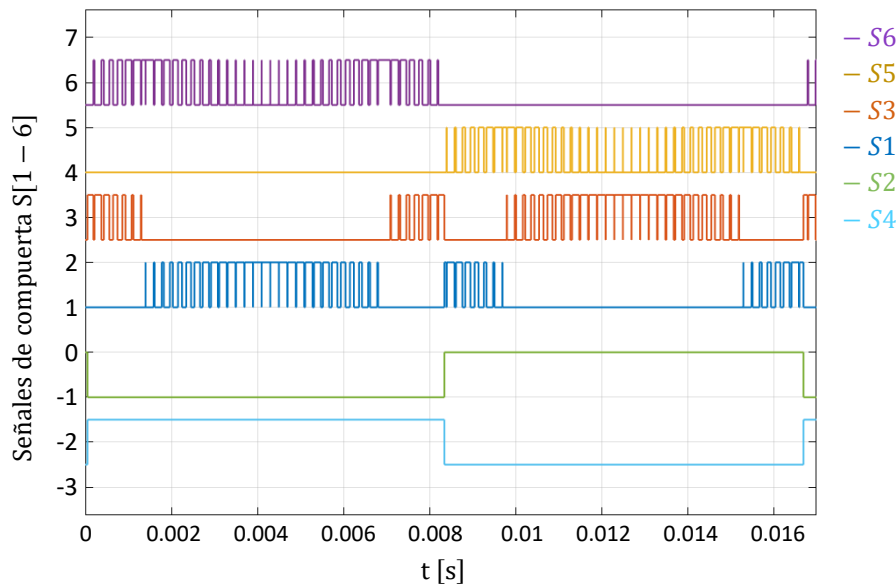


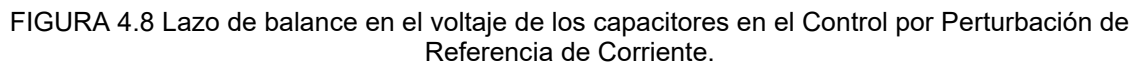
FIGURA 4.7 Señales PWM usadas para controlar las compuertas de los interruptores S1 a S5.

4.2 Implementación del controlador con Perturbación de Referencia de Corriente

El diagrama a bloques del control de perturbación en la referencia de corriente se muestra en la Figura 3.2, sin embargo, para poder implementarlo en un DSP es necesario discretizar las diferentes funciones de transferencia, esto se debe a que es un microcontrolador el que ejecutará el algoritmo y este no puede procesar señales en tiempo continuo. Por lo tanto, es necesario introducir la señal a un ADC (Analog to Digital Converter) por sus siglas en inglés. Esta etapa tiene la finalidad de adquirir información de la forma de onda cada determinado tiempo (usualmente amplitud) este tiempo está relacionado con las capacidades del microcontrolador y el reloj que este a disposición de este. Este proceso permite que el microcontrolador, basado en electrónica digital, procese y controle señales analógicas mediante la conversión de estas señales en datos discretos a través del ADC. Esto habilita la interacción entre los dominios analógico y digital, permitiendo al microcontrolador ejecutar algoritmos de control sobre señales que originalmente son continuas.

Es necesario tener algunas consideraciones para la discretización, en este caso se estará utilizando un DSP modelo TMS320F28335 diseñado por Texas Instruments montado en la controlCARD TMDSCNCD28335 que cuenta con una frecuencia de reloj de 150MHz , el segundo aspecto a considerar es el muestreo del ADC y este se elige considerando la frecuencia de conmutación que se ha elegido de 16.02kHz y la tercera consideración es que a mayor frecuencia de muestreo el microcontrolador ejecutará las operaciones del control a esa frecuencia debido a la

Entonces el lazo de balance en el Control por Perturbación en la referencia de corriente implementado en simulación de forma discreta se muestra en la Figura 4.8.



El diagrama de bloques muestra el control de potencia de un convertidor de potencia. El sistema comienza con un sumador que recibe una referencia i^* y una retroalimentación i . La salida del sumador, i^* , se integra en un bloque triangular con la ganancia $1/(180/\sqrt{2})^2$. La salida del integrador se multiplica en un bloque 'x' por la salida de un comparador de potencia (SELECCIÓN POTENCIA). Este comparador recibe como entrada la potencia P_{in} (valor 100) y el nivel de potencia $EnPot$ (valor 7). La salida del comparador se envía a un filtro de potencia discreto (BPF DISCRETO), que también recibe como entrada la tensión V_s (valor 3) y el nivel de potencia $[EnRes]$. La salida del filtro de potencia discreto se envía al sumador como retroalimentación i .

El lazo de seguimiento de corriente consiste en un controlador Proporcional-Resonante, la componente proporcional se ingresará mediante una función que

cambiará su valor durante el periodo transitorio para proporcionar amortiguamiento al sistema durante el inicio mientras que su valor decrementará una vez alcance el estado estacionario para reducir el ruido. El banco de resonantes mejora el seguimiento en la corriente para su componente fundamental y proporciona compensación para los armónicos que añadan además del primero y no existen en la referencia.

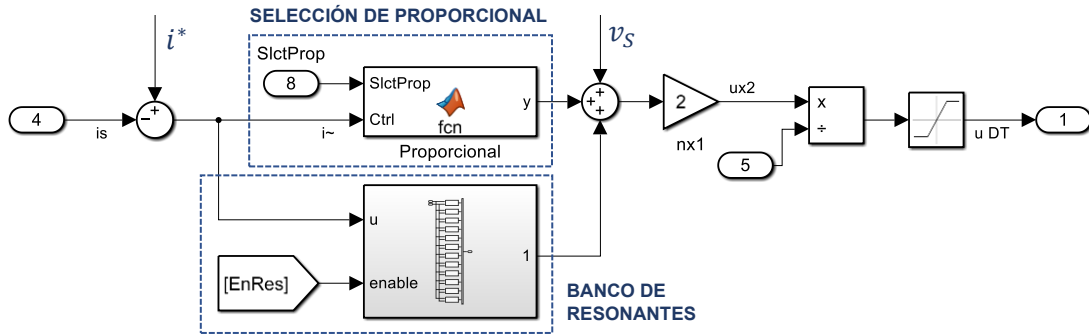


FIGURA 4.10 Lazo de corriente en el Control por Perturbación de Referencia de Corriente.

En comparación con el diagrama que se muestra en la Figura 3.1 y como ya se mostró anteriormente, se le han añadido nuevas etapas en vista de su implementación física, una de las cuales es el cambio de referencia en el balance la cual tiene la función de generar un desbalance en los capacitores para posteriormente corregirlo, otra etapa es el encendido del balance la cual como su nombre lo indica controla el momento en el cual comenzará a actuar el lazo de balance en el sistema, además de la selección de potencia que aumenta o disminuye la potencia que inyecta a la red tanto por motivos de seguridad en las pruebas experimentales como para mejorar la funcionalidad.

El cálculo de los parámetros del LPF se muestra a continuación se muestra a continuación, esto se establece a partir de la ecuación (4.1).

$$LPF = -\frac{k_p}{Ts + 1} \quad (4.1)$$

$$LPF = -\frac{k_p}{\left(\frac{1}{2\pi f_c}\right)s + 1} = -\frac{1}{\left(\frac{1}{2\pi(0.1)}\right)s + 1} = -\frac{1}{(1.592)s + 1}$$

El proceso de discretización para un periodo de (1/16020) se realiza con el comando c2d en Matlab lo que genera la siguiente expresión (4.2).

$$LPF_{discreto} = \frac{-3.922011293854857 \times 10^{-5}}{z - 0.999960779887061} \quad (4.2)$$

Mientras que el control PR esta dado por la siguiente ecuación.

$$\Phi_k = \frac{\gamma_k s}{s^2 + k^2 \omega_0^2} \quad , \quad k \in \{1, 2, 3, 4, 5 \dots\} \quad (4.3)$$

Donde Φ_k es la acción resonante dentro del control PR, γ_k es la ganancia proporcional para cada filtro y es diferente para cada uno de estos además de que normalmente $\gamma_1 \geq \gamma_2 \geq \gamma_3 \geq \dots \geq \gamma_k$, es decir, cada ganancia es mayor conforme se acerque a la fundamental.

4.3 Perturbación de la señal de control

Como ya se observó en la Figura 3.2 este control hace uso de un PI para lograr el balance, en este caso se implementó el bloque de PID con el que cuenta Simulink y posteriormente se procedió a configurarlo y sintonizarlo, tanto el lazo de corriente como el proceso para generar la referencia es exactamente el mismo que en el control de Perturbación en la referencia de corriente por lo que el único cambio es el lazo de balance en el voltaje de capacitores, este diagrama se muestra en la Figura 4.11.

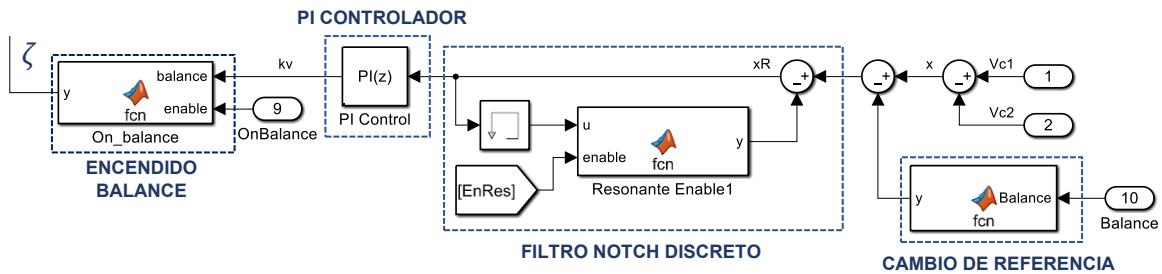


FIGURA 4.11 Lazo de balance en el voltaje de los capacitores en el control Perturbación de la señal de control.

Primeramente, se cambia el tipo de controlador a solo PI y establece que funcionará en tiempo discreto, el parámetro de Sample time toma el valor de -1 y el método de integración será Forward Euler. Para la sintonización se realizaron diversas pruebas

iterativas para encontrar los valores de ganancia proporcional P e integral I, que lograrán el mejor desempeño teniendo al final la ganancia proporcional un valor de 1/5 y la integral un valor de 10.

4.4 Máquina de estados

La máquina de estados en el sistema tiene un papel esencial en la supervisión y control de su funcionamiento, asegurando que cada paso en la secuencia de eventos ocurra de manera precisa y segura. Desde el encendido del inversor, su sincronización con la red eléctrica, hasta la inyección de energía, este sistema regula el proceso completo, controlando incluso los desbalances en los capacitores.

Además, el inversor incluye funciones de protección, como apagar el PWM ante corrientes elevadas en la red, evitar el encendido si los voltajes de la red o de la fuente de DC son insuficientes, y garantizar que la inyección de potencia comience en el cruce por cero del voltaje de la red. El sistema también ajusta progresivamente la potencia inyectada y activa los osciladores del banco resonante uno por uno, logrando un equilibrio entre las condiciones de encendido transitorio y el estado estacionario del inversor.

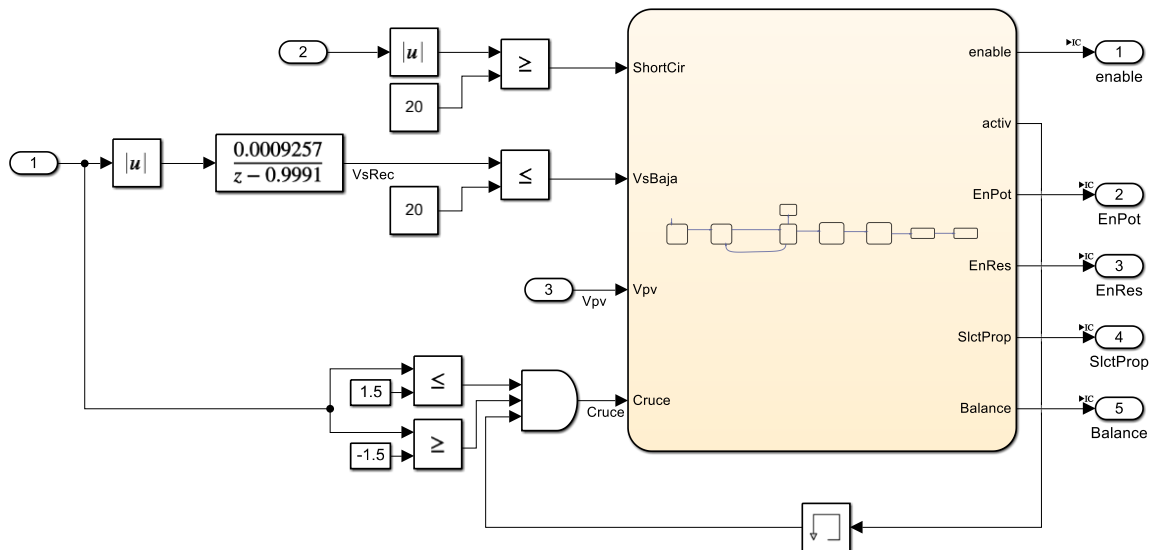


FIGURA 4.12 Máquina de estados implementada en simulación.

La máquina de estados cuenta con múltiples variables de entrada y salida para los diferentes aspectos que deben ser controlados en el inversor, una lista de dichas variables, así como su función se despliega a continuación:

4.1 Variables de entrada

Las variables que entran a la máquina de estados tienen en su mayoría una procedencia de sensores de manera directa o indirecta.

ShortCir: Se trata de una señal que se extrae del sensado de corriente de salida que es inyectada a la red con un énfasis en su magnitud, si la magnitud supera los 20A, entonces se genera una señal que ingresa a la máquina de estados y apaga el PWM para detener el flujo de potencia. Por lo que podemos definirla como una señal de seguridad del inversor en caso de niveles elevado de corriente en la salida.

VsBaja: Esta variable es el resultado de comparar la señal del voltaje de red con un nivel de voltaje específico, cuando dicho nivel alcanza un valor igual o inferior a 20V el sistema no iniciará. Por lo que se trata de una señal de seguridad de inicio del inversor que evita encender el inversor si la red no está bajo condiciones normales de operación.

Vpv: Una señal que ingresa directamente del sensado de voltaje del Bus de DC, es decir, el voltaje total de ambos capacitores $V_{C1} + V_{C2}$. El objetivo es asegurar que el voltaje de DC del inversor supere el voltaje pico de la red que tiene una magnitud 180V aproximadamente. Esto ya que podría existir inyección de corriente de la red al Bus de CD, por lo que si los capacitores se encuentran a 0V y el inversor se conecta a la red sin la debida precarga entonces el comportamiento incluso podría corresponder al de un corto circuito.

Cruce: Esta señal cambia su estado de 0 a 1 cuando se detecta el primer cruce por cero del voltaje de la red una vez el proceso de precarga se ha completado. Esto se hace así por consejo del asesor de tesis basado en su experiencia.

4.2 Variables de salida

Enable: Encendido del PWM.

Activ: Señal auxiliar de la detección de cruce.

EnRes: Encendido de los filtros resonantes.

SlctProp: Cambio de valor de la componente proporcional del control PR.

Balance: Con dicha señal se conecta y desconecta el lazo de balance de voltaje de capacitores para pruebas experimentales, posteriormente se utilizaría para indicar el cambio de referencia en el balance de voltaje.

EnPot: Cambio en la referencia de potencia que es inyectada a la red.

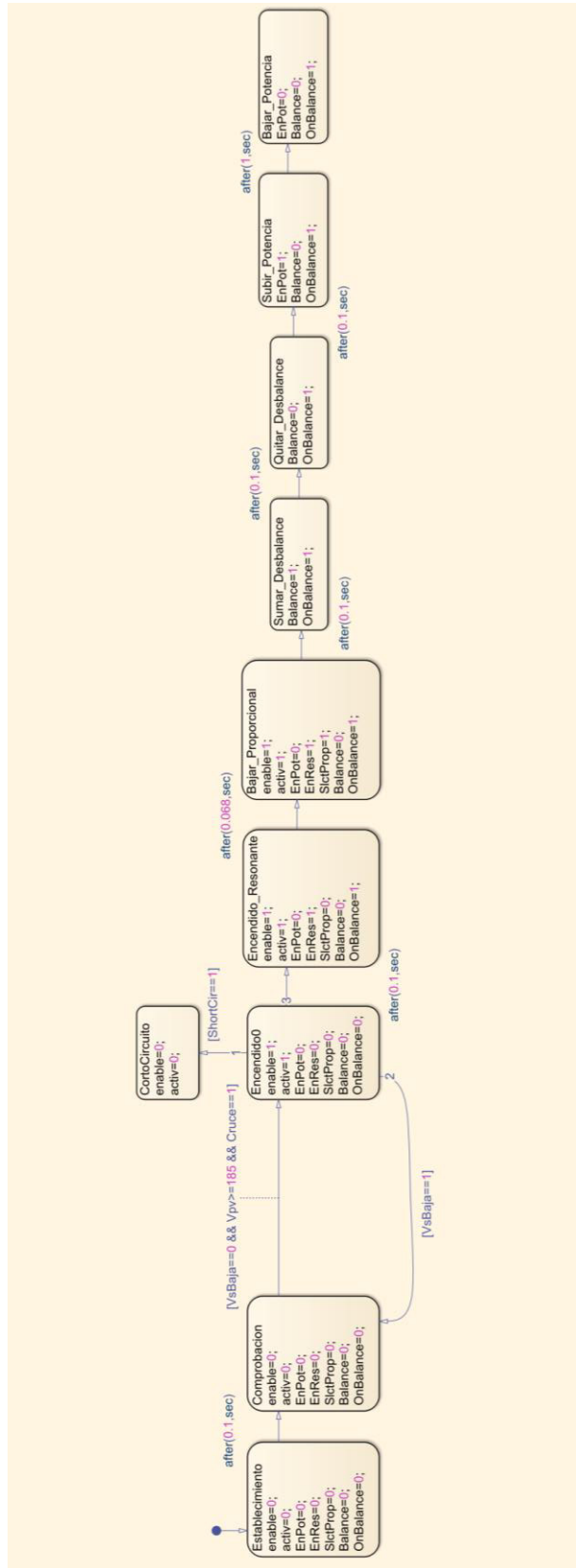


FIGURA 4.13 Secuencia de estados que componen la sección de la máquina.

4.3 Implementación de los tiempos muertos

La topología “Asym-T-5L” utiliza un puente H con 4 interruptores (denotados como S_1, S_2, S_3, S_4) y un interruptor bidireccional (compuesto por S_5 y S_6) para controlar el flujo de corriente en el circuito, el diagrama simplificado se muestra en la Figura 4.15. Las señales de conmutación generadas por el DSP determinan el estado de cada interruptor. Los estados de los interruptores pueden ser descritos por las señales $S_i(t)$, que son señales PWM de alta frecuencia.

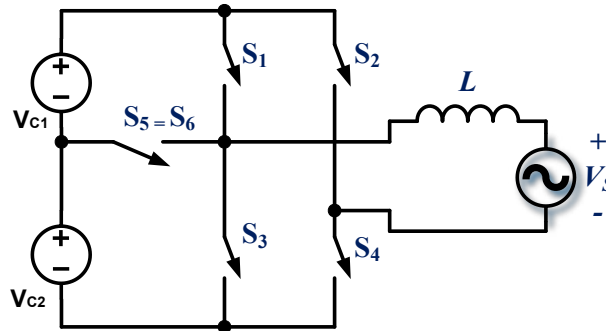


FIGURA 4.15 Esquema simplificado para el análisis de tiempos muertos.

Considerando la imagen de la Figura 4.15 es posible determinar las siguientes condiciones en las cuales se producir corto circuito y por lo tanto hay que interponer un tiempo muerto.

- Entre S_1 y S_3 para evitar un corto circuito en $V_{C1} + V_{C2}$.
- Entre S_2 y S_4 para evitar el corto circuito entre $V_{C2} + V_{C2}$.
- Entre S_1 y S_5 para evitar corto entre V_{C1} .
- Entre S_3 y S_6 para evitar corto entre V_{C2} .

Sin embargo, a diferencia de cómo se simplifica en la Figura 4.15, no se puede considerar que $S_5 = S_6$ en cuanto a las señales ya que en [34] los sectores de voltaje $V_{C2} + V_{C2}$ presentan comportamientos indeseados. Para evitarlo, es necesario utilizar a S_5 y S_6 como dos interruptores independientes. Por lo cual se utilizan los siguientes estados redundantes.

- Entre S_1 y S_6 para evitar un corto circuito en $V_{C1} + V_{C2}$.
- Entre S_3 y S_5 para evitar el corto circuito entre $V_{C2} + V_{C2}$.

En relación con los cruces por cero, los estados redundantes empleados se detallan

a continuación:

- Durante el cruce por cero al pasar del Sector 2 al Sector 3 (con corriente positiva), el interruptor S1 debe permanecer encendido durante el tiempo muerto entre los interruptores S2 y S4.
- Durante el cruce por cero al pasar del Sector 3 al Sector 2 (con corriente negativa), el interruptor S3 debe permanecer encendido durante el tiempo muerto entre los interruptores S2 y S4.

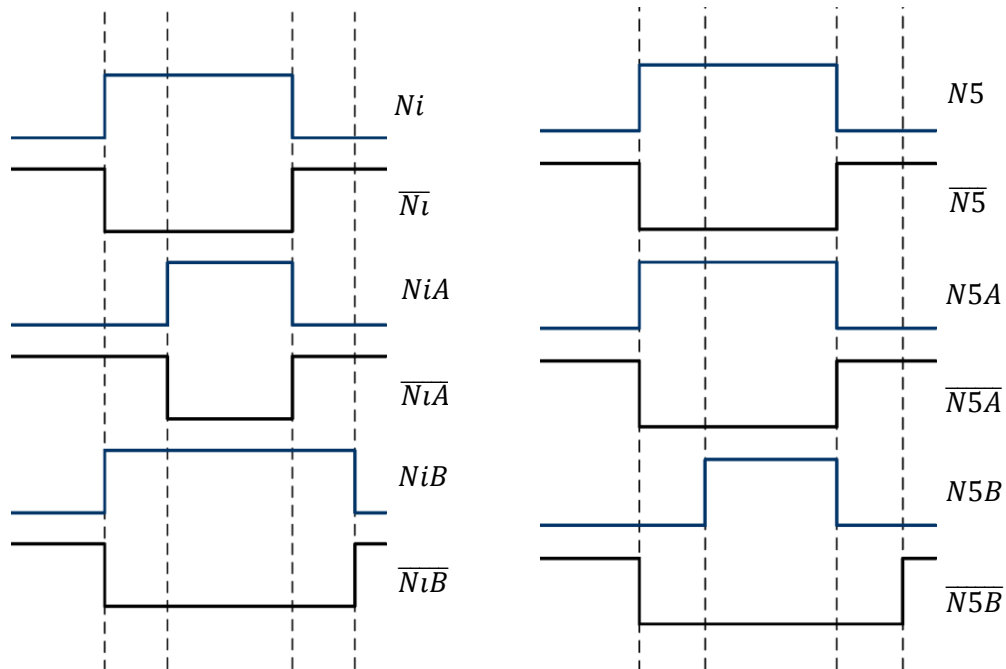


FIGURA 4.16 Señales lógicas con tiempos de retardo: (a) Definición de las señales N_{iA} ($i \in \{1, 2, 3, 4\}$) y N_{iB} ($i \in \{1, 2, 3, 4\}$) y (b) Definición de las señales N_{5A} , N_{5B} y $\overline{N_{5B}}$.

La Figura 4.16 presenta la notación utilizada para las señales de entrada en el circuito lógico.

- Figura 4.16(a): En esta figura, las señales N_{iA} ($i \in \{1, 2, 3, 4\}$) tienen un tiempo de retardo t_r en el flanco de subida, con respecto a las señales N_i ($i \in \{1, 2, 3, 4\}$). Por otro lado, las señales N_{iB} ($i \in \{1, 2, 3, 4\}$) presentan un tiempo de retardo t_f en el flanco de bajada con respecto a N_i .
- Figura 4.16(b): En esta parte, se muestran las señales N_{5A} y N_{5B} , que deben implementarse de tal manera que se eviten los estados no permitidos durante los cruces por cero. La señal N_{5A} se considera igual a la señal ideal N_5 . En la misma figura, se observan las señales N_{5B} y $\overline{N_{5B}}$, que, a diferencia de lo esperado, no son señales complementarias. En este caso, N_{5B} tiene un tiempo de retardo t_r en el flanco de subida respecto a la señal N_5 , mientras

que la señal $\overline{N5B}$ tiene un tiempo de retardo t_f en el flanco de subida respecto a $N5$.

La configuración de los tiempos muertos se realiza a través del menú **"Deadband unit"**. En la ventana mostrada en la Figura 4.17, se encuentran las opciones que deben ajustarse. Para las señales $NiA(i \in \{1, 2, 3, 4\})$, se debe seleccionar la opción **"Deadband polarity"** y configurarla como **"Active high complementary"**. Así, en la salida de cada módulo PWM se generarán las señales $NiA(i \in \{1, 2, 3, 4\})$ y sus complementos $NiB(i \in \{1, 2, 3, 4\})$, los cuales tendrán los tiempos muertos correspondientes.

En la Figura 4.16(a) se muestra que es necesario implementar un retardo en el flanco de subida (t_r) y un retardo en el flanco de bajada (t_f). Para configurar estos tiempos de retardo, es necesario seleccionar la señal de referencia sobre la cual se aplicarán los retardos tanto para el flanco de subida como para el flanco de bajada.

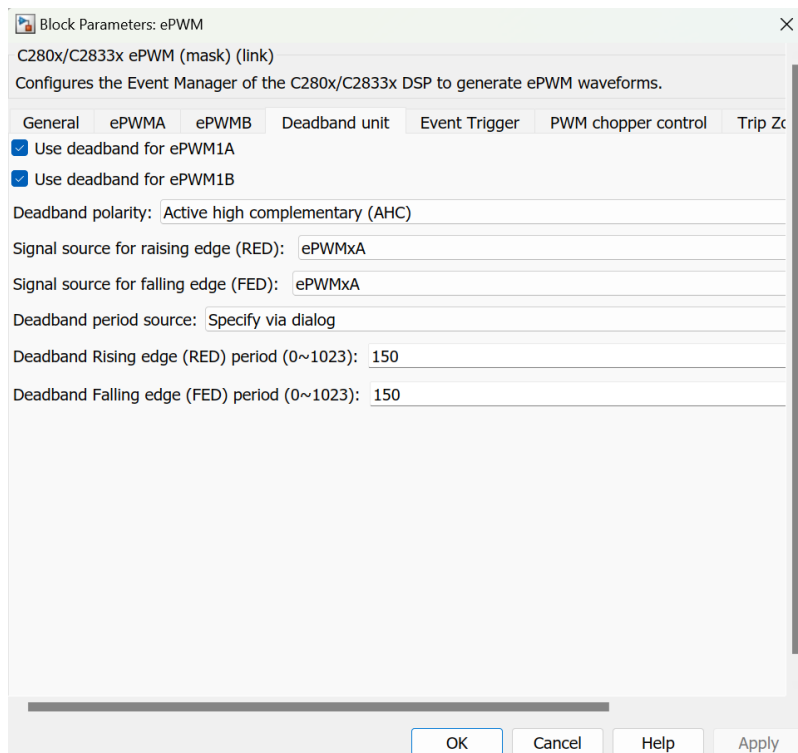


FIGURA 4.17 Opciones Deadband unit.

En este caso, ambos tiempos de retardo se toman en relación con la señal de entrada al módulo ePWMA. Por lo tanto, en las opciones del menú **"Signal source for raising edge"** (RED) y **"Signal source for falling edge"** (FED), se selecciona

ePWMA como la señal de referencia. Los valores de **“Raising edge deadband period”** (DBRED) y **“Falling edge deadband period”** (DBFED) se calculan en función de la frecuencia del reloj del dispositivo, utilizando (4.4) y (4.5):

$$DBRED = \tau_r * F_{TBCLK} \quad (4.4)$$

$$DBFED = \tau_f * F_{TBCLK} \quad (4.5)$$

Para este caso, se asignaron tiempos muertos de $1\mu s$ tanto para τ_r como para τ_f . Dado que el reloj del dispositivo opera a 150 MHz, los valores se determinan de la siguiente forma:

$$DBRED = 1 \times 10^{-6} * 150 \times 10^6 = 150$$

$$DBFED = 1 \times 10^{-6} * 150 \times 10^6 = 150$$

Para las señales $N5A$, $N5B$ y $\overline{N5B}$, se emplea una configuración diferente de tiempos muertos. Esta configuración sigue la lógica de las señales presentadas en la Figura 4.16(b). Para generar $N5B$, se debe aplicar un retardo en el flanco de subida (τ_r) con respecto a la señal $N5$.

Es así que se selecciona la opción **“Deadband polarity”** con **“Active high”**. Esto es porque la señal $N5B$ se deriva de $N5$, aplicándole un retardo τ_r en el flanco de subida, así como se puede observar en la Figura 4.16(b). Además, se ajusta el valor de **“Raising edge deadband period”** (DBRED) a 150, calculado de manera similar a las señales previas. En la salida ePWMA del módulo PWM se genera la señal $N5B$, por otro lado, $N5 = N5A$ se obtiene en la salida ePWMB del módulo ePWM.

En este escenario, la señal $\overline{N5B}$ presenta un retardo de tipo τ_f en el flanco de subida en relación con el flanco de bajada de la señal $N5$. Para obtener esta señal, se selecciona la opción **“Deadband polarity”** configurada como **“Active high complementary”**. Esto se debe a que $\overline{N5B}$ es el complemento de la señal $N5$, pero con un tiempo muerto, tal como se observa en la Figura 4.16(b). Como consecuencia de lo anterior, se establece el valor de **“Falling edge deadband period”** (DBFED) en 150, que se calcula de manera similar al de las señales anteriores. En la salida ePWMA del módulo PWM se obtiene la señal $N5 = N5A$, mientras que $\overline{N5B}$ se genera en la salida ePWMB del mismo módulo PWM.

Capítulo 5. Desarrollo experimental del sistema

5.1 Diseño del Diagrama Esquemático

5.1.1 Disparador

Inicialmente se calcularon los valores de los elementos necesarios en el diseño de los circuitos impulsores para el modelo del MOSFET que conformará la etapa de potencia, esto es así ya que se considera que la correcta conmutación de los interruptores es crítica en el proceso de desarrollo de un inversor.

El modelo de MOSFET seleccionado es el C2M0080120D que al tener tecnología de carburo de silicio sus pérdidas de conmutación son inferiores que los que cuentan con una estructura solo de silicio. Este modelo cuenta con un voltaje gate-source máximo ($V_{GS_{max}}$) de $+25V/-10V$ por lo que la aplicación de niveles de $+15V/-5V$ que son considerados niveles de fuentes aisladas comunes son adecuados para la correcta activación del transistor.

Por otro lado, considerando la carga de compuerta Q_G dada para el voltaje máximo de $15V$ se obtiene un valor de $57nC$, esto se extrajo de la Figura 5.1.

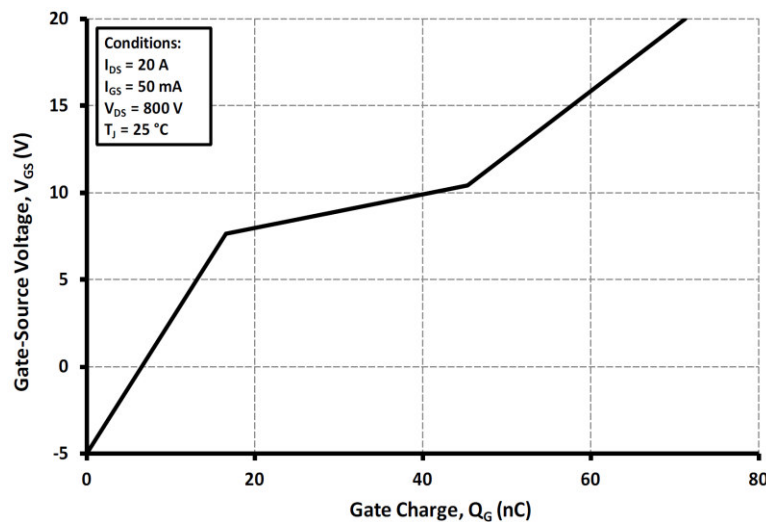


FIGURA 5.1 Características de carga en la terminal de compuerta.

La potencia disipada en el área de compuerta (principalmente en la resistencia) deberá considerarse para la elección del empaquetado que se considerará en el diseño, esta se obtiene a través de (5.1) [24].

$$P = Q_G * F * V_S = \left(57nC * \frac{20}{15}\right) * (16kHz) * (15V - (-5V)) = 0.024W \quad (5.1)$$

Donde P es la potencia disipada en el área de compuerta, Q_G la carga que puede contener la capacitancia de la compuerta y V_S el voltaje total al que se expondrá esta sección del semiconductor.

Es así que la fuente aislada elegida es el modelo MGJ2D241505SC que al ser de 2W no tendrá problemas en suministrar la potencia necesaria [25], posteriormente se determina el pico de energía en la terminal de compuerta debido a la capacitancia parasita del MOSFET. Esta energía se calcula mediante (5.2) [24].

$$E = Q_G * V_S = (57nC) * (15V - (-5V)) = 1.14uJ \quad (5.2)$$

El pico de corriente será suministrado por un capacitor el cual se calcula mediante la energía y el rizo máximo de voltaje permitido en el área de compuerta que se ha propuesto de 0.1V, es decir, $V_{Inicial}$ de 15V a V_{Final} de 14.9V y cuyo valor mínimo se calcula a través de la siguiente expresión (5.3) [24].

$$C = \frac{2 * E}{(V_{Inicial}^2 - V_{Final}^2)} = \frac{2 * (1.14uJ)}{2.99} = 762.5nF \quad (5.3)$$

La sección de alimentación para los circuitos impulsores constituida principalmente por las fuentes MGJ2D241505SC, se muestra en la Figura 5.2.

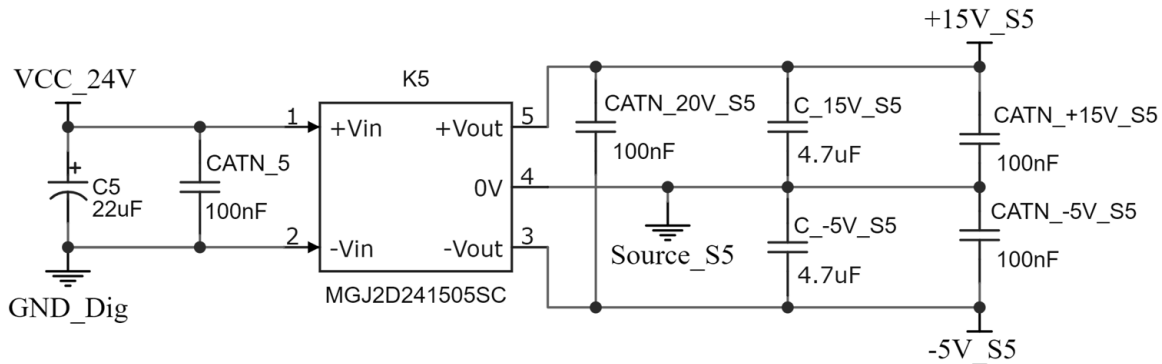


FIGURA 5.2 Configuración final de la fuente MGJ2D241505SC para el prototipo.

Para el valor de la misma se requiere conocer el pico máximo de corriente que puede suministrar el driver que en este caso se trata del HCPL-3120, este puede conducir un pico máximo de corriente de 2.5A, del mismo modo que el voltaje de apagado entre las terminales del transistor interno es de 2V, por lo que el cálculo de la resistencia mínima se realiza en (5.4) [26].

$$R_g = \frac{V_S - V_{OL}}{I_{OLPEAK}} = \frac{15V - (-5V) - 2V}{2.5A} = 7.2\Omega \quad (5.4)$$

Donde V_{OL} es la caída de voltaje debido a las pérdidas en el transistor BJT que se enciende cuando el driver recibe un cero en su señal. Considerando la resistencia interna de la compuerta $Rg_{(in)}$ [26].

$$I_{pk} = \frac{V_S}{Rg_{(in)} + Rg_{(ext)}} = \frac{15V - (-5V)}{3.5\Omega + 7.2\Omega} = 1.86A \quad (5.5)$$

Se optó por reducir la resistencia para aprovechar las prestaciones del HCPL.

$$I_{pk} = \frac{15V - (-5V)}{3.5\Omega + 5\Omega} = 2.35A$$

El esquema final del disparador para el optoacoplador HCPL-3120 se muestra a continuación en la Figura 5.3 [26, 27, 28].

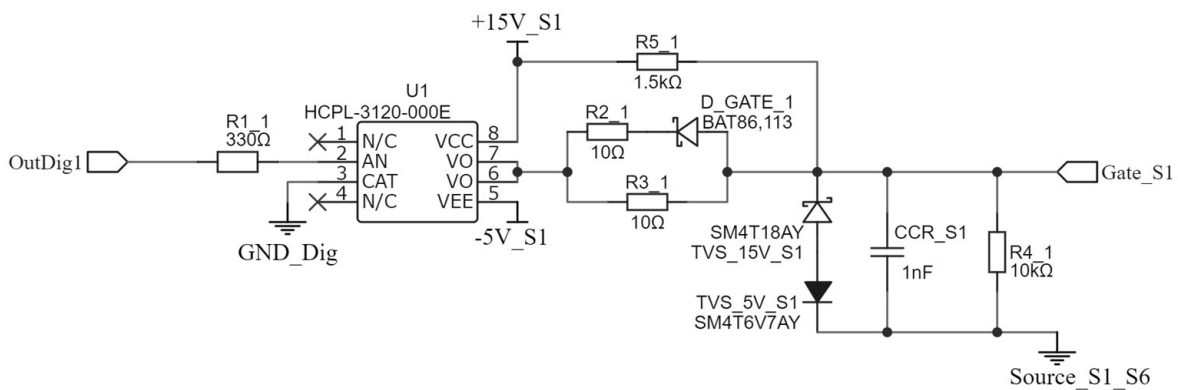


FIGURA 5.3 Diseño final del disparador para el MOSFET C2M0080120D.

5.1.2 Diseño de la red snubber

Para el diseño de la red snubber se eligió un arreglo RDC para el apagado, por lo que considerando una frecuencia de conmutación de 16kHz y una capacitancia de salida de 145pF para las condiciones de voltaje entre las terminales drain-source, esto se determina mediante la gráfica desplegada en la Figura 5.4 [29].

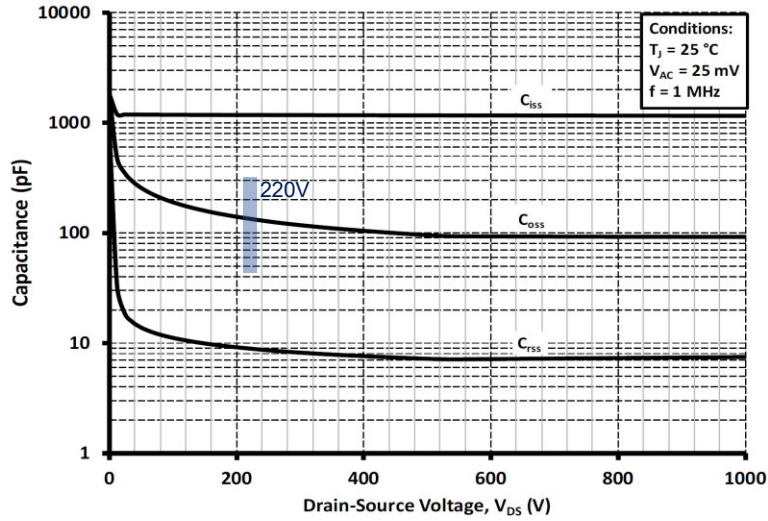


FIGURA 5.4 Relación Capacitancia contra Voltaje Drain-Source hasta los 1000V.

Se obtienen las siguientes expresiones, para el valor de la resistencia de la red snubber R_{SB} se muestra en la ecuación (5.6) [30].

$$R_{SB} = \frac{1}{2 * \pi * f_{SW} * C_{OSS}} = \frac{1}{2 * \pi * (16kHz) * (145pF)} = 68.6k\Omega \quad (5.6)$$

Donde f_{SW} es la frecuencia de conmutación del interruptor y C_{OSS} es la capacitancia de salida presente en el MOSFET. Mientras que para el capacitor de la red C_{SB} se tiene la siguiente expresión (5.7) [30].

$$C_{SB} = 4 * C_{OSS} = 4 * (145pF) = 580pF \quad (5.7)$$

Esto se muestra en la etapa de potencia a mayor detalle.

5.1.3 Sección digital

En esta etapa se diseñaron dos métodos para ingresar las señales de control a los interruptores. La primera opción utiliza un puerto JTAG con un cable plano para la comunicación, mientras que la segunda emplea un cable Ethernet. Ambos métodos ofrecen un buen desempeño frente al ruido, ya que están diseñados para protocolos paralelos, lo que permite transmitir las señales de modulación de manera directa y dedicada a cada MOSFET, asegurando una conmutación precisa y confiable.

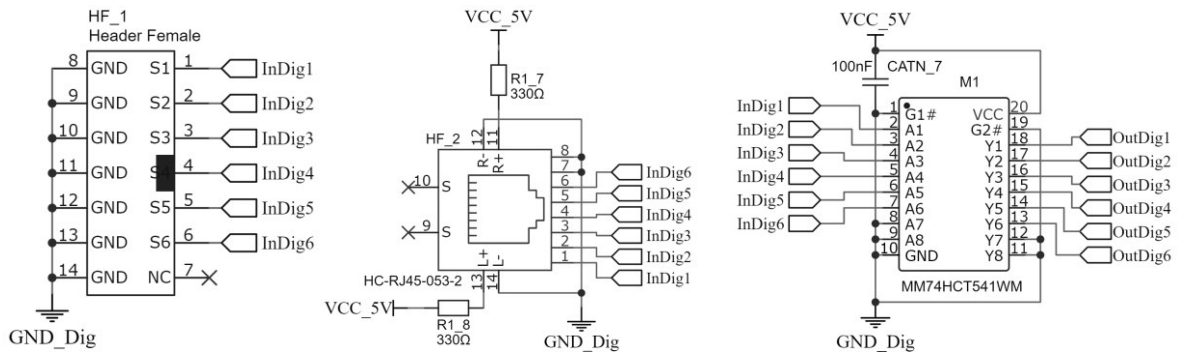


FIGURA 5.5 Sección de adquisición de señales en la etapa digital.

Asimismo, se detallan las entradas de alimentación y regulación para los distintos componentes en esta etapa, ya que dispositivos como el MM74HCT541WM, que es un búfer, requieren niveles de voltaje diferentes en comparación con, por ejemplo, las fuentes aisladas. La configuración de alimentación y regulación se presenta en la Figura 5.6.

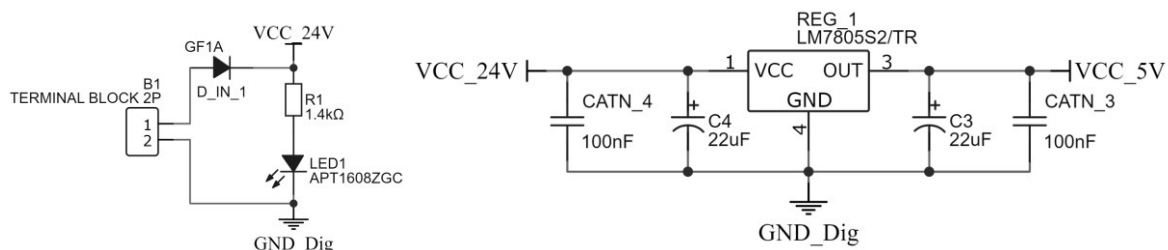


FIGURA 5.6 Alimentación y regulación de la etapa digital.

5.1.4 Etapa de potencia

Los componentes de potencia y las características relevantes consideradas para el prototipo son los siguientes.

SLP331M400E5P3: Capacitor electrolítico de aluminio con montaje a presión de $330\mu F$ y un voltaje máximo de 400V, estos elementos son los que formaran el Bus de DC dividido, y están conformados por los capacitores CIN_1 a CIN_4.

C43Q1474MBAC000: Capacitores de película de Polipropileno Metalizado Radial (PP) de $0.47\mu F$ con voltaje máximo de 300V, la función de estos capacitores es la de actuar como filtro para el ruido que pueda inducirse desde el lado de la fuente de DC, estos son CAP_IN_1 y CAP_IN_2.

C2M0080120D: MOSFET de carburo de silicio para aplicaciones de potencia de segunda generación y canal N, cuenta con un voltaje máximo drain-source V_{DSS} de 1200V y una corriente máxima I_D de 36A, además de una resistencia de encendido $R_{DS(on)}$ de $80m\Omega$.

STPSC40065C: Diodo Schottky de carburo de silicio para aplicaciones de potencia, cuenta con un voltaje de reversa máximo V_{RRM} de 650V, una corriente de polarización directa I_F de 40A, además cuenta con un voltaje de polarización directa V_F típicamente de 1.3V.

El diagrama completo de la etapa de potencia se muestra a continuación en la Figura 5.7

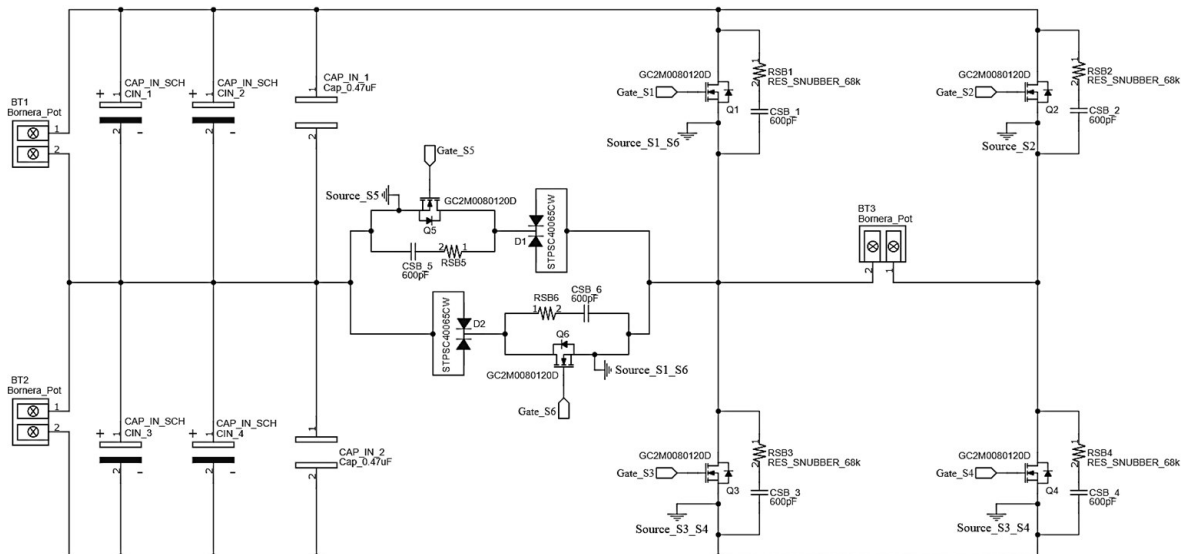


FIGURA 5.7 Diagrama esquemático de la etapa de potencia del inversor bajo estudio.

5.2 Diseño del PCB

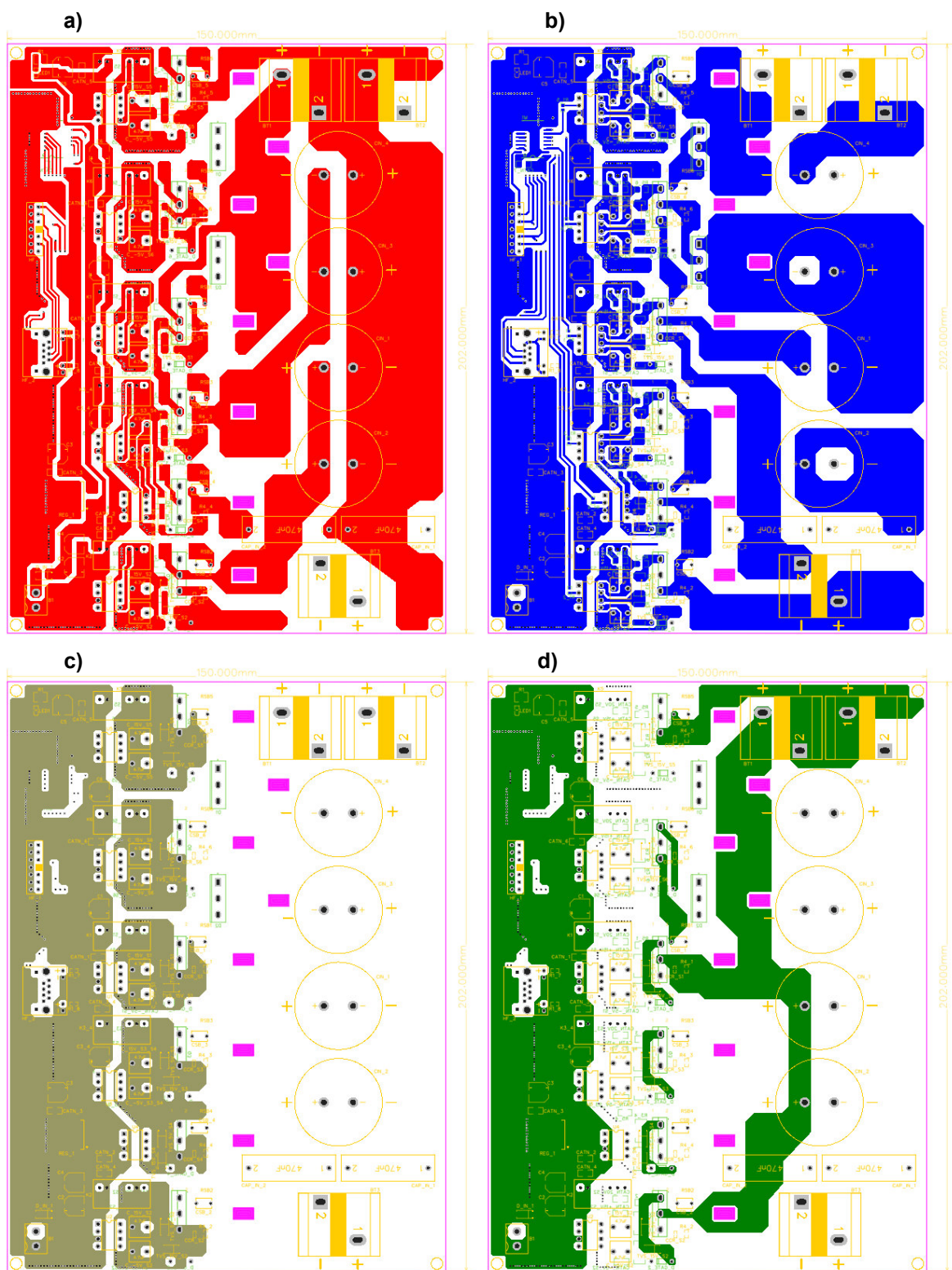


FIGURA 5.8 Capa superior (a), Capa inferior (b), Capa de plano a tierra (c), Capa de refuerzo (d).

El PCB consta de cuatro capas, las cuales son la capa superior (a), capa inferior (b), capa de plano a tierra (c) y capa de refuerzo de potencia (d). Para diseñar dicha etapa fue necesaria la aplicación de varias normas implicadas en los diferentes aspectos de su diseño, de las cuales las principales son el ancho de las pistas, que tiene que ver con la resistencia parásita en cada trayectoria, y la separación entre dichas pistas, la cual es importante y depende del pico de voltaje entre cada una de ellas, para evitar un puente eléctrico en caso de que se encuentren muy cerca.

De igual manera, se ha utilizado un diseño en secciones, es decir, que cada elemento y dispositivo perteneciente a una sección se encuentra físicamente cerca de los demás que conforman dicho módulo, y al mismo tiempo, este módulo está separado del resto de los módulos. Esto con el objetivo de reducir los elementos parásitos generados por trayectorias muy largas y evitar que se induzcan entre secciones. Aunado a lo anterior y siguiendo con la intención de reducir comportamientos indeseados, el resultado se puede observar en la Figura 5.8.

Para el relleno del PCB, se han priorizado las trayectorias de alimentación y tierra para cada una de las secciones; de esta manera se mejora el acoplamiento de los campos electromagnéticos, además de evitar que el ruido eléctrico se induzca en las trayectorias encargadas del manejo de las señales de control, lo que podría dañar los componentes de la etapa digital o perforar las compuertas de los MOSFETs si el ruido genera picos de voltaje.

Es así que el modelo 3D con los elementos posicionados y dimensionados se puede observar en la Figura 5.9.

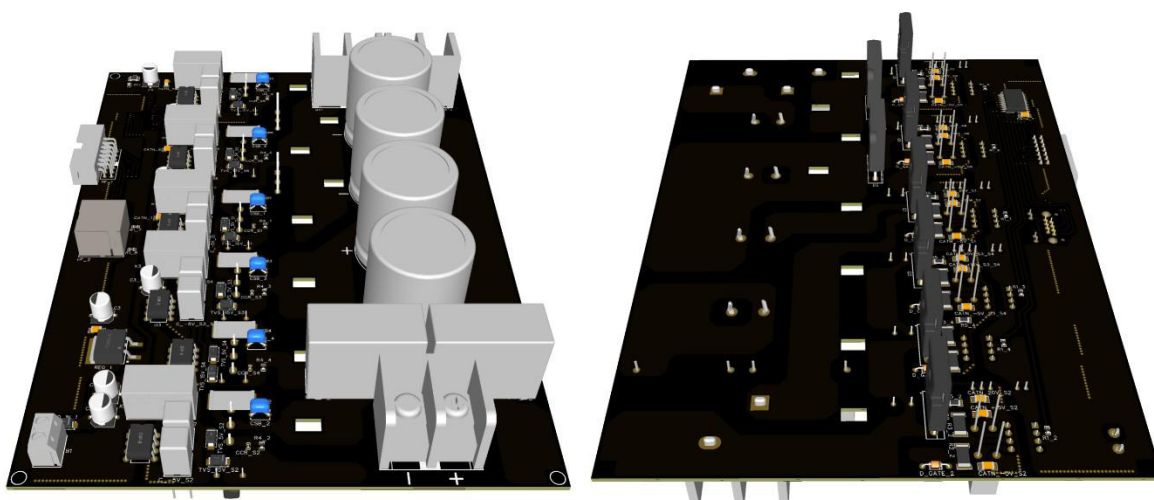


FIGURA 5.9 Modelo 3D del prototipo.

5.3 Implementación física del prototipo

Con el objetivo de lograr poner en marcha el prototipo con medidas de seguridad adecuadas se han realizado algunas modificaciones del circuito diseñado y mostrado inicialmente en la Figura 2.1.

Algunas de las modificaciones son la división del Bus de DC en dos capacitores por nivel de voltaje (C_1, C_2, C_3 y C_4) además de los capacitores del filtro de entrada (C_{F1} y C_{F2}). M1 y M2 son interruptores termomagnéticos que deberán limitar la cantidad de corriente a través del circuito en caso de que alcance niveles indeseados o peligrosos. M2 protege del lado de la red en caso de que el control o la modulación produzca niveles altos de corriente que se inyecten al inversor ya que V_S es una fuente de energía, en este caso de la red o del inversor hacia la red causadas por acciones transitorias del control. M1 protege en caso de niveles altos de corriente desde la fuente hacia el inversor o viceversa, esto en caso de que algún interruptor o disparador falle y mantenga encendido o apagado alguno de los MOSFETs lo que causaría un corto circuito desde el lado de V_{PV} e incluso V_S .

R1 y W1 conforman la acción de precarga de los capacitores del Bus de DC, esta acción es necesaria ya que si no cada que inicie el sistema podría generar picos de corriente del lado de DC que considerando las dimensiones del capacitor podrían dañar la fuente V_{PV} e incluso los capacitores, por no decir que activaría las protecciones en cada encendido. Por su lado R2 es una resistencia en paralelo a los capacitores del Bus de DC que proporciona una trayectoria de descarga para la energía almacenada en estos una vez se ha apagado el sistema, el objetivo es proteger tanto a la persona que manipulara el sistema, como a los componentes durante el encendido.

Del lado de la red el inductor de acoplamiento se dividió en L1 y L2, esto reduce la corriente en modo común que puede aparecer en el sistema, de igual manera se añadió un transformador 1:1 mostrado como T1 que evita la corriente en modo común.

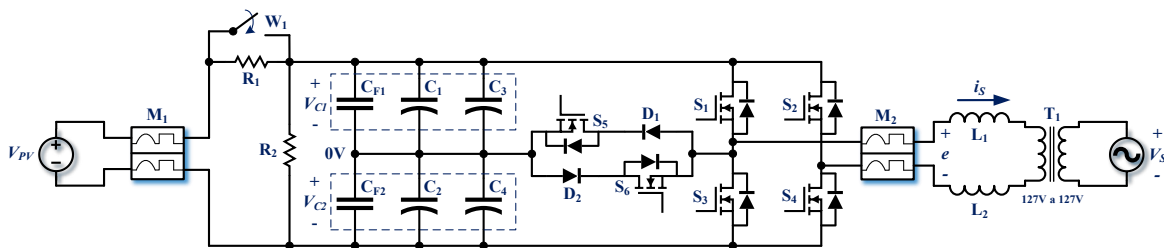


FIGURA 5.10 Circuito del inversor “Asym-T-5L” implementado experimentalmente.

El resultado de la implementación se muestra en el prototipo que se puede observar en la Figura 5.11, para la gestión de las señales de conmutación se utilizó un Voltage Level Shifter ya que fue necesaria una elevación de los niveles de voltaje para que pudiese comunicarse la tarjeta de adquisición de datos con un CPLD encargado de las operaciones lógicas que finalmente irían a la etapa digital del prototipo y a su vez a las compuertas.

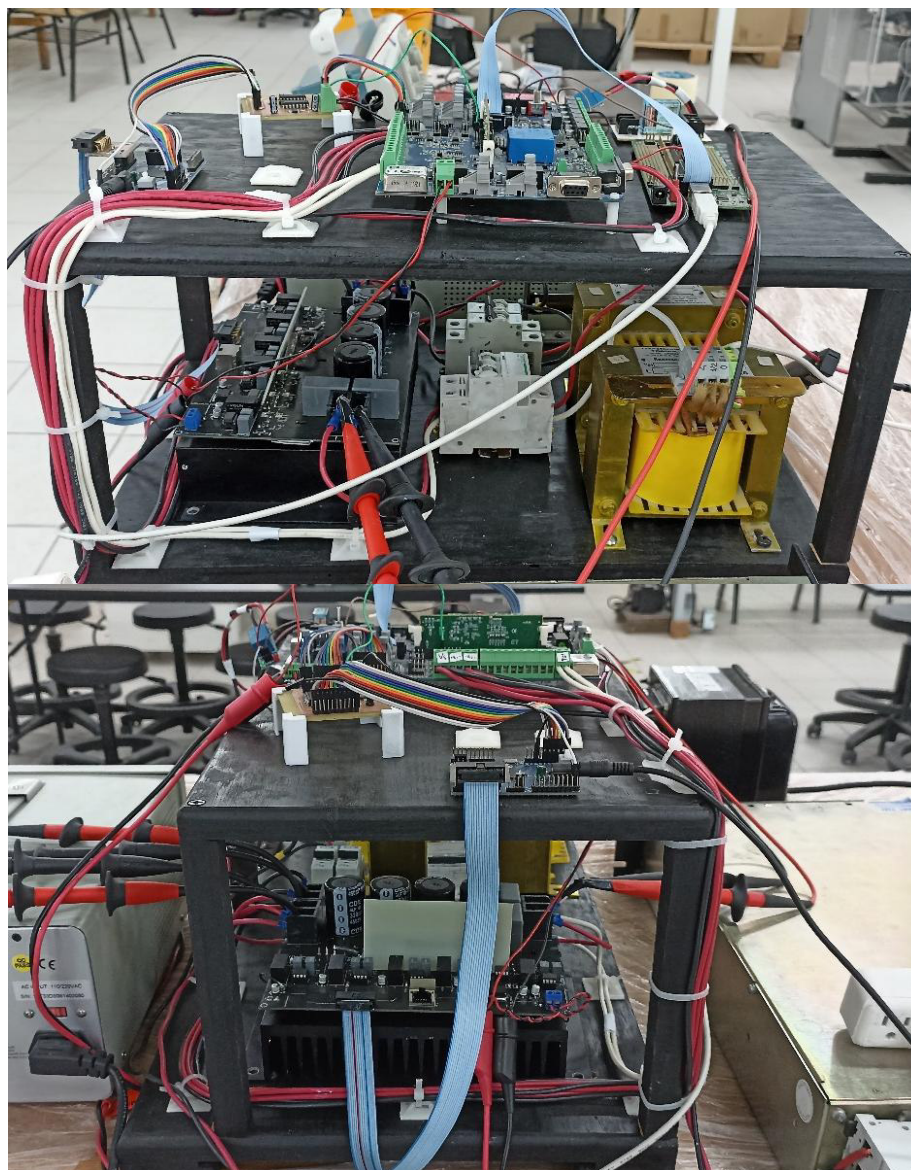


FIGURA 5.11 Prototipo utilizado para la obtención de resultados experimentales.

Capítulo 6. Resultados numéricos

El diagrama utilizado para obtener los resultados numéricos de las estrategias implementadas se puede observar en la Figura 4.11. Los parámetros utilizados se muestran a continuación en Tabla 6.1.

TABLA 6.1. Parámetros de simulación.

Parámetros de simulación	Valor
C_1	$660\mu F$
C_2	$660\mu F$
V_{C1}	$110V$
V_{C2}	$110V$
L_1	$4mH$
L_2	$4mH$
V_{PV}	$220V$
V_S	$127 V_{RMS}$
f_s	$60 Hz$
f_{sw}	$16020 Hz$

6.1 Perturbación en la referencia de corriente

6.1.1 Lazo de corriente

La Figura 6.1 muestra la corriente inyectada a la red eléctrica en estado estacionario para una potencia de 200 W.

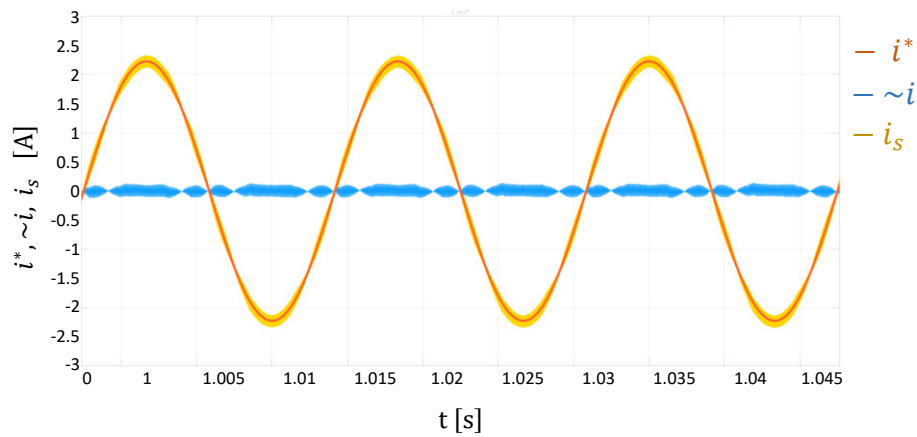


FIGURA 6.1 Corriente inyectada en estado estacionario a 200W.

La gráfica evidencia que la corriente sigue un patrón sinusoidal sincronizado con la red, lo que confirma una correcta operación del sistema y un adecuado control del inversor. Esto es crucial para cumplir con estándares de calidad de potencia, reduciendo el contenido armónico. Donde i_s es la corriente que se inyecta a la red, i^* es la corriente de referencia e $i_{\sim}$ es el error entre las corrientes anteriormente mencionadas.

A continuación, en la Figura 6.2 se compara el voltaje de salida del inversor e con el voltaje de la red eléctrica v_s . Las dos señales están en fase y tienen la misma frecuencia, lo que valida la sincronización del inversor con la red. Este comportamiento asegura una transferencia eficiente de potencia activa y evita problemas de desbalance.

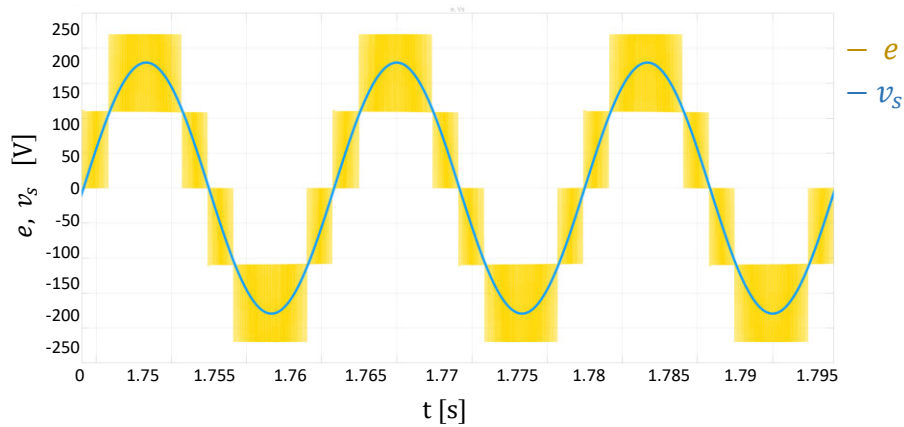


FIGURA 6.2 Voltaje en la salida del inversor en comparación con el voltaje en la red eléctrica.

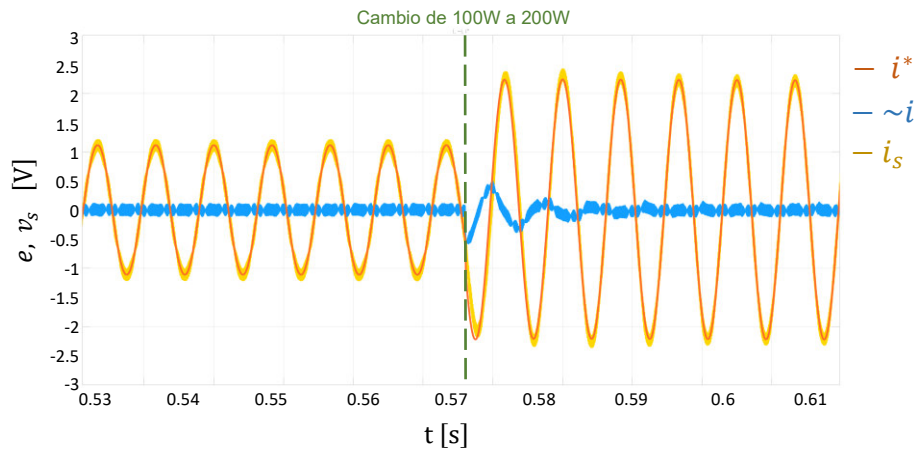


FIGURA 6.3 Aumento de potencia de 100W a 200W donde i_s es la corriente inyectada a la red, i^* es la referencia de corriente y $i_{\sim}$ es el error.

La Figura 6.3 representa un aumento de potencia de 100 W a 200 W. Se grafican la corriente inyectada a la red i_s , la referencia de corriente i^* y el error entre ambas $\sim i$. La figura permite observar la dinámica del sistema durante el transitorio y evaluar la capacidad del controlador para seguir los cambios en las condiciones de operación.

De igual manera el proceso contrario, es decir, pasando de una potencia de 200W a 100W se puede observar en la Figura 6.4. El objetivo de ambos cambios es poder verificar la robustez del lazo de corriente, así como sus transitorios a cambios en las condiciones que se le exigen al inversor.

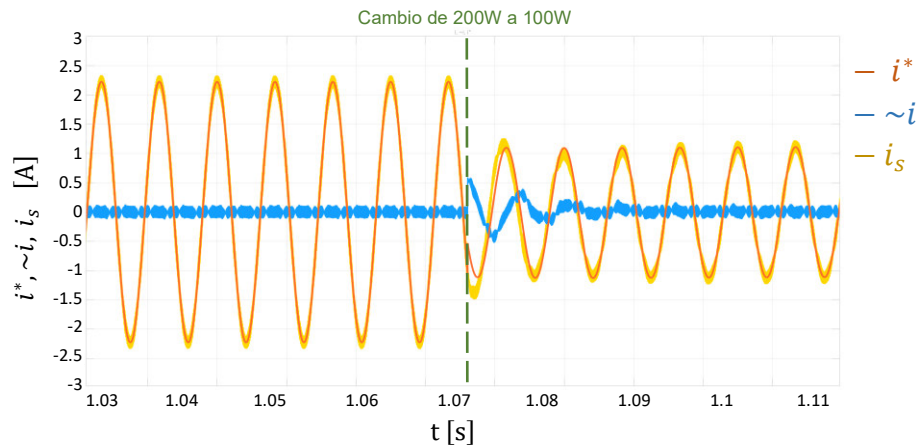


FIGURA 6.4 Disminución de potencia de 200W a 100W donde i_s es la corriente inyectada a la red, i^* es la referencia de corriente y $\sim i$ es el error.

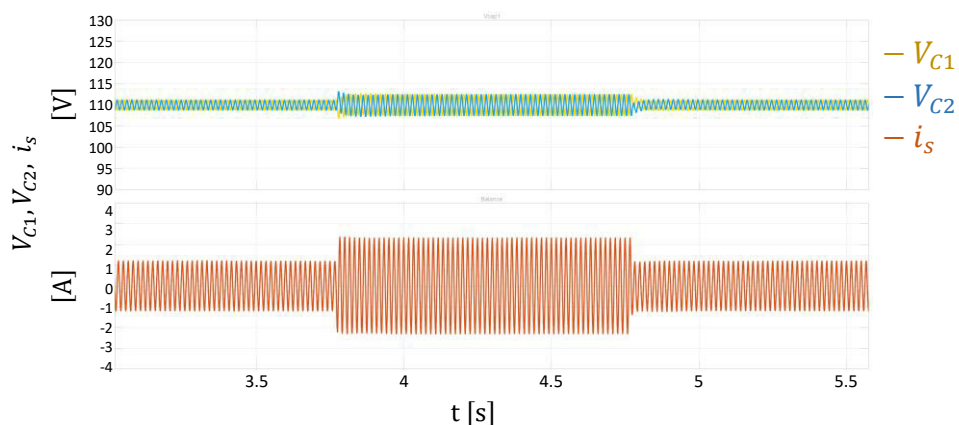


FIGURA 6.5 Rizado del voltaje de los capacitores en comparación con el aumento de potencia. Capacitor superior V_{C1} , capacitor inferior V_{C2} , corriente de salida i_s .

Este aumento de potencia presenta efectos en el rizado debido principalmente a una mayor demanda de corriente lo que genera una descarga mayor en el voltaje de los capacitores.

Para reducir el rizado en el voltaje es necesario un aumento en el tamaño de los capacitores, esto lograría un mayor almacenamiento energía y que una mayor demanda impacte menos en que puedan mantener sus niveles de voltaje, sin embargo, esto presentaría una desventaja física importante, ya que aumentaría el tamaño y costo del inversor además de que ocasionaría un pico de carga en la corriente de entrada sumamente elevado, el efecto de una mayor demanda de corriente en el voltaje de los capacitores se muestra en la Figura 6.5.

6.1.2 Lazo de balance

En la Figura 6.6 se puede observar la acción del control de balance por perturbación de referencia de corriente posterior a un estado de desbalance donde el voltaje en el capacitor superior se muestra como V_{C1} mientras que V_{C2} es el voltaje del capacitor inferior, de igual manera se muestra la corriente inyectada a la red i_s .

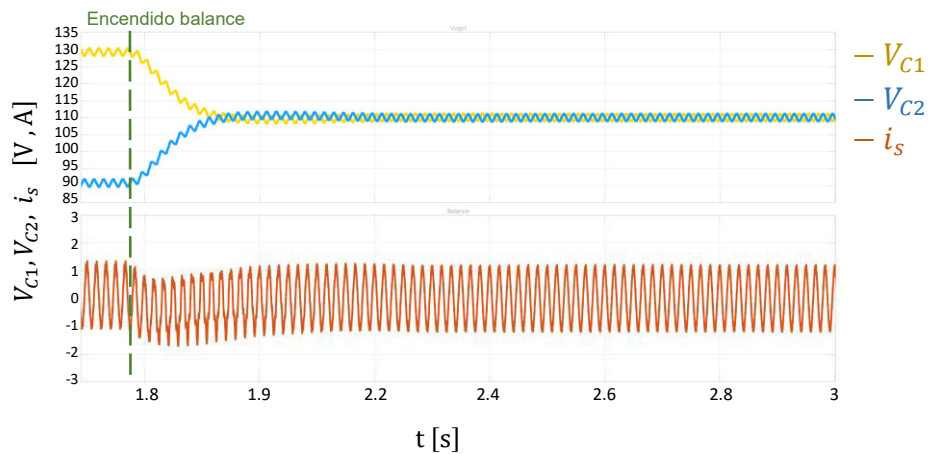


FIGURA 6.6 Efectos del lazo de balance por perturbación en la referencia de corriente en la corriente de salida.

Es posible observar que durante la acción de corrección existe un transitorio en la corriente inyectada a la red que se desvanece con el tiempo tomando aproximadamente 18 ciclos.

Asimismo, se muestran los efectos de la corrección en el voltaje de salida. En este caso, la forma de onda no presenta un transitorio que afecte la amplitud establecida por V_{DC} . Sin embargo, se observa un desbalance en los niveles de voltaje $V_{DC}/2$, el

cual impacta la amplitud de la señal. Este desbalance, aunque evidente, permanece dentro de los límites fijados en $\pm V_{DC}$. Dichos efectos pueden apreciarse en la Figura 6.7.

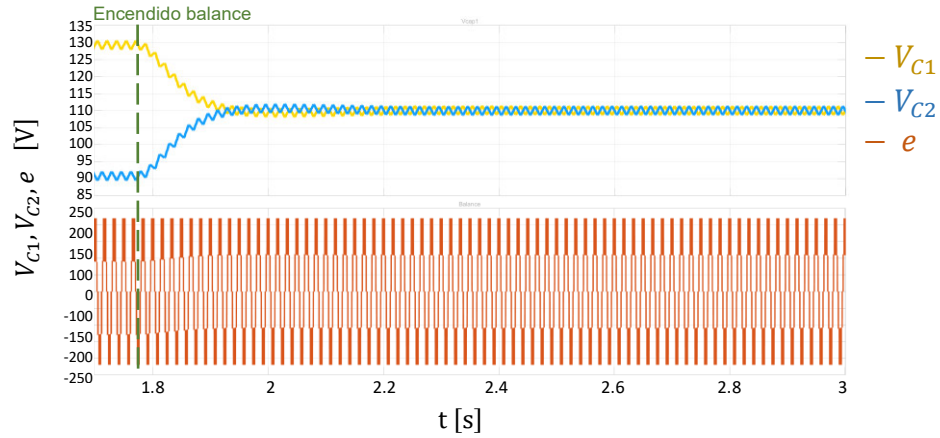


FIGURA 6.7 Efectos del lazo de balance por perturbación en la referencia de corriente en el voltaje de salida del inversor.

6.2 Perturbación de la señal de control

6.2.1 Lazo de corriente

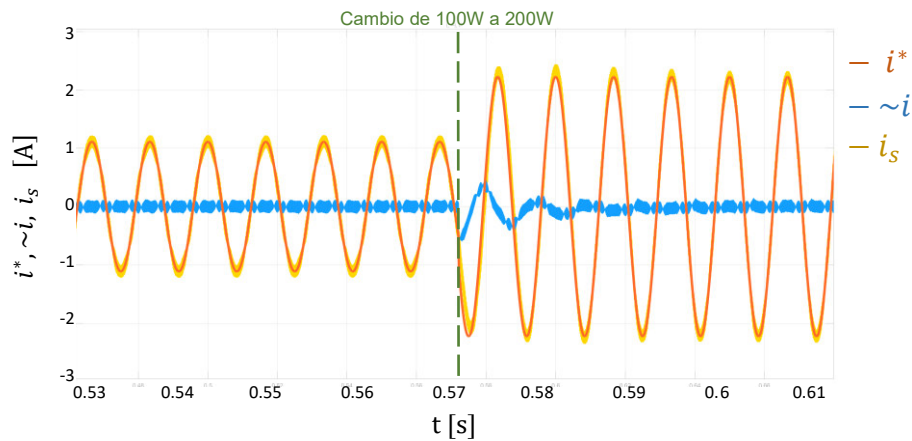


FIGURA 6.8 Aumento de potencia de 100W a 200W donde i_s es la corriente inyectada a la red, i^* es la referencia de corriente y $\sim i$ es el error.

La aplicación del lazo de corriente es el mismo que el de perturbación en la referencia de corriente, sin embargo y como se muestra en la Figura 3.2, se añade una perturbación en la señal de control como su nombre lo indica. Es así que la

Figura 6.9 muestra el aumento de potencia de 100 W a 200 W, con gráficas de corriente inyectada a la red i_s , la referencia de corriente i^* y el error entre ambas $\sim i$. Esto permite evaluar la capacidad del sistema para manejar incrementos de carga sin afectar la estabilidad.

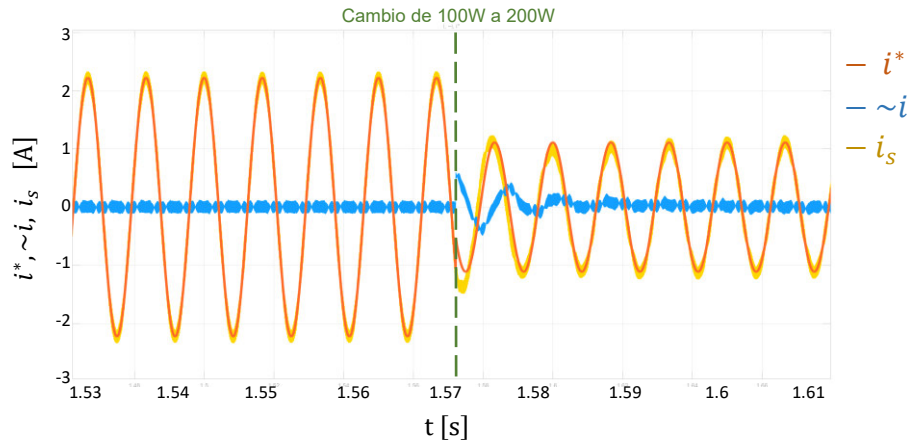


FIGURA 6.9 Disminución de potencia de 200W a 100W donde i_s es la corriente inyectada a la red, i^* es la referencia de corriente y $\sim i$ es el error.

Similar a la Figura 6.8, pero para una disminución de potencia de 200 W a 100 W. Se analiza cómo el sistema responde al cambio de referencia, destacando la eficiencia del controlador para estabilizar rápidamente las señales, lo que se muestra en la Figura 6.9.

6.2.2 Lazo de balance

En la Figura 6.10 se puede observar la acción del control de balance por perturbación de la señal de control posterior a un estado de desbalance donde el voltaje en el capacitor superior se muestra como V_{C1} mientras que V_{C2} es el voltaje del capacitor inferior, de igual manera se muestra la corriente inyectada a la red i_s .

La Figura 6.11 muestra el comportamiento del voltaje de salida del inversor e bajo el efecto del lazo de balance con perturbación en la señal de control. A pesar de la perturbación, la amplitud del voltaje no presenta variaciones significativas.

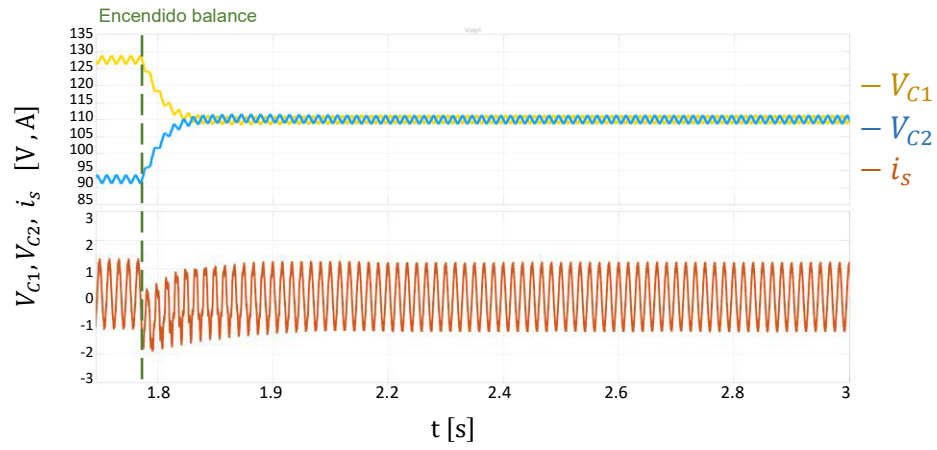


FIGURA 6.10 Efectos del lazo de balance por perturbación en la señal de control en la corriente de salida.

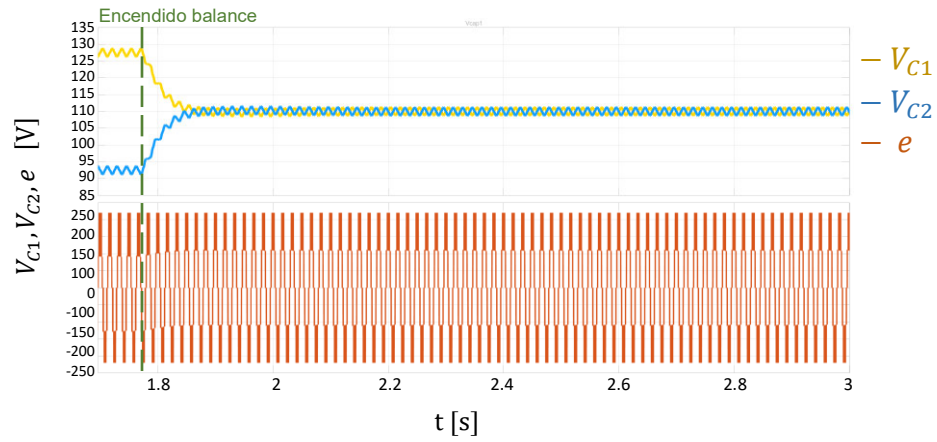


FIGURA 6.11 Efectos del lazo de balance por perturbación en la señal de control en el voltaje de salida del inversor.

Capítulo 7. Resultados experimentales

Para la captura de resultados y considerando el esquema de Figura 5.10, se muestran en la Tabla 7.1 los parámetros bajo los cuales se configuro el prototipo y se realizaron las pruebas experimentales.

TABLA 7.1. Parámetros de la implementación física.

Parámetros del inversor	Valor
C_1	$330\mu F$
C_2	$330\mu F$
C_3	$330\mu F$
C_4	$330\mu F$
C_{F1}	$0.47\mu F$
C_{F2}	$0.47\mu F$
V_{C1}	$110V$
V_{C2}	$110V$
L_1	$4mH$
L_2	$4mH$
V_{PV}	$220V$
V_S	$127 V_{RMS}$
R_1	50Ω
f_s	$60 Hz$
f_{sw}	$16020 Hz$

7.1 Perturbación en la referencia de corriente

7.1.1 Lazo de corriente

En la Figura 7.1 muestra las formas de onda del voltaje de la red v_s , el voltaje de salida del inversor e y la corriente inyectada i_s en condiciones de operación a 100W. Las señales sinusoidales y sincronizadas indican una correcta operación del inversor, asegurando que la energía generada se transfiere eficientemente a la red eléctrica. La sincronización precisa es esencial para mantener la estabilidad y calidad de la energía suministrada.

Por otro lado, en la Figura 7.2, se realizó un incremento de potencia de 100W a 200W. Las formas de onda del voltaje y la corriente inyectada muestran transitorios mínimos, lo que evidencia la eficacia del controlador para adaptarse rápidamente a cambios en la demanda de potencia. Una respuesta dinámica eficiente es crucial para aplicaciones donde la carga varía constantemente, garantizando una operación estable y confiable.

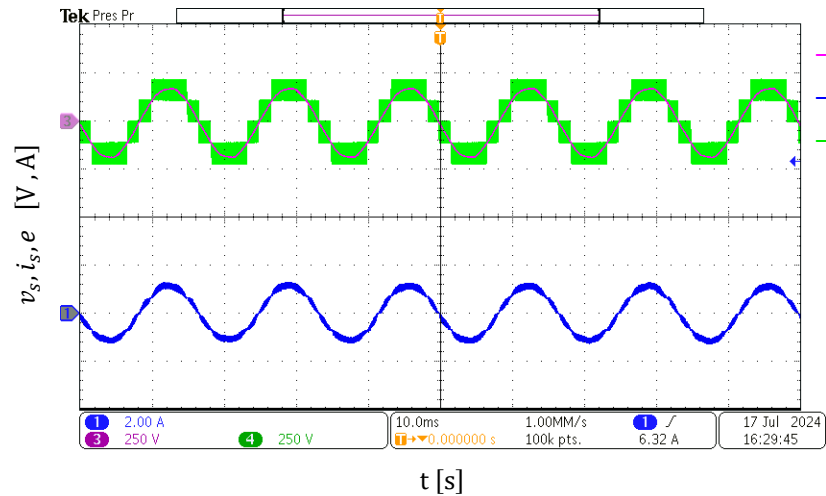


FIGURA 7.1 Señales del lado de la red en estado estacionario a 100W. Voltaje de red v_s , voltaje a la salida del inversor e y corriente inyectada a la red i_s .

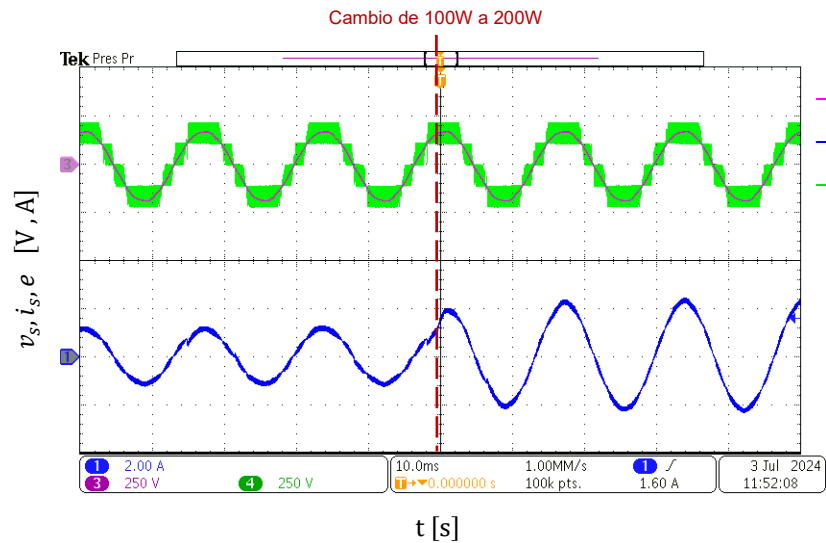


FIGURA 7.2 Aumento de potencia de 100W a 200W. Voltaje de red v_s , voltaje de salida e y corriente inyectada a la red i_s .

En la Figura 7.3 se ilustra la respuesta del sistema ante una reducción de potencia de 200W a 100W. Las señales de voltaje y corriente inyectada se ajustan sin presentar oscilaciones significativas, demostrando la capacidad del controlador para manejar decrementos de carga de manera eficiente. La habilidad para gestionar reducciones de potencia sin comprometer la estabilidad del sistema es fundamental para mantener la calidad de la energía suministrada.

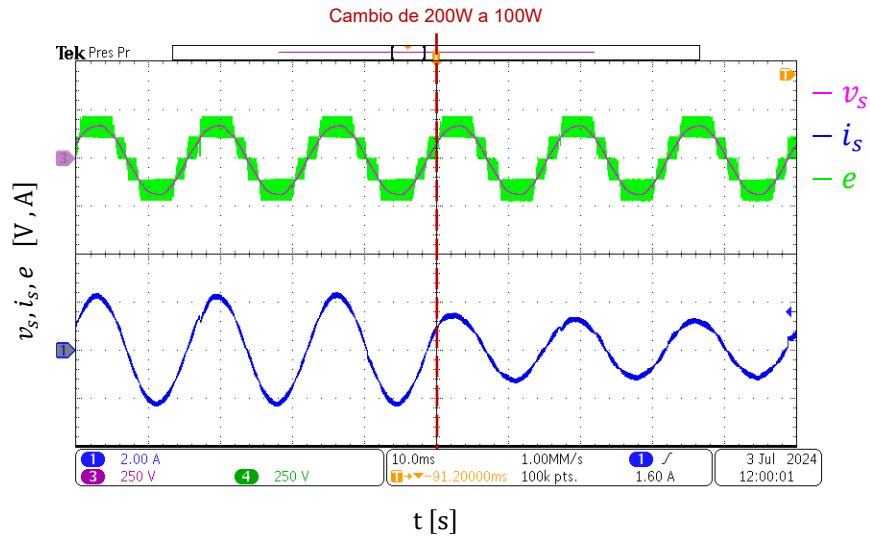


FIGURA 7.3 Disminución de potencia de 200W a 100W. Voltaje de red v_s , voltaje de salida e y corriente inyectada a la red i_s .

En la Figura 7.4 se presentan las formas de onda del voltaje de la red v_s , el voltaje de salida del inversor e y la corriente inyectada i_s operando a 200 W. La coherencia y pureza de las señales reflejan la efectividad del sistema de control en mantener una inyección de corriente de alta calidad, minimizando distorsiones armónicas y asegurando una integración óptima con la red eléctrica.

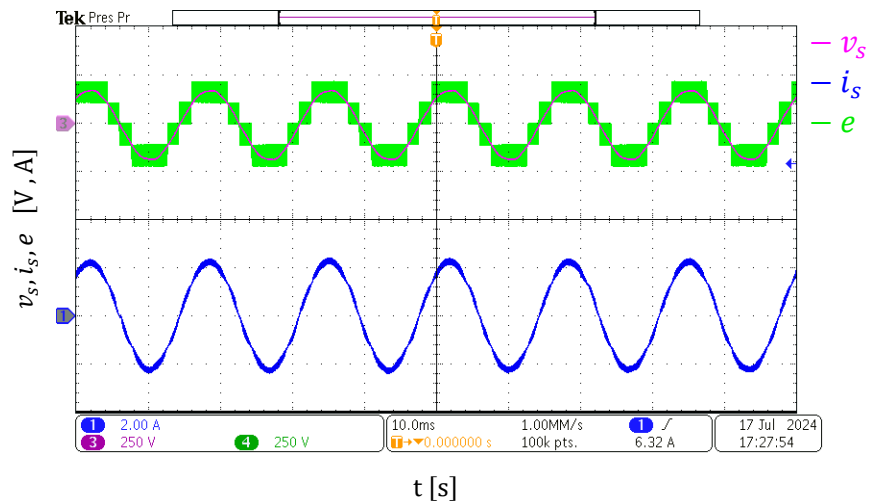


FIGURA 7.4 Señales del lado de la red en estado estacionario a 200W. Voltaje de red v_s , voltaje a la salida del inversor e y corriente inyectada a la red i_s .

En la Figura 7.5 se muestra el incremento del rizado en el voltaje de los capacitores del enlace de corriente directa (DC-link) al aumentar la corriente inyectada. Un

diseño adecuado del DC-link es vital para minimizar este rizado, ya que fluctuaciones excesivas pueden afectar la eficiencia y longevidad del inversor. La selección apropiada de los componentes del DC-link contribuye a una operación más estable y eficiente del sistema.

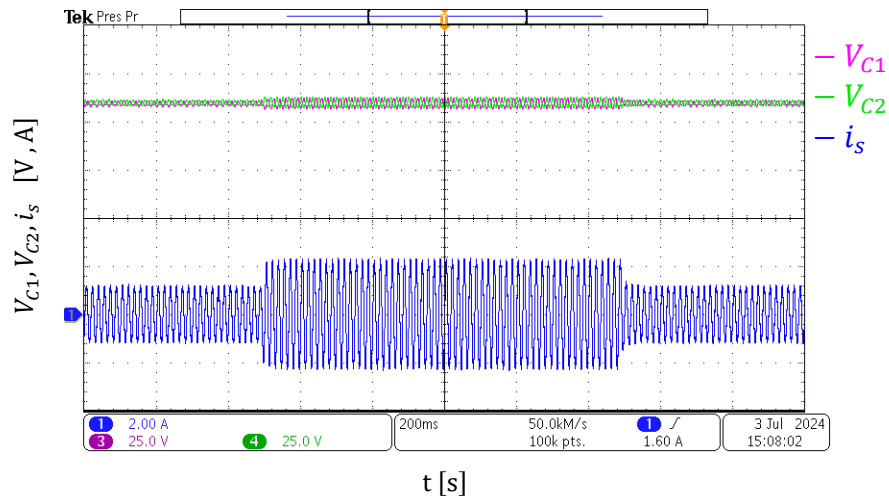


FIGURA 7.5 Rizado en el voltaje de los capacitores V_{C1} y V_{C2} cuando se aumenta la amplitud de la corriente en la red i_s suministrada.

7.1.2 Lazo de balance

En la Figura 7.6 se observa un transitorio en el voltaje de los capacitores V_{C1} y V_{C2} así como la corriente inyectada a la red i_s , durante la acción correctiva. El controlador logra corregir un desbalance inicial de aproximadamente 40V, estabilizando las tensiones en ambos capacitores del DC-link. La capacidad de corregir desbalances de manera rápida es esencial para mantener la estabilidad del sistema y prevenir posibles daños a los componentes.

En la Figura 7.7 se muestran los voltajes de los capacitores V_{C1} y V_{C2} durante el transitorio asociado al balance de los capacitores. A pesar de las variaciones iniciales en los voltajes individuales, la amplitud del voltaje de salida del inversor e se mantiene estable. Esto evidencia que el controlador de balance es altamente efectivo para mitigar los efectos de los transitorios, garantizando una calidad constante en la energía suministrada y evitando perturbaciones que puedan comprometer la operación del sistema.

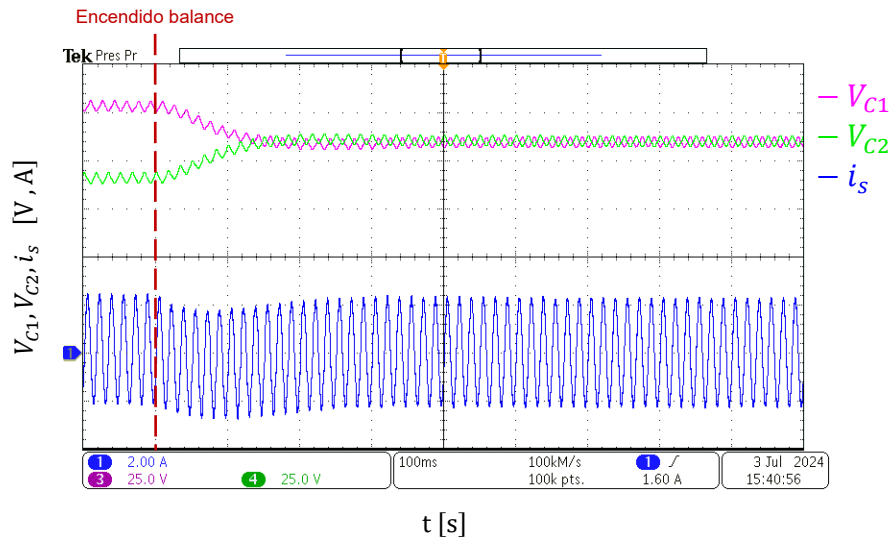


FIGURA 7.6 Transitorio durante la acción de balance con V_{C1} en color rosa, en verde V_{C2} e i_s en azul.

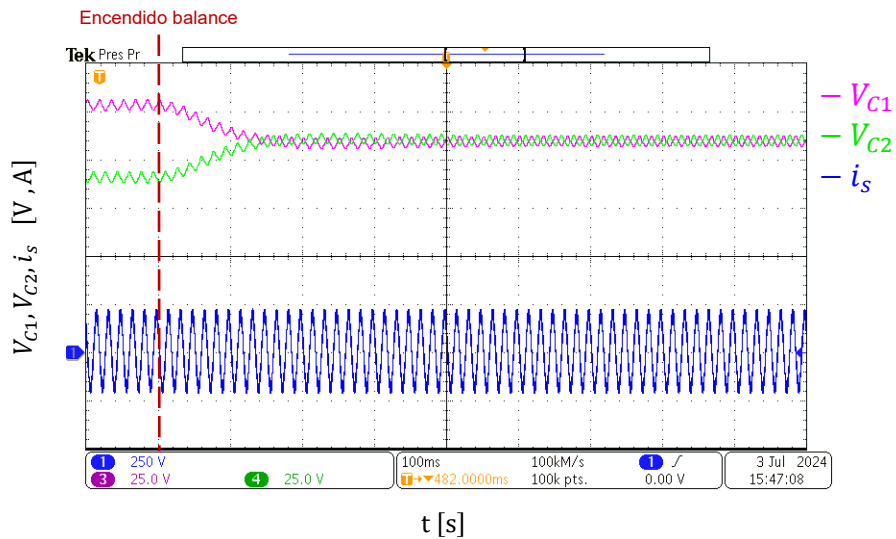


FIGURA 7.7 Transitorio durante la acción de balance con V_{C1} en color rosa, en verde V_{C2} e i_s en azul.

7.2 Perturbación de la señal de control

7.2.1 Lazo de corriente

Al igual que con estrategia de control anterior, se realizaron pruebas en el lazo de corriente ya que, si bien la construcción de la referencia es la misma, este presenta modificaciones en la señal de control.

En la Figura 7.8 se presentan las formas de onda del voltaje de la red v_s , el voltaje de salida del inversor e y la corriente inyectada i_s operando a 100W. La consistencia de las señales reafirma la capacidad del sistema para mantener una operación estable y eficiente incluso a bajas potencias, lo cual es importante para aplicaciones residenciales y comerciales de pequeña escala.

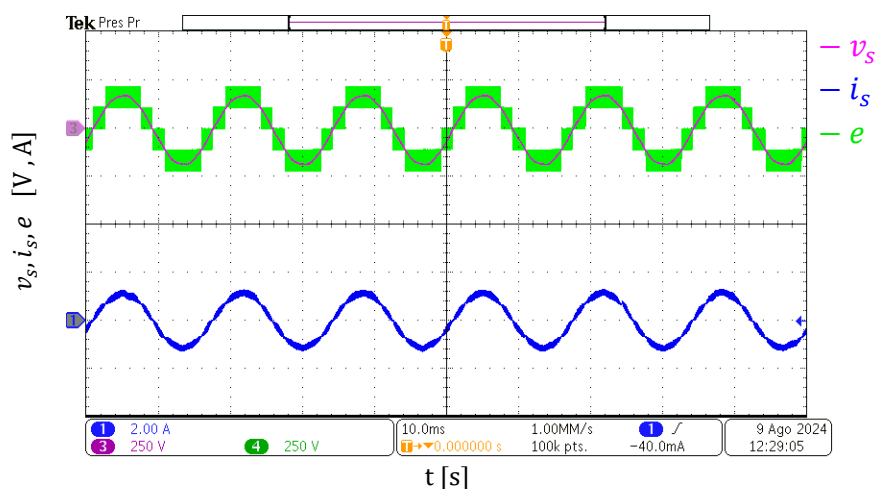


FIGURA 7.8 Señales del lado de la red en estado estacionario a 100W. Voltaje de red v_s , voltaje a la salida del inversor e y corriente inyectada a la red i_s .

En el caso de la Figura 7.9 ilustra la respuesta del sistema ante un incremento de potencia de 100W a 200W. La rápida adaptación de las señales de corriente y voltaje demuestra la eficacia del controlador en manejar incrementos de carga, manteniendo la estabilidad y calidad de la energía inyectada a la red.

En la Figura 7.10 muestra la respuesta del sistema ante una reducción de potencia de 200W a 100W. La transición suave de las señales indica que el controlador gestiona eficientemente los decrementos de carga, evitando perturbaciones que puedan afectar la calidad de la energía suministrada.

Es así que en la Figura 7.11 se presentan las formas de onda del voltaje de la red v_s , el voltaje de salida del inversor e y la corriente inyectada i_s operando a 200W. La estabilidad y pureza de las señales reflejan la efectividad del sistema de control en mantener una inyección de corriente de alta calidad, esencial para cumplir con los estándares de interconexión a la red eléctrica.

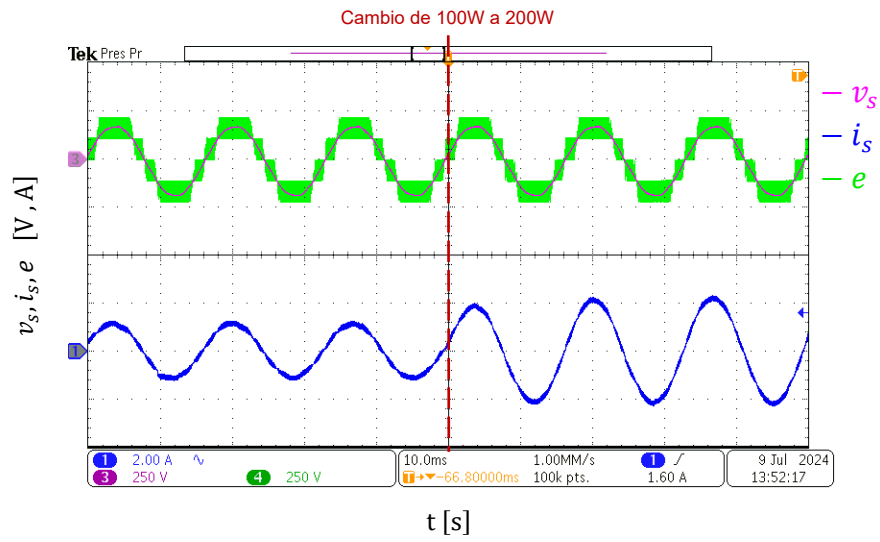


FIGURA 7.9 Aumento de potencia de 100W a 200W. Voltaje de red v_s , voltaje de salida e y corriente inyectada a la red i_s .

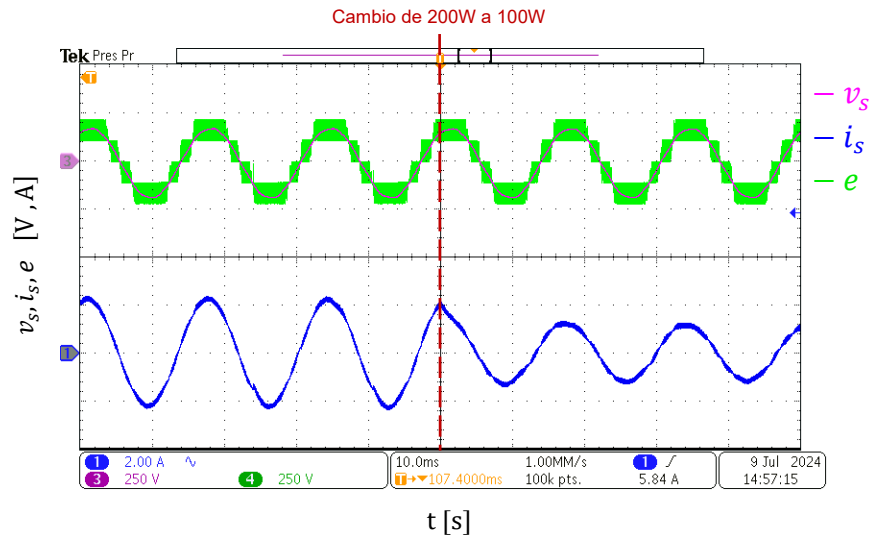


FIGURA 7.10 Disminución de potencia de 200W a 100W. Voltaje de red v_s , voltaje de salida e y corriente inyectada a la red i_s .

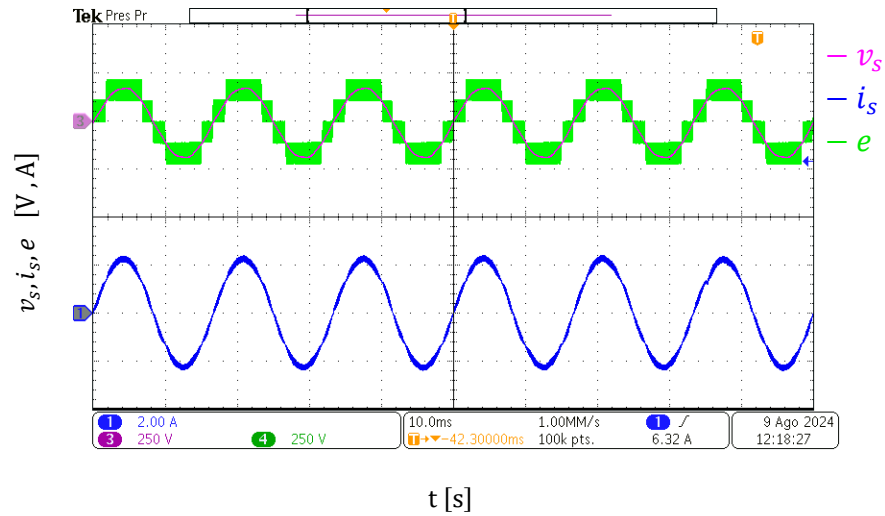


FIGURA 7.11 Señales del lado de la red en estado estacionario a 200W. Voltaje de red v_s , voltaje a la salida del inversor e y corriente inyectada a la red i_s .

7.2.2 Lazo de balance

En la Figura 7.12 se muestran las señales del voltaje de los capacitores V_{C1} y V_{C2} así como la corriente inyectada a la red i_s , el desbalance es de -40V aproximadamente y el control realiza la corrección lo que causa un transitorio en la amplitud de la corriente que se desvanece después de 4 ciclos.

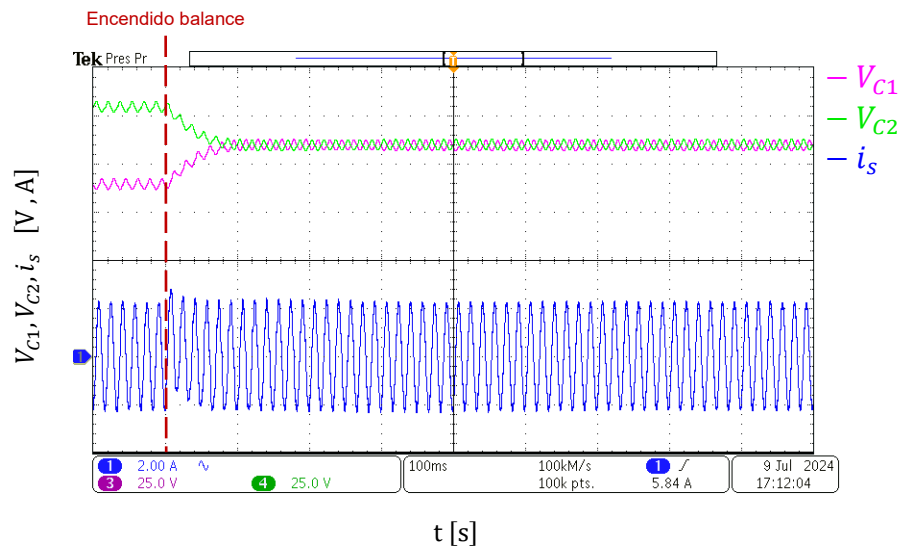


FIGURA 7.12 Transitorio durante la acción de balance con V_{C1} en color rosa, en verde V_{C2} e i_s en azul.

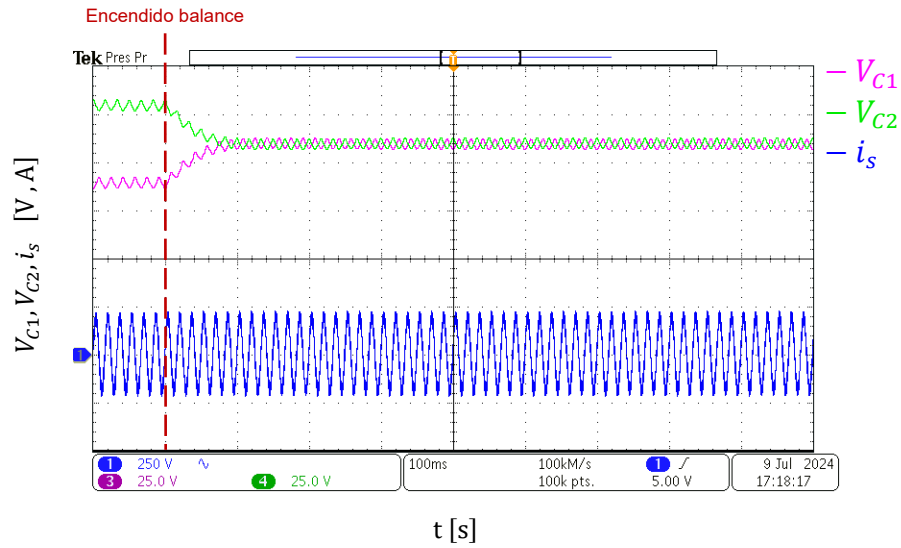


FIGURA 7.13 Transitorio durante el balance con V_{C1} en color rosa, en verde V_{C2} e i_s en azul.

En la Figura 7.13 se vuelve a mostrar la acción del control de balance, pero considerando el voltaje en la salida del inversor, y donde se puede observar que la amplitud no presenta alteraciones transitorias.

Además de las pruebas anteriores se elevó la potencia del sistema a 600W. Las formas de onda obtenidas en estado estacionario se muestran en la Figura 7.14.

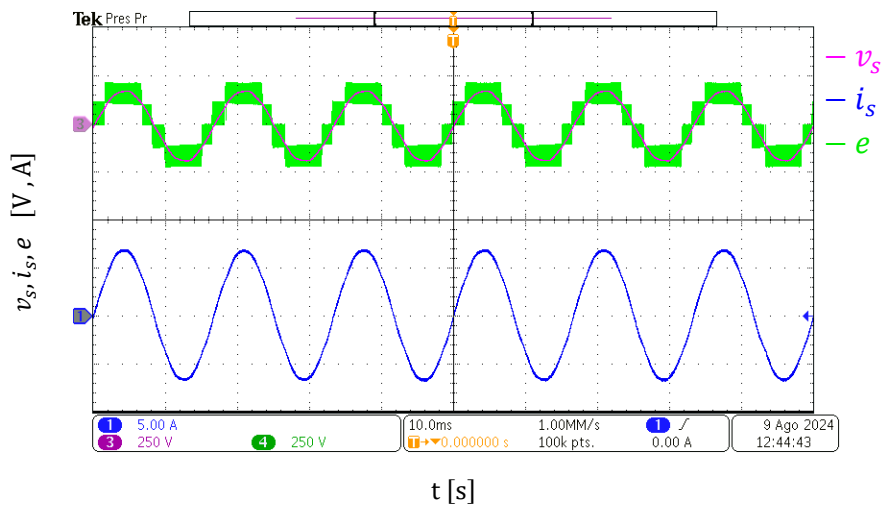


FIGURA 7.14 Señales del lado de la red en estado estacionario a 600W. Voltaje de red v_s , voltaje a la salida del inversor e y corriente inyectada a la red i_s .

El aumento en los niveles de potencia del inversor ha revelado inestabilidades en el sistema, atribuibles a posibles errores numéricos en los algoritmos de control implementados en el DSP TMS320F28335. Este dispositivo, con una frecuencia de reloj de 150 MHz y capacidades limitadas de procesamiento en tiempo real, puede enfrentar dificultades al ejecutar cálculos complejos como los del lazo de balance de capacitores y la compensación de armónicos, especialmente cuando la frecuencia de muestreo no es lo suficientemente alta para captar dinámicas rápidas del sistema.

Por lo tanto, se recomienda optimizar los algoritmos de control para minimizar el error numérico y ajustar la frecuencia de muestreo para garantizar un seguimiento más preciso de las señales de referencia, especialmente en condiciones de alta potencia. Esto también puede incluir mejoras en el diseño del hardware, como reducir las inductancias parásitas y estabilizar el DC-link, para aliviar la carga computacional del DSP y garantizar una respuesta estable del sistema.

Capítulo 8. Conclusiones y trabajo futuro

En este proyecto se realizó la experimentación física de dos algoritmos para la apropiada inyección de potencia activa a la red a través de un inversor tipo T asimétrico de 5 niveles “Asym-T-5L”. Dichos algoritmos resultaron en estrategias de control que además debieron ser resistentes ante contenido armónico en la red.

El proceso de llevar a físico el sistema llevo varias etapas la cual una de las más importantes fue experimentación numérica mediante simulación en el software Simulink, diseño del circuito impreso que sería el inversor bajo normas y consideraciones existentes en la industria.

En el caso del lazo de corriente este siguió la forma de onda de referencia establecida tanto en frecuencia, fase, así como en los diferentes niveles de potencia demandados. Además, como se puede observar en algunas imágenes donde se despliega el voltaje en la red v_s , esta cuenta con distorsión armónica de baja frecuencia, sin embargo, dicha distorsión no se mantiene a través del control lo que significa que la estrategia cuenta con resistencia a la presencia de armónicos.

Por el lado de los controles de balance se mostraron dos estrategias diferentes que fueron la perturbación en la referencia de corriente y perturbación en la señal de control, comparativamente el que mostró un mejor desempeño fue la perturbación en la señal de control ya que logro el balance en una menor cantidad de ciclos con alrededor de 4 ciclos, además de que sus efectos en la corriente fueron menores tanto en duración como en amplitud.

La perturbación en la referencia de corriente también logro el balance sin embargo le tomó más tiempo llegar a un estado estacionario con 18 ciclos, aunado a que esto conlleva a que sus efectos en la corriente de la red también fueran más significativos. En este algoritmo al tratarse únicamente de un LPF que cuenta con una ganancia puede considerarse como un control Proporcional que estará limitado en cuanto tiempo este podrá lograr el estado estacionario dependiendo de la magnitud de la ganancia.

Los resultados obtenidos apuntan a que el mejor control para propósitos de balance de capacitores entre estos dos algoritmos es el que implemente una acción integral mejora la respuesta tanto en el transitorio como en el estado estacionario.

8.1 Referencias

- [1] “Solar energy: renewable energy and the environment”, *Choice Rev. Online*, vol. 47, n.º 10, pp. 47–5672–47–5672, junio de 2010. Accedido el 18 de junio de 2024. [En línea]. Disponible: <https://doi.org/10.5860/choice.47-5672>
- [2] Ali, W., Farooq, H., Rehman, A. U., Awais, Q., Jamil, M., and Noman, A. Design considerations of stand-alone solar photovoltaic systems. In 2018 International Conference on Computing, Electronic and Electrical Engineering (ICE Cube) (2018), pp. 1–6.
- [3] E. Kabir, P. Kumar, S. Kumar, A. A. Adelodun y K.-H. Kim, “Solar energy: Potential and future prospects”, *Renewable Sustain. Energy Rev.*, vol. 82, pp. 894–900, febrero de 2018. Accedido el 8 de junio de 2024. [En línea]. Disponible: <https://doi.org/10.1016/j.rser.2017.09.094>.
- [4] H. Xiao, X. Wang, *Transformerless Photovoltaic Grid-Connected Inverters*. Primera Edición. Singapur: Springer, 2021.
- [5] R. Venkateswari y S. Sreejith, “Factors influencing the efficiency of photovoltaic system”, *Renewable Sustain. Energy Rev.*, vol. 101, pp. 376–394, marzo de 2019. Accedido el 8 de junio de 2024. [En línea]. Disponible: <https://doi.org/10.1016/j.rser.2018.11.012>.
- [6] X. Hu, Y. Zhang, X. Liu, Z. Yu, T. He y L. Mao, “A Non-Isolated Step-up DC-AC Converter With Reduced Leakage Current for Grid-Connected Photovoltaic Systems”, *IEEE Access*, vol. 8, pp. 71907–71916, 2020. Accedido el 8 de junio de 2024. [En línea]. Disponible: <https://doi.org/10.1109/access.2020.2986605>.
- [7] B. Fachhochschule and H. Technik, “Evolution of Inverters for Grid connected PV-Systems from 1989 to 2000”, in 17h European Photovoltaic Solar Energy Conference, Munich. Alemania, 2001, pp. 1-3.
- [8] Khan, N., Forouzesh, M., Siwakoti, Y., Li, L., Kerekes, T., y Blaabjerg, F., “Transformerless Inverter Topologies for Single-Phase Photovoltaic Systems: A Comparative Review”, *IEEE Journal of Emerging and Selected Topics in Power Electronics*, (vol. 8) (pp. 805-835), febrero 2021.
- [9] Escobar, G., Martinez-Rodriguez, P. R., Pool, E. I., Peña-Quintal, A. E., Vazquez, G., and Sosa, J. M. A model-based controller of a three-level stackedcell grid connected converter. In IECON 2015 - 41st Annual Conference of the IEEE Industrial Electronics Society (2015), pp. 001598–001603.
- [10] Ballester, E., and Piqué, R. *Electrónica de potencia: principios fundamentales y estructuras básicas*, vol. 3. Marcombo, 2011.
- [11] Y. Ko, A. Tcai y M. Liserre, “DC-Link Voltage Balancing Modulation for Cascaded H-Bridge Converters”, *IEEE Access*, vol. 9, pp. 103524–103532, 2021. Accedido el 18 de junio de 2024. [En línea]. Disponible: <https://doi.org/10.1109/access.2021.3098896>.

- [12] KIKUCHI, N., SHIGEEDA, S., WATANABE, H., OHNISHI, T., AND HARASHIMA, F. Single phase amplitude modulation inverter for utility interaction photovoltaic system. In IECON'99. Conference Proceedings. 25th Annual Conference of the IEEE Industrial Electronics Society (Cat. No.99CH37029) (1999), vol. 1, pp. 385–389 vol.1.
- [13] F. Deng y Z. Chen, “Voltage-Balancing Method for Modular Multilevel Converters Under Phase-Shifted Carrier-Based Pulsewidth Modulation”, IEEE Trans. Ind. Electron., vol. 62, n.º 7, pp. 4158–4169, julio de 2015. Accedido el 16 de septiembre de 2024. [En línea]. Disponible: <https://doi.org/10.1109/tie.2014.2388195>.
- [14] WU, T.-F., NIEN, H.-S., SHEN, C.-L., AND CHEN, T.-M. A single-phase inverter system for pv power injection and active power filtering with nonlinear inductor consideration. IEEE Transactions on Industry Applications 41, 4 (2005), 1075–1083.
- [15] X. Li, H. Wen, Y. Hu, Y. Du y Y. Yang, “A Comparative Study on Photovoltaic MPPT Algorithms Under EN50530 Dynamic Test Procedure”, IEEE Trans. Power Electron., vol. 36, n.º 4, pp. 4153–4168, abril de 2021. Accedido el 16 de septiembre de 2024. [En línea]. Disponible: <https://doi.org/10.1109/tpel.2020.3024211>.
- [16] RAHIM, N., SELVARAJ, J., AND KRISMADINATA, C. Five level inverter with dual reference modulation technique for grid-connected pv system. Renewable Energy 35, 3 (March 2009), 712–720.
- [17] VERDUGO, C., KOURO, S., ROJAS, C., AND MEYNARD, T. Comparison of single-phase t-type multilevel converters for grid-connected pv systems. In 2015 IEEE Energy Conversion Congress and Exposition (ECCE) (2015), pp. 3319–3325.
- [18] VERDUGO, C., KOURO, S., ROJAS, C. A., PEREZ, M. A., MEYNARD, T., AND MALINOWSKI, M. Five-level t-type cascade converter for rooftop grid-connected photovoltaic systems. Energies 12, 9 (2019), 1743.
- [19] A. Nicastrì and A. Nagliero, “Comparison and evaluation of the PLL techniques for the design of the grid-connected inverter systems”, 2010 IEEE International Symposium on Industrial Electronics. 2010 IEEE International Symposium on Industrial Electronics, pp. 3865–3870, Jul. 04, 2010. [Online]. Available: <https://doi.org/10.1109/ISIE.2010.5637778>.
- [20] H. S. Kamil, D. M. Said, M. Mustafa, M. Miveh, and N. Ahmad, “Recent advances in phase-locked loop-based synchronization methods for inverter-based renewable energy sources”, Indonesian Journal of Electrical Engineering and Computer Science, vol. 18. pp. 1–8, Apr. 01, 2020. [Online]. Available: <https://doi.org/10.11591/ijeecs.v18.i1.pp1-8>.
- [21] S. Silwal and M. Karimi-Ghartemani, “On the design of proportional resonant controllers for single-phase grid-connected inverters”, 2016 12th IEEE International Conference on Control and Automation (ICCA). pp.

- 797–803, Jun. 01, 2016. [Online]. Available: <https://doi.org/10.1109/ICCA.2016.7505376>.
- [22] M. Castilla, "Linear Current Control Scheme With Series Resonant Harmonic Compensator for Single-Phase Grid-Connected Photovoltaic Inverters", *IEEE Trans. Ind. Electron.*, vol. 55, n.º 7, pp. 2724–2733, julio de 2008. Accedido el 16 de septiembre de 2024. [En línea]. Disponible: <https://doi.org/10.1109/tie.2008.920585>.
- [23] G. Escobar, Gerardo Vázquez Guzmán, E. I. Pool-Mazun, P. R. Martinez-Rodriguez, M. J. López-Sánchez, and J. M. Sosa, "A Single-Phase Asymmetrical T-Type Five-Level Transformerless PV Inverter," *IEEE Journal of Emerging and Selected Topics in Power Electronics*, vol. 6, no. 1, pp. 140–150, Mar. 2018, doi: <https://doi.org/10.1109/jestpe.2017.2726989>.
- [24] Murata Power Solutions, "IGBT/MOSFET/SiC/GaN gate drive DC-DC converters," GDAN_01, 2018. [Online]. Disponible: <https://www.murata.com/-/media/webrenewal/products/power/appnote/gdan-01.ashx?la=en-us&cvid=20201014090811000000>.
- [25] Murata Power Solutions, "MGJ2 Series, 5.2kVDC Isolated 2W Gate Drive DC-DC Converters," KDC_MGJ2_F03, 2017. [Online]. Disponible: https://www.tti-europe.com/content/dam/tti-europe/manufacturers/murata/resources/MGJ2_datasheet1.pdf.
- [26] Avago Technologies, "HCPL-3120/J312, HCNW3120, 2.5 Amp Output Current IGBT Gate Drive Optocoupler," AV02-0161EN, marzo 21, 2016. [Online]. Disponible: https://www.mouser.com/datasheet/2/678/V02-0161EN_DS_HCPL-3120_2016-03-21-908803.pdf?srsId=AfmBOornt7QMI3DeN7mJy6pSMZfw4haBvV2hAFXAXZoWmhrv96s-Ghby.
- [27] Infineon, "Gate drive for power MOSFETs in switching applications," AN_2203_PL18_2204_004502, abril 2022, 2016. [Online]. Disponible: https://www.infineon.com/dgdl/Infineon-Gate_drive_for_power_MOSFETs_in_switchtin_applications-ApplicationNotes-v01_00-EN.pdf?fileId=8ac78c8c80027ecd0180467c871b3622.
- [28] CREE, "CREE Silicon Carbide MOSFET Evaluation Kit," KIT8020CRD8FF1217P-1, septiembre 21, 2014. [Online]. Disponible: https://media.digikey.com/pdf/data%20sheets/cree%20power/kit8020crd8ff1217p-1_um.pdf.
- [29] Philip, M., & Todd, C. C. *Snubber Circuits: Theory, Design and Application*. <https://www.semanticscholar.org/paper/fe552ead65a4b3a2e02ea006fd8e9b898b37d10a>.

- [30] ROHM Semiconductor, " Snubber circuit design methods," No. 62AN037E Rev.002, abril 2020. [Online]. Disponible: https://fscdn.rohm.com/en/products/databook/applinote/discrete/sic/mosfet/sic-mos_snubber_circuit_design_an-e.pdf
- [31] Sepúlveda, D. G., Valderrama, G. E., Guzmán, G. V. Algoritmos de control con compensación de armónicos y balance de capacitores en el DC-Link para un inversor asimétrico tipo T de cinco niveles. Tesis. Tecnológico de Monterrey, Monterrey, NL. 2021.
- [32] UMES - Universidad de Murcia. "Procesadores digitales de señal (DSP)." Documento de referencia, Universidad de Murcia, página 15, 18. Disponible en: <https://www.um.es/documents/4874468/19345367/sseedat04-01.pdf/20ed49bb-90d7-4d1b-a5d5-bc5cad34fef>.
- [33] McGraw-Hill Education. "Introducción a los DSP. Conceptos básicos 1." McGraw-Hill Education, página 7, 10. Disponible en: <https://www.mheducation.es/bcv/guide/capitulo/8448198344.pdf>.
- [34] E. I. Pool Mazún, "Diseño y construcción de inversor multinivel sin transformador con topología 3L-SC," Tesis de Ingeniería en Mecatrónica, Facultad de Ingeniería, Universidad Autónoma de Yucatán, Mérida, México, 2016.