



EDUCACIÓN

SECRETARÍA DE EDUCACIÓN PÚBLICA



TECNOLÓGICO
NACIONAL DE MÉXICO

Tecnológico Nacional de México

Centro Nacional de Investigación
y Desarrollo Tecnológico

Tesis de Maestría

Análisis Comparativo de las Estrategias de Control OCC y VCCR para
la CFP Empleando un Convertidor Sepic

presentada por

Ing. Rafael Trujillo Morales

como requisito para la obtención del grado de
Maestro en Ciencias en Ingeniería Electrónica

Director de tesis

Dr. Jaime Eugenio Arau Roffiel

Codirector de tesis

Dr. Javier Sebastián Zúñiga

Cuernavaca, Morelos, México. Junio de 2021.



Cuernavaca, Mor., **17/marzo/2021**
No. de Oficio: **DIE/086/2021**
Asunto: **Aceptación de documentos de tesis**

DR. CARLOS MANUEL ASTORGA ZARAGOZA
SUBDIRECTOR ACADÉMICO
PRESENTE

Por este conducto, los integrantes de Comité Tutorial del **C. Ing. Rafael Trujillo Morales**, con número de control **M19CE025** de la Maestría en Ciencias en Ingeniería Electrónica, le informamos que hemos revisado el trabajo de tesis profesional titulado **“Análisis comparativo entre las Estrategias OCC y VCCR para la CFP Empleando un Convertidor Sepic”** y hemos encontrado que se han realizado todas las correcciones y observaciones que se le indicaron, por lo que hemos acordado aceptar el documento de tesis y le solicitamos la autorización de impresión definitiva.

DIRECTOR DE TESIS

Dr. Jaime Eugenio Arau Roffiel
Doctor en Ciencia en Ingeniería Electrónica
Cédula profesional 9884229

CODIRECTOR DE TESIS

SEBASTIAN ZUÑIGA
JAVIER - 02702608Q

Firmado digitalmente por
SEBASTIAN ZUÑIGA JAVIER -
02702608Q
Fecha: 2021.04.27 19:19:54 +02'00'

Dr. Javier Sebastián Zúñiga
Doctor en Ingeniería Industrial

REVISOR 1

Dr. Luis Gerardo Vela Valdés
Doctor en Ciencias en Ingeniería Electrónica
Cédula profesional 7980044

REVISOR 2

Dr. Abraham Claudio Sánchez
Doctor en Ciencias en Ingeniería Electrónica
Cédula profesional 7675050

C.p. M.E. Guadalupe Garrido Rivera- Jefa del Departamento de Servicios Escolares
Estudiante
Expediente

HRR/lrr.



EDUCACIÓN

SECRETARÍA DE EDUCACIÓN PÚBLICA



TECNOLÓGICO
NACIONAL DE MÉXICO

Centro Nacional de Investigación y Desarrollo Tecnológico
Subdirección Académica

Cuernavaca, Mor.,

25/mayo/2021

No. de Oficio:

SAC/67/2021

Asunto:

Autorización de
impresión de tesis

RAFAEL TRUJILLO MORALES
CANDIDATO AL GRADO DE MAESTRO EN CIENCIAS
EN INGENIERÍA ELECTRÓNICA
P R E S E N T E

Por este conducto tengo el agrado de comunicarle que el Comité Tutorial asignado a su trabajo de tesis titulado "Análisis comparativo entre las Estrategias OCC y VCCR para la CFP Empleando un Convertidor Sepic", ha informado a esta Subdirección Académica, que están de acuerdo con el trabajo presentado. Por lo anterior, se le autoriza a que proceda con la impresión definitiva de su trabajo de tesis.

Esperando que el logro del mismo sea acorde con sus aspiraciones profesionales, reciba un cordial saludo.

A T E N T A M E N T E

"Excelencia en Educación Tecnológica"
"Educación Tecnológica al Servicio de México"

DR. CARLOS MANUEL ASTORGA ZARAGOZA
SUBDIRECTOR ACADÉMICO



**CENTRO NACIONAL
DE INVESTIGACIÓN
Y DESARROLLO
TECNOLÓGICO
SUBDIRECCIÓN
ACADÉMICA**

C.c.p. M.E. Guadalupe Garrido Rivera. Jefa del Departamento de Servicios Escolares
Expediente
CMAZ/CHG



Interior Internado Palmira S/N, Col. Palmira, C. P. 62490,
Cuernavaca, Morelos Tel. (01) 777 3 62 77 73, ext. 4104,

e-mail: acad_cenidet@tecnm.mx

www.tecnm.mx | www.cenidet.tecnm.mx



Dedicatoria

**A mi madre Irma Morales y a mi padre Rafael Trujillo por siempre
brindarme su apoyo incondicional y por su gran amor**

Muchas gracias

Agradecimientos

A Dios por permitirme estar gozando de mis padres y darme salud.

A mis padres por siempre estarme apoyando en las metas que me propongo, por siempre darme su amor y consejos para ser un hombre de bien.

Al director de mi tesis, el Dr. Jaime Eugenio Arau Roffiel por siempre estar al pendiente de este tema de investigación, por permitirme trabajar con él, por ser un excelente profesor y siempre compartir todos los conocimientos que tuvo a su alcance y por guiarme en la realización de esta tesis.

A mi codirector de tesis, el Dr. Javier Sebastián Zúñiga por compartirme sus conocimientos que ha logrado en su trayectoria como investigador.

A mis revisores el Dr. Abraham Claudio Sánchez y al Dr. Luis Gerardo Vela Valdés por todos los comentarios en cada presentación que me ayudaron a mejorar esta tesis.

A los profesores que me impartieron clases a los Dres. Mario Ponce, Carlos Aguilar, Jesús Aguayo, Hugo Calleja y Jesús Mina.

A la Lic. Lorena Ruiz por siempre estar al pendiente en cada uno de los tramites de cada alumno y su gran apoyo para poder titularme. Muchas gracias.

A mis compañeros de generación, Daniel Santos y Eduardo Miramón, gracias por hacer más a mena mi estancia en el CENIDET.

Al CONACyT (Consejo Nacional de Ciencia y Tecnología) por brindarme el apoyo económico que hizo posible mi estancia y realización de la maestría en el CENIDET.

Al TecNM (Tecnológico Nacional de México) por proporcionar las instalaciones y equipo necesario para la realización de las pruebas de laboratorio llevadas a cabo en este tema de tesis.

Al CENIDET (Centro Nacional de Investigación y Desarrollo Tecnológico), su personal, profesores y compañeros de estudio por facilitar las herramientas necesarias en la investigación de mi tema asignado.

Resumen

En la actualidad las cargas no lineales siguen proliferando, es decir, han surgido gran cantidad de equipos electrónicos nuevos los cuales se siguen conectan a la red eléctrica. Los equipos electrónicos funcionan con corriente directa, por lo que deben de tener una conversión de corriente alterna a corriente directa.

El esquema de conversión típico de una fuente de alimentación conmutada consiste en un puente rectificador, un capacitor electrónico y un convertidor CD/CD. Dicho esquema introduce gran cantidad de armónicos a la red y debido a esta problemática se han creado normas las cuales tratan de limitar el contenido armónico que se inyecta a la red.

La literatura técnica presenta alternativas para disminuir el contenido armónico que introduce una fuente de CA/CD típica, pudiendo solucionar el problema de forma activa para convertidores de media y alta potencia. Tradicionalmente en una Fuente de Alimentación Conmutada (SMPS) se utilizan dos etapas, estando una primera etapa destinada a realizar la Corrección del Factor de Potencia (CFP) y otra etapa que realiza la regulación del voltaje de salida, con la dinámica requerida por la aplicación.

En la presente tesis se realiza un análisis comparativo de dos estrategias simples para implementar la etapa de CFP, conocidas como “Control de Un Ciclo” (OCC, por sus siglas en inglés) y “Rampa de Compensación Controlada por Voltaje” (VCCR, por sus siglas en inglés), las cuales son alternativas que simplifican y reducen el número de componentes de la solución conocida como “Control por Multiplicador”. Este estudio comparativo no se encuentra disponible en la literatura y se enfoca en comparar las estrategias antes mencionadas en términos del Factor de Potencia, Distorsión Armónica Total (THD, por sus siglas en inglés), armónicos individuales, así como la necesidad de incrementar la tensión de salida de la etapa de CFP para alcanzar resultados deseables, utilizando un convertidor SEPIC de 250 W. Los resultados se presentan para tensión europea y tensión americana (específicamente 127 Vca rms que se maneja en México).

Los resultados obtenidos en este trabajo de investigación evidencian que la estrategia VCCR del tipo exponencial es la estrategia que presenta mejores prestaciones en términos de conseguir pasar la norma europea aplicable (IEC-61000-3-2), con la mayor simplicidad y sin requerir que la tensión de salida crezca demasiado, lo cual es un objetivo importante cuando se analizan los efectos de una tensión mayor de entrada para la segunda etapa de regulación de voltaje.

Abstract

Nowadays, a lot of new electronic equipment connected to the electrical grid, based on non-linear loads, has emerged. Electronic equipment works with direct current, so they must have a conversion from alternating to direct current.

The typical conversion scheme of a switched mode power supply consists of a rectifier bridge, an electrolytic capacitor and a DC/DC converter. This scheme introduces a lot of harmonics to the grid and due to this problem standards have been created which try to limit the harmonic content that is injected into the grid.

In the technical literature can be found several alternatives to reduce this problem of harmonic content previously addressed. These alternatives can be a continued solution to the problems related to medium and high-power converters. Traditionally, the Switch Mode Power Supply (SMPS) includes two stages, in the first stage the Power Factor Correction (PFC) is performed. The second stage the output voltage is adjusted according to the requirements of different applications.

In this study, a comparative analysis of two simple strategies to implement the PFC stage was carried out. The first strategy is One-Cycle Control method (OCC) and the second control strategy is Voltage-Controlled Compensation Ramp (VCCR). These strategies simplify and reduce the cost of the solution known as “Multiplier Control”. In the literature do not exist similar comparative study. We focus to compare the Power Factor (PF), Total Harmonic Distortion (THD), individual harmonics in OCC and VCCR strategies. The output voltage was incremented to obtain different results in terms of PF and THD in Sepic converter to 250 W. The results are presented for European and American tension (127 Vca of voltage used in Mexico).

The results obtained in this study demonstrate that exponential VCCR is the best strategy to CFP, also pass the European norm (IEC-61000-3-2), this strategy does not require high output voltage to attain good values of PF and THD, which is the principal objective when are analyzed the effects of high output voltage in the second stage of the regulation of voltage.

Contenido

| | |
|---|------|
| Índice de figuras | V |
| Índice de tablas | VII |
| Acrónimos y siglas | VIII |
| Nomenclatura..... | IX |
| Capítulo 1: Introducción..... | 1 |
| 1.1 Antecedentes | 2 |
| 1.2 Planteamiento del problema..... | 5 |
| 1.3 Propuesta de solución | 5 |
| 1.4 Objetivos..... | 6 |
| 1.1.1 Objetivo general | 6 |
| 1.1.2 Objetivos particulares | 6 |
| 1.5 Alcances y limitaciones | 7 |
| 1.6 Organización del documento | 7 |
| Capítulo 2: Marco teórico y revisión del estado del arte..... | 9 |
| 2.1 Conceptos fundamentales | 10 |
| 2.2 Características de un rectificador ideal (emulador de resistencia)..... | 11 |
| 2.3 Funcionamiento de un CFP ideal..... | 13 |
| 2.4 Estrategias típicas para la CFP..... | 16 |
| 2.4.1 Control del FP a través del Multiplicador Analógico..... | 16 |
| 2.4.2 Control Seguidor de Tensión..... | 17 |
| 2.5 Estrategias OCC y VCCR para la CFP | 18 |
| 2.5.1 OCC (una integración)..... | 18 |
| 2.5.2 OCC (dos integraciones) | 20 |
| 2.5.3 VCCR (lineal)..... | 22 |
| 2.5.4 VCCR (exponencial) | 23 |
| 2.6 Elección del convertidor de potencia para la CFP..... | 25 |
| Capítulo 3: Análisis y diseño de las estrategias OCC y VCCR | 27 |
| 3.1 Convertidor <i>Sepic</i> como CFP | 28 |
| 3.1.1 Operación del convertidor durante el tiempo de encendido de Q1 | 29 |
| 3.1.2 Operación del convertidor durante el tiempo de apagado de Q1 | 30 |
| 3.1.3 Análisis en CD..... | 30 |
| 3.2 Análisis de la estrategia OCC | 32 |

| | | |
|---|---|----|
| 3.2.1 | Simulación del convertidor <i>Sepic</i> con OCC (una integración) con tensión europea | 37 |
| 3.2.2 | Principales formas de onda del convertidor <i>Sepic</i> con la estrategia OCC..... | 39 |
| 3.2.3 | Simulación del convertidor <i>Sepic</i> con OCC (una integración) con tensión americana | 42 |
| 3.3 | Análisis de la estrategia OCC (dos integraciones)..... | 43 |
| 3.3.1 | Simulación del convertidor <i>Sepic</i> con OCC (dos integraciones) | 46 |
| 3.3.2 | Principales formas de onda del convertidor <i>Sepic</i> con OCC dos integraciones para tensión europea..... | 46 |
| 3.3.3 | Simulación del convertidor <i>Sepic</i> con OCC (dos integraciones) con tensión de red 127 Vca | 49 |
| 3.4 | Análisis de la estrategia VCCR | 51 |
| 3.4.1 | Simulación del convertidor <i>Sepic</i> con VCCR (lineal) con tensión europea... 53 | |
| 3.4.2 | Principales formas de onda del convertidor <i>Sepic</i> y VCCR con función lineal | 54 |
| 3.4.3 | Simulación del convertidor <i>Sepic</i> con VCCR (lineal) con tensión de 127 Vca | 56 |
| 3.5 | Análisis de la estrategia VCCR (exponencial) | 58 |
| 3.5.1 | Simulación del convertidor <i>Sepic</i> con VCCR (exponencial) con tensión europea | 61 |
| 3.5.2 | Principales formas de onda del convertidor <i>Sepic</i> con VCCR (exponencial) | 62 |
| 3.5.3 | Simulación del convertidor <i>Sepic</i> con VCCR (lineal) con tensión de 127 Vca rms | 64 |
| Capítulo 4: Análisis comparativo de las estrategias OCC y VCCR..... | | 67 |
| 4.1 | Comparación de la corriente de entrada | 68 |
| 4.2 | Comparativa en términos de FP y THD..... | 69 |
| 4.2.1 | Comparación de armónicos individuales de las estrategias OCC y VCCR con tensión americana y europea | 74 |
| Capítulo 5: Conclusiones y trabajos futuros..... | | 76 |
| 4.3 | Conclusiones del trabajo de tesis | 77 |
| 4.4 | Trabajos futuros | 78 |
| Referencias | | 79 |

Índice de figuras

| | |
|--|----|
| Figura 1.1 Esquema típico de conversión CA/CD | 2 |
| Figura 1.2 Distorsión de la corriente de entrada debido a la etapa de rectificación + filtrado | 3 |
| Figura 1.3 Esquema de dos etapas para una SMPS con CFP | 4 |
| Figura 1.4 Esquema de SMPS de una etapa para CFP | 4 |
| Figura 2.1 Modelo equivalente de puerto de entrada de un rectificador ideal | 11 |
| Figura 2.2 Esquema de transferencia de potencia en un rectificador ideal | 12 |
| Figura 2.3. Rectificador clásico con control..... | 13 |
| Figura 2.4. Formas de onda características de un rectificador ideal..... | 15 |
| Figura 2.5. Esquema a bloques del emulador de resistencia | 17 |
| Figura 2.6. Emuladores de resistencia. a) Esquema multiplicador y b) Esquema seguidor. 18 | |
| Figura 2.7. Diagrama general de la estrategia de control OCC | 19 |
| Figura 2.8. Ajuste de la rampa a la frecuencia de conmutación..... | 19 |
| Figura 2.9 Principales formas de onda de la estrategia OCC en el convertidor Boost..... | 20 |
| Figura 2.10. Diagrama general de dos pasos de integración para OCC en el convertidor Sepic | 21 |
| Figura 2.11. Principales formas de onda de la estrategia OCC (señal de reloj, VEA ($V_1(t)$) y señal para el interruptor controlado)..... | 21 |
| Figura 2.12. Diagrama general de VCCR con detector de pico | 22 |
| Figura 2.13. Intercepción de señales para la generación PWM. a) Estrategia OCC, b) Estrategia VCCR lineal | 23 |
| Figura 2.14 Corriente de entrada con la estrategia VCCR en convertidores reductor-elevador | 24 |
| Figura 2.15. Creación de la rampa exponencial | 24 |
| Figura 2.16. Rampa exponencial | 25 |
| Figura 2.17. Intercepción de señales para la generación PWM en VCCR exponencial..... | 25 |
| Figura 2.18 Convertidores CD/CD. a) Boost, b) Cuk, c) Zeta, d) Sepic | 26 |
| Figura 3.1 Esquema del convertidor Sepic | 28 |
| Figura 3.2 Circuitos equivalentes del convertidor Sepic en MCC. a) Ton, b) Toff | 29 |
| Figura 3.3. Principales formas de onda del convertidor Sepic en sus componentes | 32 |
| Figura 3.4. Corriente de entrada en medio ciclo de red con la estrategia OCC (una integración) aplicada al convertidor Sepic | 35 |
| Figura 3.5. Corriente de entrada en medio ciclo de red con la estrategia OCC (una integración) con diferentes valores de M_1 | 35 |
| Figura 3.6. FP y THD en función de M_1 con OCC (una integración) | 37 |
| Figura 3.7. Diagrama del convertidor Sepic con OCC (una integración) | 38 |
| Figura 3.8. Simulación de la corriente de entrada de la estrategia OCC (una integración) con el convertidor Sepic. a) Plena carga (250 W), b) 3/4 de la carga, c) 1/2 de la carga, d) 1/4 de la carga..... | 39 |
| Figura 3.9. Contenido armónico de la estrategia OCC (una integración) con el convertidor Sepic | 40 |
| Figura 3.10. Comparación de las señales V_{ea} y el voltaje integrado dado por (ILRs) | 40 |
| Figura 3.11. Ciclo de trabajo en la estrategia OCC (una integración) para M_1 0.7 | 41 |
| Figura 3.12. Diferentes ciclos de trabajo (variaciones en la entrada del convertidor) | 41 |

| | |
|---|----|
| Figura 3.13. Voltaje de salida del convertidor Sepic..... | 42 |
| Figura 3.14 Simulación de la corriente de entrada con la estrategia OCC (una integración) con 127 Vca de entrada. A) Plena carga, b)3/4 de la carga, c)1/2 carga, d) 1/4 de la carga | 42 |
| Figura 3.15. Contenido armónico de OCC (una integración) con el convertidor Sepic con un voltaje de entrada de 127 Vca y una potencia de 250 W..... | 43 |
| Figura 3.16. Corriente de entrada en medio ciclo de red aplicando la estrategia OCC (doble integración) con el convertidor Sepic..... | 44 |
| Figura 3.17. Corriente de entrada con la estrategia OCC (dos integraciones) para diferentes valores de $M1$ | 44 |
| Figura 3.18. FP y THD en función de $M1$ para OCC (dos integraciones)..... | 45 |
| Figura 3.19. Esquema de simulación del convertidor Sepic con la estrategia OCC (dos integraciones)..... | 46 |
| Figura 3.20. Simulación de la corriente de entrada de la estrategia OCC (dos integraciones) con el convertidor Sepic. a) plena carga, b) $\frac{3}{4}$ de la carga, c) $\frac{1}{2}$ carga, d) $\frac{1}{4}$ de la carga..... | 47 |
| Figura 3.21. Contenido armónico de la estrategia OCC (dos integraciones) con el convertidor Sepic..... | 47 |
| Figura 3.22. Segunda integración en la estrategia OCC..... | 48 |
| Figura 3.23. Señal doblemente integrada en la estrategia OCC | 48 |
| Figura 3.24 Comparación de señales para producir el cambio de señal en el biestable de OCC (dos integraciones) | 49 |
| Figura 3.25. Voltaje de salida del convertidor Sepic con OCC (dos integraciones) | 49 |
| Figura 3.26. Corriente de entrada para: a) plena carga, b) $\frac{3}{4}$ de la carga, c) $\frac{1}{2}$ de la carga, d) $\frac{1}{4}$ de la carga | 50 |
| Figura 3.27. Contenido armónico de OCC con el convertidor Sepic con 127 Vca de entrada | 50 |
| Figura 3.28. Corriente de entrada en medio ciclo de red con la estrategia VCCR (lineal) .. | 51 |
| Figura 3.29 Corriente de entrada en medio ciclo de red con VCCR (lineal) para diferentes $M1$ | 52 |
| Figura 3.30 FP y THD vs $M1$ de la estrategia VCCR (lineal) | 53 |
| Figura 3.31. Esquema de simulación del convertidor Sepic con la estrategia VCCR (lineal) | 54 |
| Figura 3.32 Simulación de la corriente de entrada de VCCR (lineal). a) plena carga, b)3/4 de la carga, c)1/2 carga, d)1/4 de la carga | 55 |
| Figura 3.33 Contenido armónico del convertidor Sepic con la estrategia VCCR (lineal) para $M1$ 0.7..... | 55 |
| Figura 3.34. Comparación de la señal V_{rampa} vs IQRs | 56 |
| Figura 3.35 Voltaje de salida del convertidor Sepic con la estrategia VCCR (lineal) | 56 |
| Figura 3.36 Corriente de entrada del convertidor Sepic con VCCR. a) plena carga, b) $\frac{3}{4}$ de la carga, c) $\frac{1}{2}$ carga y en d) a $\frac{1}{4}$ de la carga | 57 |
| Figura 3.37 Contenido armónico del convertidor Sepic con la estrategia VCCR (lineal) con 127 V de entrada..... | 58 |
| Figura 3.38 Corriente de entrada con VCCR (exponencial) | 59 |
| Figura 3.39 Corriente de entrada en medio ciclo de red con VCCR (exponencial) para diferentes valores de $M1$ (ajustando a μ) | 59 |
| Figura 3.40 Valores de μ para diferentes valores de $M1$ | 60 |
| Figura 3.41 Valor óptimo de u para una $M1$ de 0.7 | 60 |

| | |
|--|----|
| Figura 3.42 FP y THD en función de $M1$ con la estrategia VCCR (exponencial)..... | 61 |
| Figura 3.43 Esquema de simulación del convertidor Sepic con la estrategia VCCR (exponencial) | 61 |
| Figura 3.44 Corriente de entrada con VCCR (exponencial). a) plena carga, b) 3/4 de la carga, c) 1/2 carga, d) 1/4 de la carga..... | 62 |
| Figura 3.45 Contenido armónico de la estrategia VCCR (exponencial) con el convertidor Sepic | 63 |
| Figura 3.46 Corriente a través del interruptor controlado | 63 |
| Figura 3.47 Señales comparadas IQRs con la rampa exponencial | 64 |
| Figura 3.48 Voltaje de salida del convertidor Sepic con la estrategia VCCR (exponencial) | 64 |
| Figura 3.49 Corriente de entrada con el convertidor Sepic y la estrategia VCCR (exponencial). a) Plena carga, b) 3/4 de la carga, c) 1/2 carga, d) 1/4 de la carga | 65 |
| Figura 3.50 Contenido armónico de la estrategia VCCR (exponencial) y el convertidor Sepic con 127 Vca de entrada..... | 65 |
| Figura 4.1 Comparativa de las corrientes de entrada en medio ciclo de OCC y VCCR | 68 |
| Figura 4.2 FP y THD para $M1$ 0.7. a) OCC una integración. b) OCC dos integraciones. c) VCCR lineal. d) VCCR exponencial..... | 69 |
| Figura 4.3. FP de OCC y VCCR en función de $M1$ | 70 |
| Figura 4.4. THD de OCC y VCCR en función de $M1$ | 71 |
| Figura 4.5. Principales armónicos individuales de la estrategia OCC (una integración) vs $M1$ | 72 |
| Figura 4.6. Principales armónicos individuales de la estrategia OCC (dos integraciones) vs $M1$ | 73 |
| Figura 4.7. Principales armónicos individuales de la estrategia VCCR (lineal) vs $M1$ | 73 |
| Figura 4.8. Principales armónicos individuales de la estrategia VCCR (exponencial) vs $M1$ | 74 |
| Figura 4.9 Comparativa de armónico individuales de las estrategias OCC y VCCR para una tensión de entrada de 127 Vca rms | 75 |
| Figura 4.10 Comparativa de armónicos individuales de las estrategias OCC y VCCR para una tensión de entrada de 220 Vca rms | 75 |

Índice de tablas

| | |
|--|----|
| Tabla 1. Señales de entrada de OCC de acuerdo con el punto de sensado de corriente..... | 21 |
| Tabla 2. Parámetros definidos para efectos de simulación y análisis teórico..... | 37 |
| Tabla 3 Límite de cada armónico individual para una potencia de 250 W en la norma IEC-61000-3-2 en clase “D” | 71 |

Acrónimos y siglas

| | |
|-------|--|
| CA | Corriente Alterna |
| CD | Corriente Directa |
| CFP | Corrección del Factor de Potencia |
| CLK | <i>Clock</i> – Frecuencia de reloj |
| FP | Factor de Potencia |
| MCC | Modo de Conducción Continua |
| MCD | Modo de Conducción Discontinua |
| OCC | <i>One Cycle Control</i> – Control de un Ciclo |
| PWM | <i>Pulse-Width Modulation</i> – Modulación por Ancho de Pulso |
| SMPS | <i>Switched Mode Power Supplies</i> – Fuente de Alimentación Conmutada |
| THD | <i>Total Harmonic Distortion</i> – Distorsión Armónica Total |
| VCCR | <i>Voltage-Controlled Compensation Ramp</i> – Rampa de Compensación Controlada por Voltaje |
| ER | Emulador de Resistencia |
| RSP | Resistencia Sin Pérdidas |
| SEPIC | Convertidor de Inductor Primario de un solo Extremo |

Nomenclatura

Nomenclatura de fórmulas:

| | |
|----------------------|---|
| Δ_{IL1} | Rizado de corriente del inductor de entrada |
| Δ_{IL2} | Rizado de corriente del inductor de salida |
| C_1 | Capacitor de acoplamiento del convertidor Sepic |
| C_2 | Capacitor de salida del convertidor Sepic |
| C_C | Capacitor del integrador |
| D_1 | Interruptor no controlado o diodo del convertidor Sepic |
| F_s | Frecuencia de conmutación |
| I_1 | Punto mínimo de la corriente en el inductor |
| I_2 | Punto máximo de la corriente en el inductor |
| I_{C1} | Corriente a través del capacitor de acoplamiento |
| I_{C2} | Corriente a través del capacitor de salida |
| I_O | Corriente de salida del convertidor Sepic |
| I_S | Corriente sensada |
| $K_{Crítica.máxima}$ | Valor máximo que alcanza el valor de K |
| $K_{Crítica.minima}$ | Valor mínimo que alcanza el valor de K |
| L_1 | Inductor de entrada del convertidor Sepic |
| L_2 | Inductor de salida del convertidor Sepic |
| On | Estado en el que el interruptor controlado conduce |
| Off | Estado en el que el interruptor controlador no conduce |
| P_o | Potencia de salida |
| Q_1 | Interruptor controlado o Mosfet |
| R_R | Resistencia del integrador |
| R_S | Ganancia del sensor de corriente |
| V_1 | Voltaje de entrada de la señal uno de la estrategia OCC |
| V_2 | Voltaje de entrada de la señal dos de la estrategia OCC |
| V_3 | Voltaje de entrada de la señal tres de la estrategia OCC |
| V_{C1} | Voltaje aplicado entre terminales del capacitor de acoplamiento |
| V_{C2} | Voltaje aplicado entre terminales del capacitor de salida |
| V_{EA} | Voltaje de error del amplificador |
| V_{L1} | Voltaje aplicado entre terminales del inductor de entrada |
| V_{L2} | Voltaje aplicado entre terminales del inductor de salida |
| V_c | Voltaje de control |
| V_g | Voltaje rectificado |
| V_{gp} | Voltaje pico de red |
| V_o | Voltaje de salida |
| V_{rampa} | Voltaje de la rampa |

| | |
|-------------|---|
| V_{ref} | Voltaje de referencia |
| V_{rpico} | Voltaje pico de la rampa |
| i_L | Corriente a través del inductor |
| i_Q | Corriente a través del interruptor controlado o Mosfet |
| i_g | Corriente rectificadora |
| i_{gav} | Corriente promedio de red |
| μ | Valor que caracteriza la rampa exponencial |
| D ó d | Ciclo de trabajo del convertidor |
| K | Variable que caracteriza los modos de conducción MCC o MCD |
| M | Ganancia del convertidor Sepic |
| $V + (t)$ | Señal de salida del integrador para compararse con V_1 de la estrategia OCC |
| τ | Constante de tiempo |
| T_{on} | Tiempo de encendido |
| T_{off} | Tiempo de apagado |

Nomenclatura de unidades:

| | |
|----------|-------------------------------|
| A | Amperes. |
| Hz | Hertz. |
| kHz | Kilohertz. |
| mF | MiliFaradio |
| mH | MiliHenrio |
| ms | Miliseundos. |
| nF | NanoFaradio |
| s | Segundos. |
| V | Volts. |
| Vca | Voltaje de corriente alterna. |
| Vcd | Voltaje de corriente directa. |
| W | Watt. |
| μ s | Microsegundos. |
| Ω | Ohms. |

Capítulo 1: Introducción

Este capítulo presenta una contextualización general del trabajo de tesis. Primero se describe los antecedentes del esquema tradicional para la conversión de corriente alterna a corriente directa, así como la problemática asociada a dicho esquema. Después, se plantean soluciones para la corrección del factor de potencia derivadas de la problemática al utilizar el esquema de conversión tradicional. Además, se describen los objetivos planteados en este tema de investigación, así como también las condiciones en las que fue realizada la investigación. Finalmente, se presenta la organización del documento de tesis.

1.1 Antecedentes

Las fuentes de alimentación conmutadas (SMPS, por sus siglas en inglés) son usadas en diferentes aplicaciones de Corriente Alterna (CA) o Corriente Directa (CD). Para el caso de los equipos electrónicos, la mayoría se conectan a la línea de CA (de 50 o 60 Hz dependiendo de su ubicación geográfica). Las SMPS se diseñan con las siguientes características: una salida de voltaje regulada, aislamiento galvánico y/o múltiples salidas de voltaje.

Adicionalmente, las funciones principales de regulación y suministro de energía buscan mantener un tamaño reducido, bajo peso, alta eficiencia, un Factor de Potencia (FP) cercano a la unidad y una baja Distorsión Armónica Total (THD, por sus siglas en inglés), por lo que el costo se vuelve un aspecto crítico. Las SMPS conectadas a la red de CA tradicionalmente emplean un puente de diodos que rectifica la señal CA (donde V_g e i_g son el voltaje y la corriente entre terminales del rectificador), seguido de un capacitor de alto valor C_1 (generalmente de tipo electrolítico) como se muestra en la Figura 1.1, para filtrar la señal rectificada se conecta a la etapa de regulación, ofreciendo como principales ventajas de dicho su bajo costo y robustez [1].

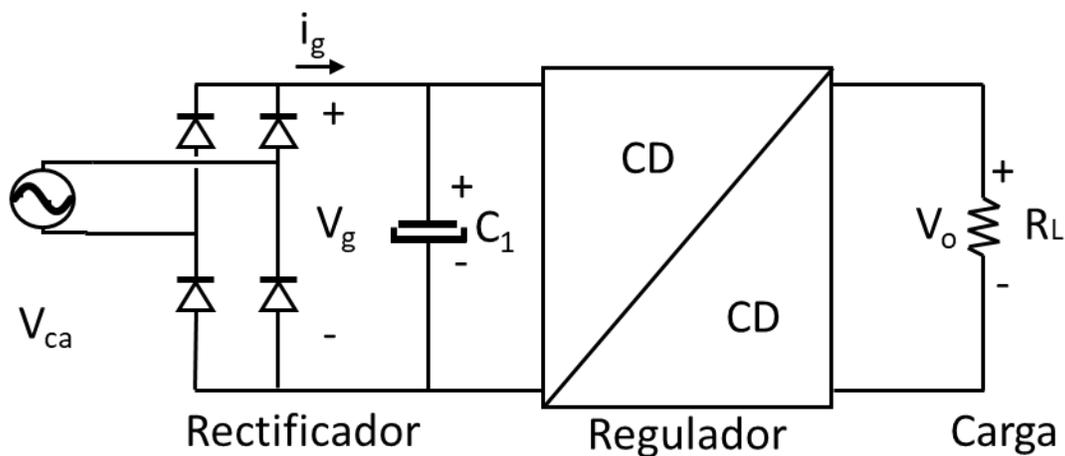


Figura 1.1 Esquema típico de conversión CA/CD

Uno de los principales problemas del esquema de la Figura 1.1 es la rectificación y el filtrado, ya que es una carga no lineal para la red eléctrica. Esto se debe a que los diodos no conducen de manera permanente, sino solamente cuando la tensión de red es mayor a la que tienen el capacitor de filtrado tal como se muestra en la Figura 1.2. Esto a su vez provoca que el FP tenga valores relativamente bajos entre 0.5 a 0.65 y la THD de valores relativamente altos como el 50% o incluso mayores, lo cual representa, un inadecuado uso de la potencia disponible por el proveedor de servicio, una alta contaminación armónicos en la red eléctrica que provoca una serie de desventajas también ampliamente conocidas [2].

Debido a los problemas de FP y THD que se obtienen con este esquema de rectificación y filtrado, se ha vuelto de especial interés buscar soluciones que mejoren dicha situación ante las preocupaciones de ahorro y uso eficiente de la energía, así como el interés de minimizar la contaminación de armónicos presentes en la red eléctrica.

Para intentar corregir el problema se han creado normas para limitar los armónicos inyectados a la red por los equipos electrónicos, a nivel instalación como lo es la norma IEEE-519 [3]; la cual mide los armónicos inyectados a la red en el punto de conexión común, o como la IEC 61000-3-2 [4]; la cual se encarga de establecer límites para los armónicos que generan cada equipo individual en su conexión a la red eléctrica.

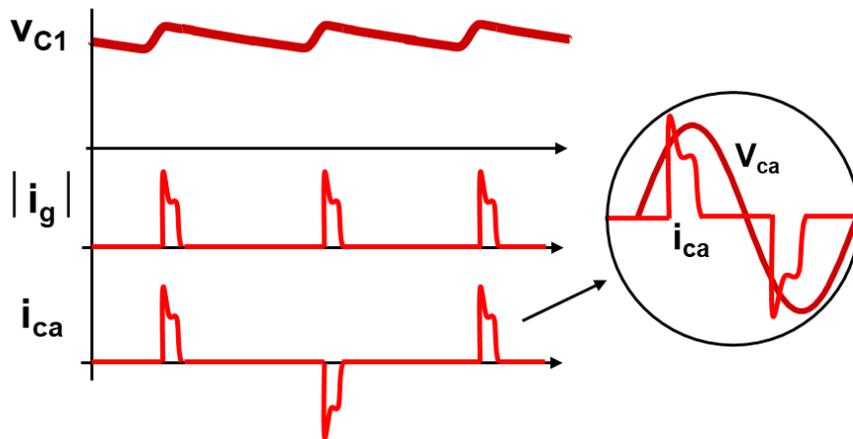


Figura 1.2 Distorsión de la corriente de entrada debido a la etapa de rectificación + filtrado

Actualmente, existen dos estrategias para la Corrección del Factor de Potencia (CFP), que son la pasiva y la activa. La estrategia pasiva consiste en combinaciones de resistencias, inductancias y capacitancias antes o después del puente rectificador. Esta estrategia presenta limitaciones tales como:

- Pérdidas en los componentes pasivos.
- Tamaño de capacitores e inductores voluminosos debido a la operación en baja frecuencia.
- Dado que no se consigue una corriente senoidal de entrada, la mejora en FP y THD no es substancial y no siempre se puede cumplir con la norma que aplica a equipos individuales.

Con base en lo anterior, la estrategia pasiva solo es recomendable para aplicaciones de muy baja potencia y/o aplicaciones en donde no aplica la clase “D” de la norma IEC 61000-3-2. Por otro lado, la CFP activa es utilizada para mayores potencias debido a su mejor eficiencia y desempeño. La CFP activa se realiza en un esquema en dos etapas tal como se muestra en la Figura 1.3. En este caso se dedica en la SMPS una etapa para la CFP y otra etapa para la regulación y dinámica del voltaje de salida. Además, se han realizado esfuerzos para tener las dos etapas en una sola etapa, es decir, la CFP y la regulación en una etapa

(Figura 1.4), lo cual significa que la SMPS está compuesta tanto por la CFP más la regulación del voltaje de salida. Sin embargo, al tener ambas en una sola etapa se tiene que sacrificar o bien la regulación del voltaje de salida o la CFP. Esto debido a que para llevar a cabo la CFP se necesita un lazo de tensión muy lento para la conformación de la corriente de entrada, mientras que para la regulación del voltaje de salida se necesita un lazo de tensión rápido (esto dependerá de la aplicación).

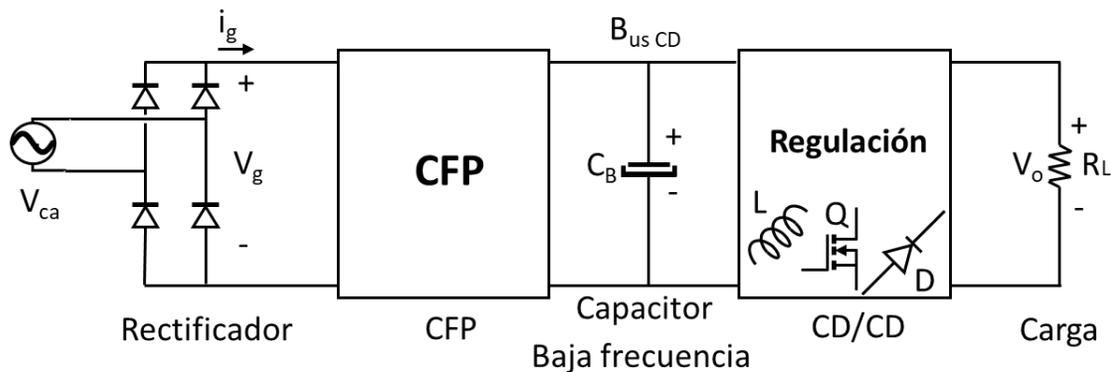


Figura 1.3 Esquema de dos etapas para una SMPS con CFP

En la solución de dos etapas como se muestra en la Figura 1.3, se tiene una primera etapa de CFP activa después del puente de diodos en la cual se traslada el capacitor de filtrado a la salida de dicha etapa. La misión de una segunda etapa conectada a la etapa de CFP, es la de asegurar el cumplimiento de la regulación dinámica de voltaje de salida que requiera la carga (ante la problemática de dinámica lenta que tradicionalmente presenta una etapa de CFP) [5]. El convertidor de la primera etapa (en un esquema de dos etapas) tradicionalmente se utiliza el convertidor *Boost*. Si bien dicho convertidor trabaja como CFP muy bien, este tiene como inconveniente tener un voltaje de salida mayor al voltaje pico de entrada por lo que el bus de CD se encuentra entre los 350 V a 450 V.

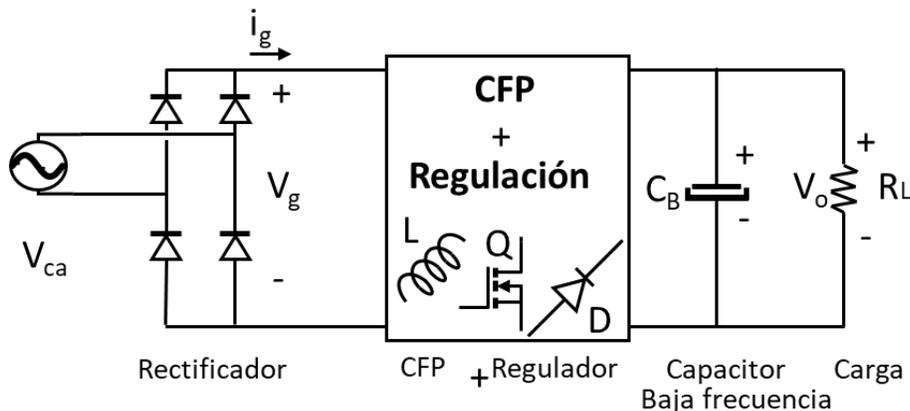


Figura 1.4 Esquema de SMPS de una etapa para CFP

Con respecto a las soluciones de SMPS en una etapa (Figura 1.4) [6], no se ha evidenciado mejoras sustanciales comparadas con las soluciones en dos etapas, puesto que al final se termina teniendo que aceptar un compromiso entre la buena calidad de la conformación de la corriente de entrada y la dinámica que es posible obtener al tener de alguna manera una sola variable de control en el convertidor, para tratar de regular ambos parámetros.

1.2 Planteamiento del problema

A lo largo de los años distintos autores han propuesto diferentes estrategias para la CFP, como es el uso de estrategias pasivas (R, L o C antes o después del puente de diodos) así como estrategias activas (que utilizan convertidores electrónicos para forzar que la corriente de entrada sea senoidal). Por otro lado, la elección del convertidor de la etapa de potencia y la estrategia para CFP en la etapa de control también son decisiones importantes, las cuales dependen del tipo de carga a conectar a la SMPS.

Tradicionalmente, el convertidor de potencia más utilizado en los esquemas de CFP es el convertidor Elevador o *Boost* y el esquema conocido como “Control por multiplicador” [7] para realizar la conformación senoidal de la corriente de entrada. Si bien dicha combinación realiza una casi perfecta conformación de la corriente de entrada resulta ser que la etapa de control es ciertamente compleja y costosa ya que requiere de una multiplicación analógica. Por otro lado, el voltaje de salida del convertidor es siempre mayor al voltaje pico de entrada debido a la naturaleza propia del convertidor tradicional, por lo que en un esquema de dos etapas el segundo convertidor sus interruptores se ven sometidos a mayores esfuerzos de bloqueo de tensión, provocando incrementos en costos no deseables, que se suman al incremento de costo derivado de tener que manejar dos etapas de conversión.

Teniendo en cuenta las ventajas y desventajas de las estrategias “Control por Multiplicador” y “Control por Seguidor de Tensión” [7], [8], que son estrategias utilizadas tradicionalmente para mejorar el FP y THD, desde hace tiempo se han buscado estrategias que combinen las ventajas de ambas estrategias en una implementación sencilla que permita cumplir con las normativas vigentes. Este trabajo de tesis aborda el análisis de dos familias de estrategias propuestas previamente en la literatura, las cuales permiten utilizar como etapa de potencia a convertidores del tipo no elevador, lo cual permiten en su conjunto ofrecer buenas prestaciones de THD, FP y contenido armónico.

1.3 Propuesta de solución

Derivado de la revisión del estado del arte de estrategias simples para mejorar el FP y THD en SMPS, esta tesis propone estudiar y realizar una comparación de estrategias conocidas como “Control de un Ciclo” (OCC, por sus siglas en inglés) y “Rampa de Compensación Controlada por Voltaje” (VCCR, por sus siglas en inglés). Estas soluciones simplifican o evitan el uso del multiplicador analógico, permiten seguir trabajando en Modo de Conducción Continua (MCC), lo que ofrece tener bajas pérdidas de conducción, así como

alcanzar valores adecuados de FP y THD, que permiten pasar las normas de reducción de armónicos sin problemas.

Si bien dichas estrategias funcionan correctamente en términos generales, resulta interesante realizar un estudio comparativo para identificar en qué condiciones la estrategia OCC o VCCR resulta ser una mejor alternativa en términos de FP, THD, armónicos individuales, así como las implicaciones de la tensión de salida que requiere aceptarse (implicada en la relación de transformación del convertidor) para alcanzar valores aceptables de algunos de los parámetros deseados.

Dichas estrategias logran un alto FP y baja THD a través de sumar, restar, multiplicar y/o comparar dos o más señales. Las señales son obtenidas a través del sensado de corrientes y voltajes en la etapa de potencia para después obtener una modulación por ancho de pulso (PWM) que es generada en la etapa de control.

Así también es interesante analizar la propuesta de trabajar con otro tipo de convertidor que no sea el convertidor *Boost* que es utilizado tradicionalmente. En esencia se busca que el voltaje de salida pueda ser menor que el voltaje pico de entrada, por lo que el uso de un convertidor reductor – elevador resulta interesante, en este trabajo se eligió trabajar con el convertidor *Sepic* el cual se abordará en el próximo capítulo. Las estrategias OCC y VCCR se han presentado en la literatura como mejoras para la etapa de CFP, sin embargo, resulta interesante compararlas entre si utilizando un convertidor *Sepic*, que nos permita estudiar y comparar las variantes existentes de las estrategias OCC y VCCR, y nos permita determinar la estrategia de mejores prestaciones en términos de FP, THD, espectro armónico y la posibilidad de reducir la tensión de salida del convertidor (que resulta en beneficio de la segunda etapa del sistema de alimentación).

1.4 Objetivos

Para llevar a cabo la solución propuesta y considerando la ubicación de la problemática, así como el conocimiento detallado de las estrategias OCC y VCCR a través de la revisión del estado del arte, se definen los siguientes objetivos de este trabajo de tesis.

1.1.1 Objetivo general

Evaluar y comparar teóricamente las estrategias “Control de un Ciclo” (OCC) y “Rampa de Compensación Controlada por Voltaje” (VCCR) en un convertidor *Sepic* monofásico de 250 W como etapa de Corrección del Factor de Potencia” (CFP) de una fuente de alimentación conmutada de dos etapas.

1.1.2 Objetivos particulares

- Asimilar el principio de funcionamiento de las estrategias OCC y VCCR como estrategias para mejorar la etapa de CFP en una fuente de alimentación conmutada.

- Validar en simulación y teóricamente el funcionamiento adecuado de las estrategias OCC y VCCR en un convertidor *Sepic* de 250 W.
- Contar con un estudio comparativo del desempeño de las estrategias OCC y VCCR, en términos del FP, THD y armónicos individuales para cumplimiento de la norma IEC-61000-3-2, así como la sensibilidad de dichos parámetros ante las variaciones de la relación de transformación (M_1) del convertidor.

1.5 Alcances y limitaciones

El presente estudio aborda un análisis teórico y en simulación de las estrategias OCC y VCCR aplicadas al convertidor *Sepic*, el cual compara a las estrategias en términos de FP, THD y contenido armónico. También se compara el contenido armónico de las estrategias con la norma IEC 61000 3-2 en clase D. Por último, se crean diferentes escenarios de cargas fijas aplicadas al convertidor *Sepic* y se prueba al convertidor *Sepic* con una tensión de entrada tanto americana como europea.

Los parámetros definidos para llevar a cabo el análisis teórico y simulado son: potencia de salida de 250 W (dado que se presentan solo resultados en simulación la potencia elegida es indistinta, pero se consideró 250 W ya que es una potencia aproximada a la de las fuentes de alimentación de aplicaciones típicas domesticas como PC's o TV's), y una relación de transformación M_1 de 0.7 (dado que para este caso de investigación se necesita que el convertidor opere como reductor).

En cuanto a la limitante de este trabajo como ya se mencionó anteriormente solo se realiza un análisis teórico y simulado con un convertidor *Sepic* con las estrategias OCC y VCCR, por lo que la parte física (diseño de un circuito impreso) no fue posible realizarla debido a diferentes problemáticas (como es el caso del confinamiento obligatorio causado por la pandemia COVID, que ha impedido por más de nueve meses tener acceso a diferentes instalaciones del CENIDET).

1.6 Organización del documento

La organización del presente documento de tesis se describe a continuación. En el capítulo 2 se aborda el “Marco teórico y la revisión del estado del arte” en el cual se describen conceptos fundamentales del tema de CFP, así como las estrategias tradicionales que se han implementado desde hace ya algunos años para disminuir el contenido armónico que inyecta una fuente con un esquema tradicional de conversión CA/CD. Por último, se describen dos estrategias para la CFP en las que se plantearon retos de simplificación de las estrategias tradicionales. para cumplir con metas de cumplimiento de normas internacionales y mejoras en la conformación de la corriente senoidal de entrada.

El capítulo 3 presenta el “Análisis y diseño de las estrategias OCC y VCCR” para el convertidor *Sepic*, así como también los resultados de las simulaciones realizadas con ambas estrategias, relacionados con la corriente de entrada en CA sobre la cual se analizan los resultados de FP, así como el THD y armónicos individuales obtenidos.

El capítulo 4 presenta un “Análisis comparativo de las estrategias VCCR y OCC” a partir de los resultados globales obtenidos en las dos variantes de cada estrategia, tanto para una tensión de entrada de 220 Vca rms y 127 Vca rms. Estos resultados incluyen la evaluación de las formas de onda de la corriente de línea para cada una de las estrategias, así como la comparación FP, THD y contenido armónico individual (así como su comparación con el valor máximo de la norma IEC 61000-3-2) que se obtiene del análisis teórico y la correspondiente simulación

Finalmente, en el capítulo 5, se presentan las conclusiones del trabajo de investigación, así como los trabajos futuros que complementen la investigación realizada. En las conclusiones se evalúa en qué medida las diferentes estrategias analizadas cumplen con los objetivos generales de conseguir un buen desempeño en términos del FP y THD, así como de los armónicos individuales en la forma de onda de la corriente de línea, así como el efecto de variar la ganancia del convertidor de potencia, tanto en términos de mejora de los parámetros de calidad de la energía, como del posible efecto en la segunda etapa tradicionalmente colocada para mejorar la regulación del voltaje de salida de la SMPS.

Capítulo 2: Marco teórico y revisión del estado del arte

Este capítulo describe conceptos generales básicos relacionados con la CFP, así como las estrategias tradicionales que se han implementado desde hace ya algunos años. Por último, se describen dos estrategias para la CFP en las que se plantearon retos de simplificación de las estrategias tradicionales. Para cumplir con las metas de cumplimiento de normas internacionales y mejoras en la conformación de la corriente senoidal de entrada.

En este capítulo se presentarán por un lado conceptos generales básicos como FP y THD, para posteriormente abordar las estrategias elegidas en la revisión del estado del arte que tiene que ver con la CFP en SMPS en un esquema de dos etapas, en donde se evidencian las estrategias simples y no costosas.

2.1 Conceptos fundamentales

Como primer punto, se recuerdan algunas definiciones básicas de acuerdo con la terminología que se estará utilizando más adelante en relación con el tema de calidad de la energía como es el FP y THD. Como segundo punto se describe el tema relacionado a la CFP ideal, el cual habla más a detalle sobre un emulador de resistencia (capítulo 16 y 18 [9]).

Factor de potencia: El Factor de Potencia (FP) es una medida de cómo la energía es transmitida entre la fuente y la red de carga. Se define como la relación entre la potencia activa y la potencia aparente, descrita como:

$$FP = \frac{Potencia_{Promedio}}{(Voltaje_{RMS})(Corriente_{RMS})} \quad (2.1)$$

El FP siempre tiene un valor entre cero y uno (también definido entre 0% y 100%). Para un caso ideal (carga totalmente resistiva), el FP siempre será uno.

Distorsión Armónica Total (THD): se define como la raíz cuadrada de la sumatoria de los cuadrados del valor eficaz de los armónicos, entre el cuadrado del valor eficaz de la fundamental, es decir:

$$THD = \sqrt{\frac{I_{ef2}^2 + I_{ef3}^2 + \dots + I_{efn}^2}{I_{ef1}^2}} \quad (2.2)$$

Armónico: Componente senoidal de una señal periódica. Su frecuencia es múltiplo entero de la frecuencia fundamental.

Valor RMS: Se define al valor RMS como la magnitud de una señal de corriente constante que ocasionaría en una resistencia la misma disipación de potencia que la señal cuyo valor RMS está siendo calculado. El valor RMS de una forma de onda periódica $f(t)$ con periodo T está definida como:

$$(valor_{RMS}) = \sqrt{\frac{1}{T} \int_0^T f^2(t) dt} \quad (2.3)$$

2.2 Características de un rectificador ideal (emulador de resistencia)

Con el objeto de no introducir armónicos de corriente a la red eléctrica, es deseable que la etapa de interconexión a la red eléctrica (regularmente la etapa de regulación) se comporte como una carga resistiva. De ser así, la corriente y voltaje de entrada están en fase al ser una carga puramente resistiva por lo que el factor de potencia es unitario. La corriente rectificadora $i_{ca}(t)$ es proporcional al voltaje aplicado $v_{ca}(t)$:

$$i_{ca}(t) = \frac{v_{ca}(t)}{R_e} \quad (2.4)$$

Donde R_e es la constante de proporcionalidad. Un circuito equivalente para el puerto de CA de un rectificador ideal es una resistencia efectiva R_e , como se muestra en la Figura 2.1, en donde R_e es también conocida como un emulador de resistencia.

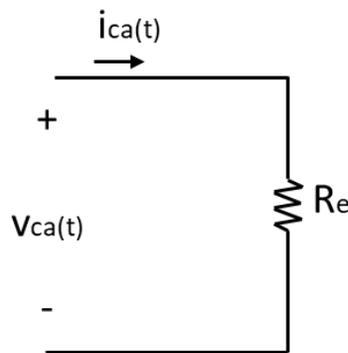


Figura 2.1 Modelo equivalente de puerto de entrada de un rectificador ideal

La resistencia R_e sirve como un modelo para explicar cómo debe ser el funcionamiento ideal de un convertidor. La regulación en la salida se logra variando la resistencia efectiva R_e , dicho valor depende sobre el control de la señal $V_{control}(t)$. Por otro lado, la resistencia emulada transfiere la potencia de entrada a la salida, es decir al puerto de CD, como se muestra en la Figura 2.2a.

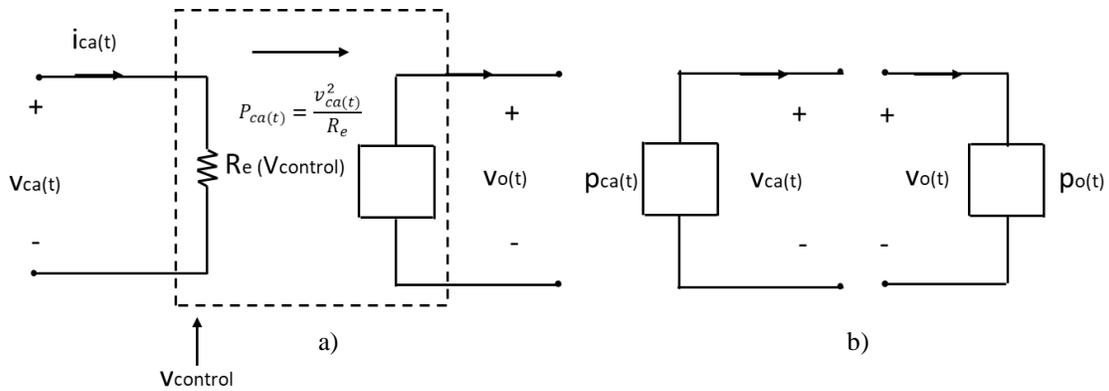


Figura 2.2 Esquema de transferencia de potencia en un rectificador ideal

La Figura 2.2b muestra que la potencia de entrada es consumida en la salida. La función del rectificador ideal es transferir la potencia de entrada a la carga (la cual consume una potencia en CD). La regulación de la tensión de salida se logra por la variación de la resistencia emulada, la cual depende del valor del voltaje de control $V_{control(t)}$ como es mostrado en la Figura 2.1a. Este voltaje de control es la acción generada por el sistema de procesamiento encargado de mantener los parámetros deseados de corriente a la entrada y tensión en la salida. La resistencia emulada ocasiona cambios en la potencia de entrada, es decir:

$$P_{promedio} = \frac{V_{ca,rms}^2}{R_e(V_{control})} \quad (2.5)$$

El cambio de la resistencia emulada ocasiona que el sistema sea variante en el tiempo, lo cual trae como consecuencia generación de armónicos. Para evitar la generación de armónicos significantes y la degradación del FP, las variaciones de la resistencia emulada deben ser lentas respecto a la frecuencia de la red eléctrica (50 o 60 Hz). Cuando las pérdidas son despreciables la potencia que fluye por la resistencia emulada debe ser transmitida a la carga. La potencia instantánea en la entrada es:

$$P_{(t)} = \frac{v_{ca(t)}^2}{R_e(v_{control(t)})} \quad (2.6)$$

El modelo de dos puertos mostrado en la Figura 2.2 para un rectificador monofásico ideal se le conoce como Resistencia Sin Pérdidas (RSP), por dos razones:

1. El puerto de entrada obedece a la Ley de Ohm
2. Toda la potencia de entrada es transmitida al puerto de salida sin pérdidas de energía.

Las ecuaciones que definen a un RSP son la ecuación 2.6 y las ecuaciones:

$$i_{ca(t)} = \frac{v_{ca(t)}}{R_e(v_{control})} \quad (2.7)$$

$$p_{ca(t)} = v_{ca(t)} i_{ca(t)} = p_{o(t)} = v_{o(t)} i_{o(t)} \quad (2.8)$$

2.3 Funcionamiento de un CFP ideal

La retroalimentación puede emplearse para que un convertidor tenga un comportamiento de las ecuaciones 2.6 - 2.8. Este obedece a las ecuaciones de un modelo de “Resistencia Sin Pérdidas” (RSP), también conocido como emulador de resistencia. En un sistema monofásico, el enfoque más simple y menos costoso emplea un puente rectificador clásico en cascada con un convertidor CD/CD (el convertidor CD/CD es representado con un transformador ideal), como se muestra en la Figura 2.3.

El controlador recibe los valores de voltaje sensados en la salida y en la entrada del convertidor y la corriente sensada por un lazo interno. Estas señales son sumadas, multiplicadas y comparadas para obtener la acción de control que se traduce en variaciones en el ciclo de trabajo del convertidor CD/CD, con el fin de provocar que la corriente $i_{ca(t)}$ siga siendo senoidal. Además, también se busca que el voltaje de salida $v_{o(t)}$ sea constante.

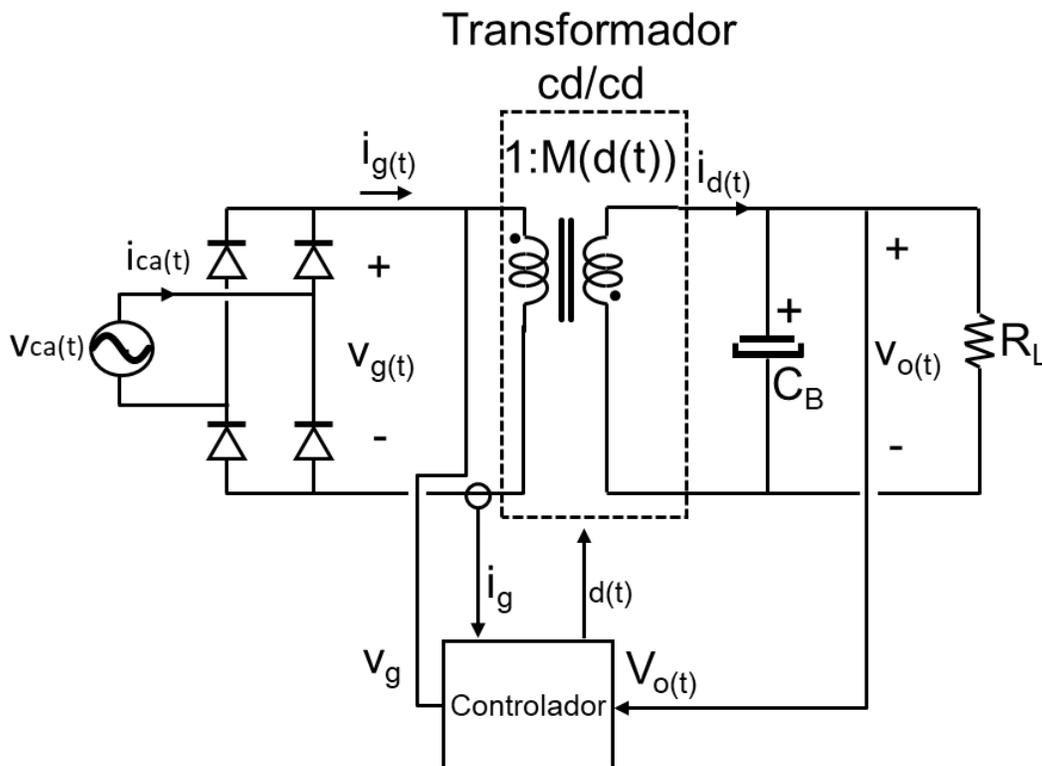


Figura 2.3. Rectificador clásico con control

En la Figura 2.4 se muestran las formas de onda al aplicar un voltaje senoidal a un transformador ideal con variaciones en el tiempo, esta muestra la forma de onda del voltaje de red $v_{ca}(t)$, corriente de red $i_{ca}(t)$, voltaje de red rectificado $v_g(t)$, corriente de red rectificadora $i_g(t)$, voltaje de salida $v_o(t)$ y la forma de onda de la función de transferencia del rectificador $M(t)$.

El voltaje de entrada está definido como:

$$V_{ca} \text{sen}(\omega t) \quad (2.9)$$

Cuando el voltaje es rectificado se encuentra expresado por la ecuación 2.10, la cual se encuentra al doble de la frecuencia de red.

$$v_{g(t)} = V_{ca} |\text{sen}(\omega t)| \quad (2.10)$$

Es deseable que la salida de voltaje sea un valor constante, es decir, $v_o(t) = V_o$. La relación de conversión del convertidor está dada por:

$$M_1(d(t)) = \frac{v_o(t)}{v_{g(t)}} = \frac{V_o}{V_{ca} |\text{sen}(\omega t)|} \quad (2.11)$$

El control que se aplique debe hacer que la relación de conversión varíe entre infinito (en los cruces por cero del voltaje de red) y algún valor mínimo M_1 (en los picos de la forma de onda del voltaje de red, es decir $v_g(t) = V_{ca}$), donde V_{ca} es el voltaje pico del voltaje de entrada (en el próximo capítulo, V_{ca} será igual a V_{gp} , es decir, voltaje pico de red). Por lo tanto, $M_{1,min}$ esta dado por

$$M_1 = \frac{V_o}{V_{ca}} \quad (2.12)$$

En la medida que un convertidor exhiba un comportamiento ideal, la potencia instantánea transferida de la entrada a la salida es la misma. Por lo tanto, la corriente $i_{d(t)}$ esta dada por

$$i_{d(t)} = \frac{v_{g(t)} i_{g(t)}}{V_o} \quad (2.13)$$

Remplazando la ecuación (2.8) con la ecuación (2.9)

$$i_{d(t)} = \frac{(V_{g(t)})^2}{V_o R_e} \quad (2.14)$$

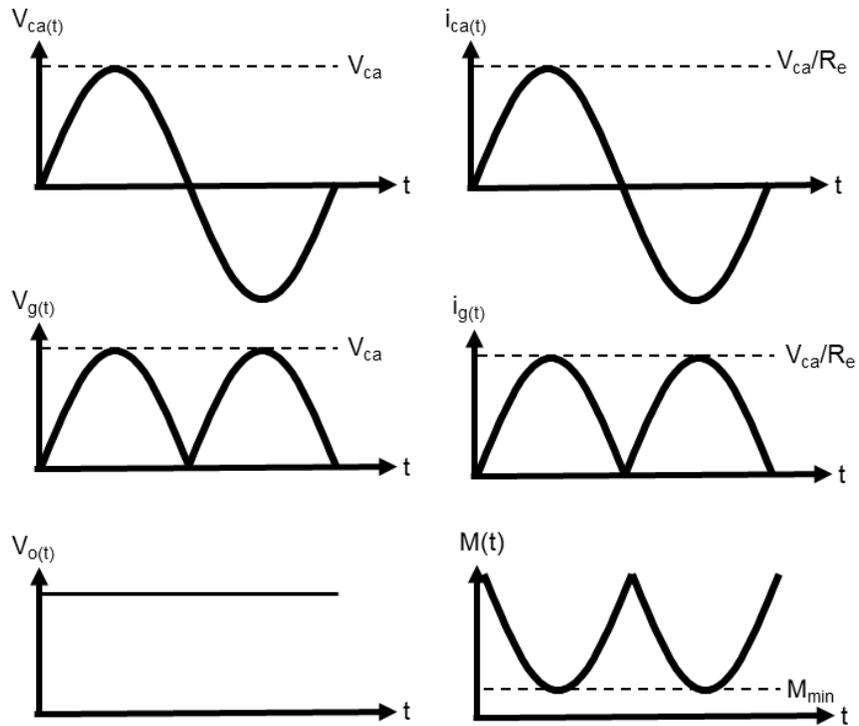


Figura 2.4. Formas de onda características de un rectificador ideal

Sustituyendo en la ecuación 2.13 la identidad trigonométrica $\text{Sen}^2(\theta) = \frac{1 - \cos(2\theta)}{2}$ se obtiene

$$i_{d(t)} = \frac{(V_{ca}(1 - \cos(2\omega t)))^2}{2V_o R_e} \quad (2.15)$$

De la ecuación 2.15 se observa que la corriente que alimenta al condensador de salida y a la carga contiene una componente en CD y una componente de segundo armónico de la línea. La función del condensador de salida es filtrar la componente armónica de esta corriente, de tal manera que la corriente de entrada (que también fluye a la resistencia de carga) esté conformada únicamente por el componente CD. Por lo tanto, se tiene que:

$$I_o = \frac{V_{ca}^2}{2V_o R_e} \quad (2.16)$$

Para casos de estudio se considera que la potencia de salida es constante, es decir, que el voltaje y la corriente no se encuentran variando en el tiempo. Por lo tanto:

$$P_{o(t)} = V_{o(t)} I_{o(t)} \approx V_o I_o \quad (2.17)$$

2.4 Estrategias típicas para la CFP

Las estrategias típicas para la CFP son las llamadas “Control por Multiplicador Analógico” y “Control Seguidor de Tensión”. La función de estas estrategias de manera general trata de que la red eléctrica vea a la fuente de alimentación como una carga puramente resistiva tal como se muestra en la Figura 2.5. Adicionalmente al hecho de que se comporte como una carga resistiva se le añade el termino de Emulador de Resistencia (ER), es decir, $v_{control}(t)$ (ver la ecuación 2.7) se encarga de que la resistencia varíe, con el fin de que la corriente de entrada siga al voltaje de entrada.

Para aplicaciones de CFP es necesario tomar en cuenta los siguientes puntos:

- Forzar a que la corriente de entrada sea una senoide.
- Regular la tensión de salida

Existen dos formas tradicionales de realizar físicamente el control de un ER.

- Control con un lazo de corriente y un lazo de tensión, también llamado control con multiplicador analógico.
- Control con un solo lazo de tensión y que el convertidor opere en modo de conducción discontinuo, también llamado seguidor de tensión.

La CFP se puede llevar a cabo con esquemas ya sea de dos etapas (Figura 1.3) o una etapa (Figura 1.4). La solución de dos etapas en principio resulta ser más costosa debido a las dos etapas que se implementan, aunque mejor en desempeño en términos de CFP y dinámica de la tensión de salida, por lo que la selección del tipo de convertidor para la primera etapa y la estrategia de control para alcanzar un adecuado FP es importante.

2.4.1 Control del FP a través del Multiplicador Analógico

La estrategia conocida como “Control por Multiplicador” (Figura 2.6a) [7], [10] es una estrategia para la CFP, que presenta la ventaja de hacer sin problemas una conformación senoidal de la corriente de entrada y por lo mismo pasa sin problemas la norma IEC 61000-3-2 sin dificultad al tener una adecuada eliminación de armónicos de baja frecuencia (y por lo mismo tener un muy alto FP y muy baja THD). Sin embargo, presenta como desventajas por un lado la necesidad de utilizar un sensor de corriente y sensores de voltaje, así como la necesidad de contar con un circuito integrado especial para CFP con multiplicador analógico, que tiene un elevado costo en comparación con los circuitos integrados generadores PWM para sistemas de alimentación conmutados. Por el mismo hecho de considerar tres variables a sensar su control resulta ser ciertamente complejo.

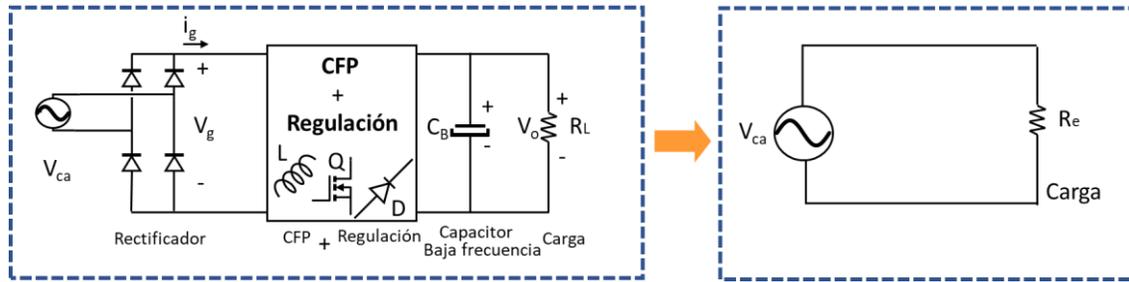


Figura 2.5. Esquema a bloques del emulador de resistencia

La estrategia del uso del multiplicador analógico de la Figura 2.6a, cuenta con un lazo de retroalimentación de corriente que obliga a que la modulación de ancho de pulso del interruptor controlado emule una resistencia, sea tal que la corriente de entrada siga la referencia de corriente. La referencia de corriente que define la señal PWM del interruptor de potencia, es el resultado de comparar la corriente de entrada sensada con una señal de error. En este caso proviene de la multiplicación de una muestra del voltaje de entrada senoidal rectificado (sensado a través de las R_1 y R_2) con la señal de error que proviene del amplificador de error del lazo de retroalimentación de la tensión de salida. Debido a que la máxima prioridad del convertidor CFP es conformar la corriente senoidal de entrada, en el lazo de retroalimentación del voltaje de salida se requiere colocar un filtro pasa bajas a muy baja frecuencia, lo cual provoca el deterioro substancial de la regulación dinámica del voltaje de salida.

Para el lazo de corriente existen tres métodos típicos, los cuales obligan a que diferentes parámetros de la corriente de entrada sigan la forma de onda del voltaje de entrada senoidal rectificado. Estas son conocidas como:

- Control de corriente pico [11].
- Control de corriente promediada [12].
- Control de histéresis variable [11].

2.4.2 Control Seguidor de Tensión

Por otro lado, también existe la estrategia conocida como “Control por Seguidor de Tensión” [8] (Figura 2.6b), la cual ofrece conformar una señal casi senoidal de corriente de entrada, al comportarse la topología como un emulador de resistencia de manera natural. Esta estrategia ofrece ventajas tales como no requerir de un multiplicador analógico ni sensor de corriente. Sin embargo, las desventajas que presenta son tener mayores pérdidas en los dispositivos de potencia ya que requiere estar trabajando en Modo de Conducción Discontinua (MCD), además de que dicha estrategia aplica para convertidores del tipo reductor -elevador [13], [14], [15]. El lazo de retroalimentación de tensión de salida requiere del filtro pasa-bajos, por lo cual ocasiona que la regulación dinámica del voltaje de salida sea lenta.

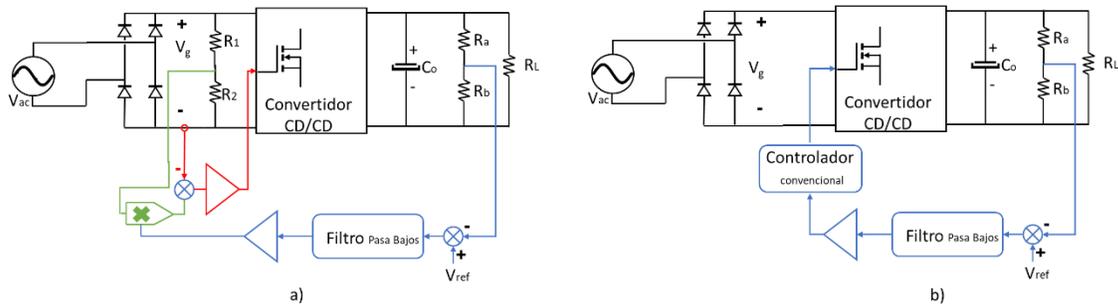


Figura 2.6. Emuladores de resistencia. a) Esquema multiplicador y b) Esquema seguidor

La Figura 2.6b muestra el único lazo de tensión que se implementa en el esquema seguidor, el cual utiliza un sensor de voltaje a partir de un divisor resistivo. El voltaje sentido se compara con un voltaje de referencia, después pasa por un filtro pasa bajas debido a que se necesita un regulador relativamente lento para que pueda conformar la corriente de entrada. El lazo de tensión determinará el valor de tiempo de conducción del interruptor controlado. Para ello es necesario que el ciclo de trabajo permanezca constante durante un semiciclo de red para que el emulador corrija de manera natural el FP.

2.5 Estrategias OCC y VCCR para la CFP

Las estrategias OCC y VCCR surgen como alternativas que buscaron simplificar la implementación de la CFP, eliminando el uso del multiplicador analógico y manteniendo las ventajas que se tienen con el uso de la estrategia de “Control por Multiplicador” y/o la estrategia de “Control por Seguidor de Tensión”.

2.5.1 OCC (una integración)

La estrategia de control propuesta por la Dra. Keyue Smedley llamada “Control de un Ciclo” [16], resulta ser una estrategia sencilla y de reducido número de componentes (en la etapa de control), debido a que utiliza un lazo de tensión y un lazo de corriente para realizar el objetivo de la conformación de la corriente de entrada. La Figura 2.7 muestra el diagrama general de dicha estrategia, la cual simplifica bastante el problema de complejidad en comparación con la estrategia multiplicador, ya que no necesita un multiplicador analógico como en la Figura 2.6a. Además, mantiene diversas ventajas en comparación con la solución con multiplicador analógico operando en MCC, tales como alto FP y baja THD, bajas pérdidas en el interruptor controlado, menor número de componentes y poder trabajar con frecuencias de línea más altas (mayores a 50 o 60 Hertz).

Partiendo de [16] se han realizado diferentes estudios con esta estrategia como en [17],[18] que permitieron la construcción de un circuito integrado que realizara dicha función [19], por lo que resulta ser una estrategia interesante para ser analizada en otro tipo de convertidores que no sea el convertidor tradicional *Boost*. Es importante mencionar el uso de la estrategia

OCC se sigue utilizando como una alternativa para diferentes casos de investigación [20], [21].

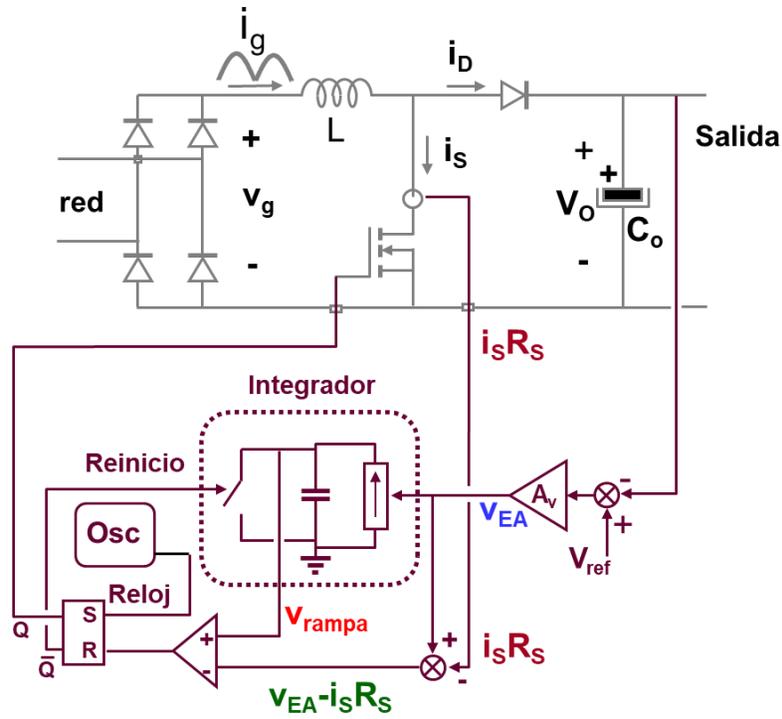


Figura 2.7. Diagrama general de la estrategia de control OCC

Para la implementación de la solución OCC, el integrador se ajusta para que la señal voltaje de la rampa V_{rampa} coincida con el voltaje de error del amplificador V_{EA} al final del periodo de conmutación (esto en la etapa de control), para que el sistema funcione correctamente, como se muestra en la Figura 2.8.

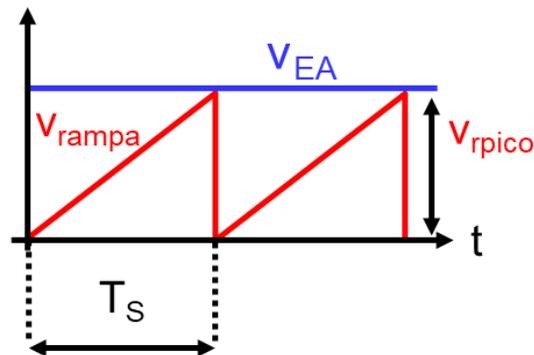


Figura 2.8. Ajuste de la rampa a la frecuencia de conmutación

Para obtener el ciclo de trabajo en la estrategia OCC se comparan las señales mostradas en la Figura 2.9 (esto para el caso del convertidor *Boost*). En este caso, la rampa lineal V_{rampa} se crea por medio de la integración de la señal V_{EA} y esta es interceptada con $V_{EA} - I_S R_S$ donde I_S es la corriente sensada que pasa por el interruptor controlado Q_1 y R_S es la ganancia. Para determinar el fin del periodo de conducción del interruptor controlado Q_1 . Asumiendo que V_{EA} es constante en un periodo de conmutación se tiene:

$$V_{rampa} = V_{EA} - I_S R_S \quad (2.18)$$

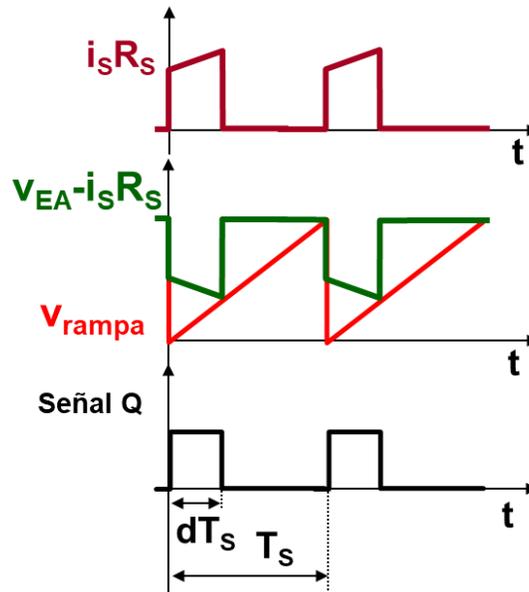


Figura 2.9 Principales formas de onda de la estrategia OCC en el convertidor Boost

2.5.2 OCC (dos integraciones)

La estrategia OCC para la CFP necesita de una doble integración en la etapa de control para los convertidores del tipo reductor-elevador (*Flyback, Sepic, Cúk, Zeta*). La Figura 2.10 muestra el diagrama general a bloques de la estrategia OCC en donde sus principales entradas de señales en V_1 , V_2 y V_3 dependerán del tipo de convertidor (las señales se encuentran mostradas en la Tabla 1) y del punto en el que se sensa la corriente que puede ser a través del inductor L_1 o a través del interruptor controlado Q_1 .

El funcionamiento de la estrategia inicia con un nivel alto en el biestable con la señal de reloj (en el pin Set), en donde al mismo tiempo empieza a crecer la rampa ($V + (t)$), que en este caso es la integración de la corriente sensada en Q_1 en el integrador número 2 y posteriormente se suma el Voltaje de Error del Amplificador (V_{EA}) para posteriormente ser integrado nuevamente en el integrador número 1 y dicha rampa es comparada con el V_{EA} que es puesta en la entrada V_1 para realizar el cambio de estado en el biestable. Para poder cambiar de estado al biestable, es decir, poder apagar al interruptor controlado Q_1 con la señal Q . En

la Figura 2.11 se muestran las principales formas de onda de la Figura 2.10, como es la señal de reloj que es la encargada de dar el inicio de conducción del interruptor controlado Q_1 , la intercepción de la señal V_{EA} que en este caso es la señal que entra por V_1 y por último la señal Q .

Tabla 1. Señales de entrada de OCC de acuerdo con el punto de sensado de corriente

| Tipo de Sensado | Entradas | Señal en el Sepic |
|-----------------|----------|-----------------------|
| L_1 | V_1 | V_{EA} |
| | V_2 | $V_{EA} + R_S i_{L1}$ |
| | V_3 | - |
| Q_1 | V_1 | V_{EA} |
| | V_2 | V_{EA} |
| | V_3 | $R_S i_{Q1}$ |

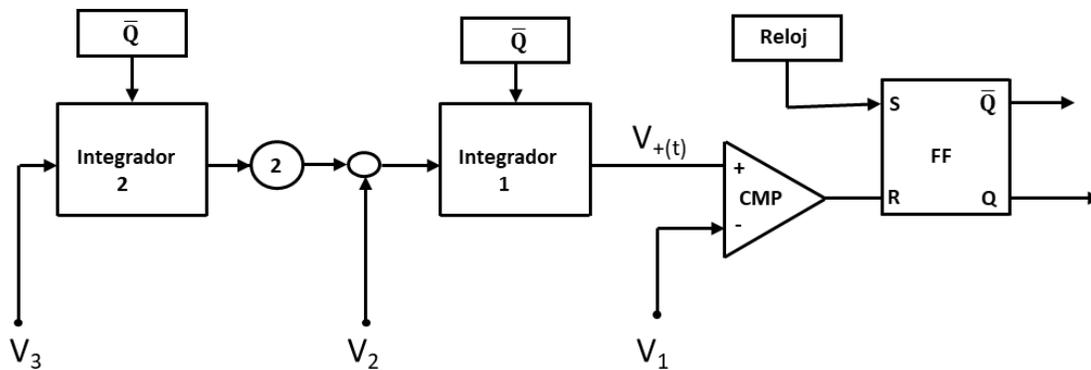


Figura 2.10. Diagrama general de dos pasos de integración para OCC en el convertidor Sepic

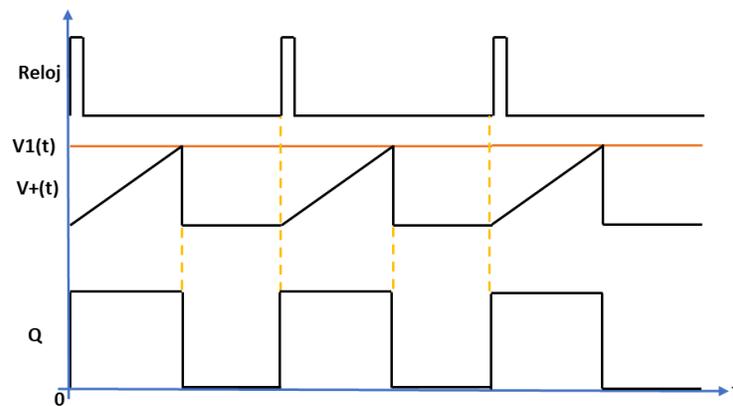


Figura 2.11. Principales formas de onda de la estrategia OCC (señal de reloj, V_{EA} ($V_1(t)$) y señal para el interruptor controlado)

Asumiendo que V_2 y V_3 son constantes en un periodo de conmutación se tiene que:

$$V_+(t) = V_2(t/T_s) + V_3(t/T_s)^2 \quad (2.19)$$

Para el tiempo t del inicio de un ciclo hasta el momento $V_+(t) = V_1$. Por lo que el ciclo de trabajo de Q_1 satisface

$$V_1 = V_2d + V_3d^2 \quad (2.20)$$

2.5.3 VCCR (lineal)

La estrategia que incorpora una función lineal también conocida como rampa lineal fue propuesta por el Dr. Javier Sebastián en [22] “Rampa de Compensación Controlada por Voltaje. Propone una estrategia sencilla pero funcional para la CFP que busca en principio mejorar los resultados obtenidos con la estrategia OCC. En la Figura 2.12 se muestra el diagrama general de la estrategia de generación PWM para control del CFP. Al igual que la estrategia OCC implementan una rampa lineal a través de una integración, dichas estrategias son implementadas en el convertidor *Boost* en el cual se obtienen resultados aceptables de FP y THD.

Las estrategias OCC y VCCR son ciertamente similares, teniendo como diferencia la forma como se obtiene la modulación por ancho de pulso (PWM), además de tener un detector de picos. Como se muestra en la Figura 2.13a y 2.13b, ambas estrategias están basadas en el uso de controladores convencionales en modo corriente pico para convertidores conmutados y controla un amplio rango de voltaje de entrada operando en MCC. Además, la corriente de entrada se controla ciclo por ciclo, por lo tanto, el lazo de retroalimentación de corriente es muy rápido.

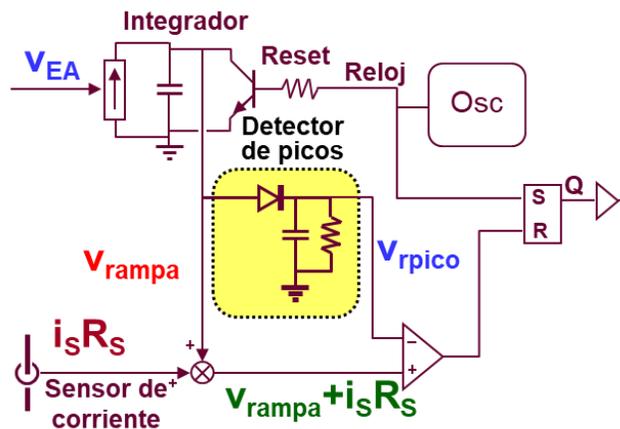


Figura 2.12. Diagrama general de VCCR con detector de pico

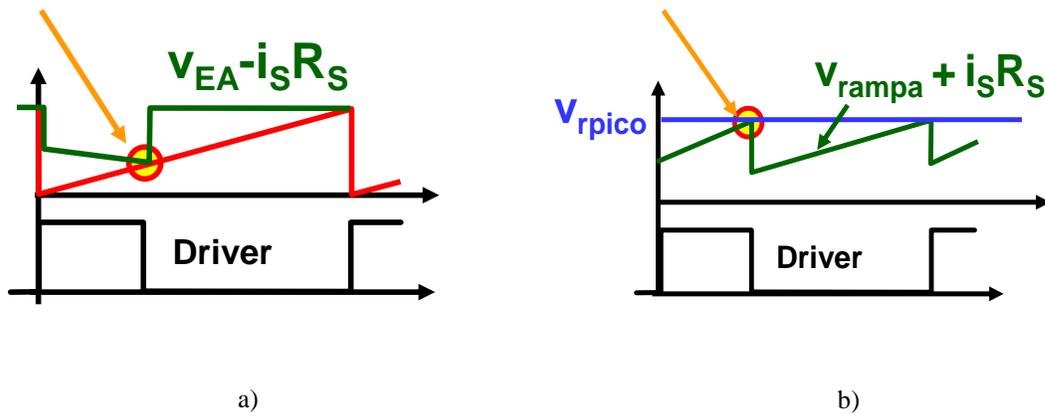


Figura 2.13. Intercepción de señales para la generación PWM. a) Estrategia OCC, b) Estrategia VCCR lineal

Para utilizar la misma estrategia de control VCCR en otro tipo de convertidores se necesita implementar otro tipo de rampa no lineal, debido a que la rampa lineal no obtiene los mejores resultados en cuanto a THD y FP al ser utilizada en los convertidores de tipo reductor-elevador. En el caso de VCCR con la rampa lineal se comparan las señales V_{rpico} y $V_{rampa} + I_S R_S$ (I_S es la corriente sensada y R_S la ganancia) para obtener la señal de control y poder desactivar el interruptor controlado Q_1 .

2.5.4 VCCR (exponencial)

La estrategia que incorpora una función exponencial también conocida como rampa exponencial fue propuesta por el Dr. Javier Sebastián en [22] como una solución para mejorar la corriente de entrada debido a que el uso de una rampa lineal no mejoraba dicha corriente en los convertidores del tipo reductor-elevador como se ve en la Figura 2.14. La Figura 2.15 muestra cómo se puede crear la rampa exponencial, esto a través del Voltaje de Error del Amplificador V_{EA} determina el valor de la corriente de la fuente de corriente, a través de la transconductancia (g) de la fuente de corriente (Por lo que el valor de la corriente de la fuente es $i_{fuente\ de\ corriente} = gV_{EA}$). La forma de onda voltaje de la rampa V_{rampa} se obtiene multiplicando el valor de la corriente por la impedancia del capacitor (C_I) y la resistencia (R_R) en paralelo. Por tanto, el uso de una rampa exponencial puede mejorar la corriente de entrada (como se muestra en el siguiente capítulo), es impórtate recordar que al ser un corrector la dinámica de dicha estrategia es lenta puesto que se necesita conformar la corriente de entrada.

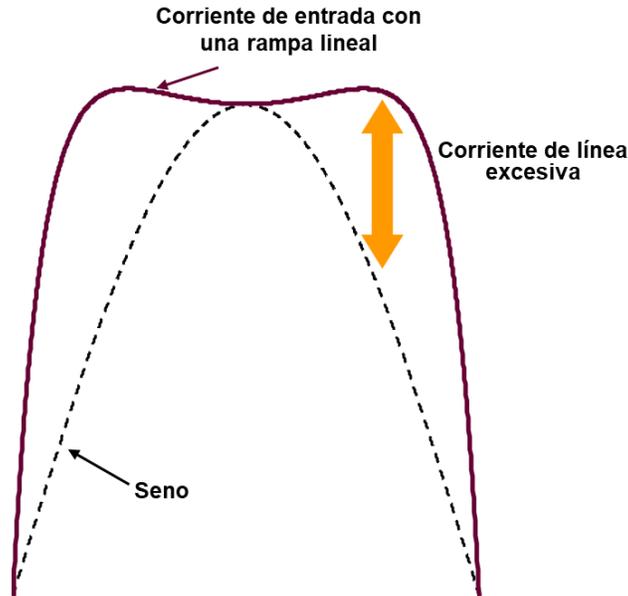


Figura 2.14 Corriente de entrada con la estrategia VCCR en convertidores reductor-elevador

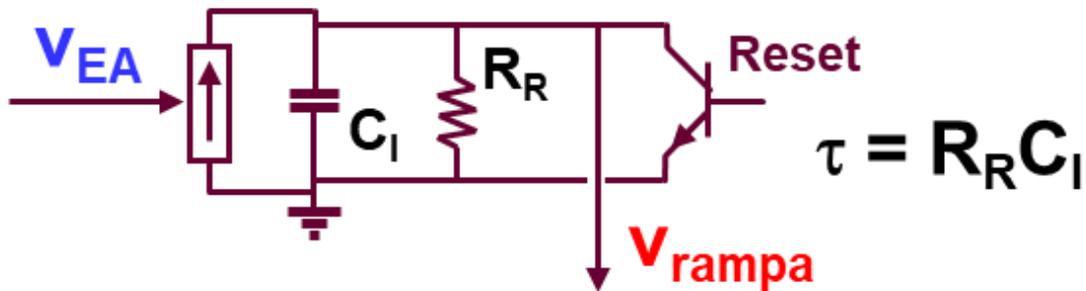


Figura 2.15. Creación de la rampa exponencial

Con el Voltaje de Error del Amplificador V_{EA} se controla cómo es la rampa exponencial en lo que se refiere a su valor final. Con la constante de tiempo $\tau = R_R C_1$ se controla el ritmo de subida de la exponencial. Para encontrar el valor óptimo de la rampa exponencial se define μ que es el cociente entre el periodo de tiempo y la constante de tiempo mostrada en la ecuación (2.21) de acuerdo con la Figura 2.16. El valor de τ se obtiene por medio de la línea tangente a la rampa exponencial y su interceptación con el valor pico de la propia rampa V_{rpico} .

$$\mu = \frac{T_s}{C_1 R_R} \tag{2.21}$$

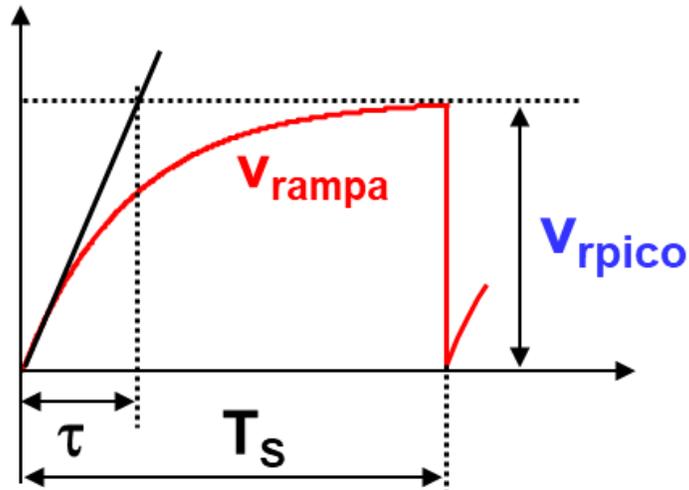


Figura 2.16. Rampa exponencial

La Figura 2.17 muestra la intersección de las señales $V_{EA} - V_{rampa}$ con la corriente sensada multiplicada por una ganancia $I_s R_s$ para obtener la señal de apagado del interruptor controlado Q_1 . En la Figura 2.12 se presenta la manera de obtener el valor de voltaje V_{rpico} (mediante un detector de pico), la rampa exponencial y la señal de sensado de corriente.

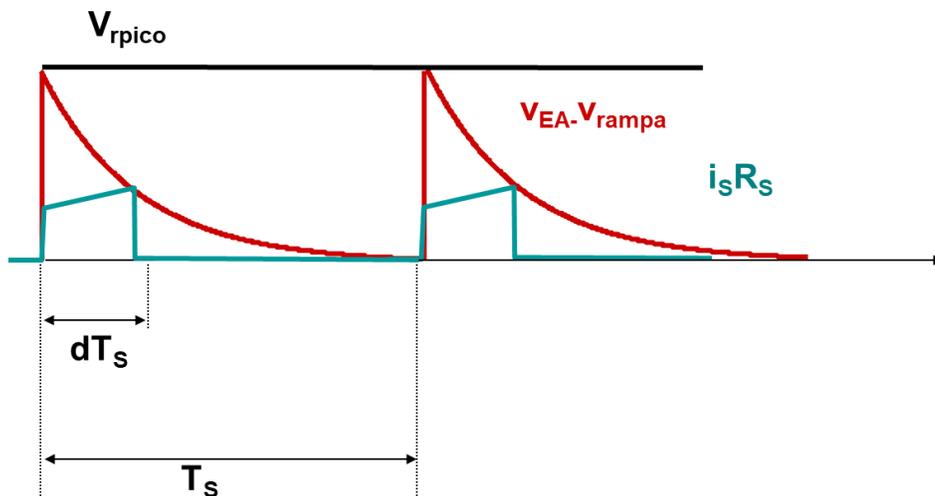


Figura 2.17. Intercepción de señales para la generación PWM en VCCR exponencial

2.6 Elección del convertidor de potencia para la CFP

Resulta interesante proponer el uso de algún convertidor reductor-elevador y seleccionar el adecuado en este tema de estudio de CFP. El convertidor Buck-Boost como opción para la primera etapa de CFP, es importante resaltar que requiere un filtro adicional en la entrada dado el carácter pulsante de la corriente de entrada, además de tener el interruptor controlado

flotado de la tierra del convertidor. Por otro lado, el convertidor Cùk (véase Figura 2.18b) tiene ventajas interesantes sobre el Buck-Boost como corriente no-pulsante tanto en los circuitos de entrada y salida. Sin embargo, el convertidor Cùk tiene el inconveniente de tener el voltaje de salida invertido con respecto a la tensión de entrada y contar con un mayor número de componentes [23]. Para el caso del convertidor Zeta (véase Figura 2.18c) se tiene la desventaja de no tener inductor en la entrada, lo cual provoca tener corriente pulsante, además de tener el interruptor controlado flotado con respecto a la tierra de la topología [24].

Finalmente, el convertidor *Sepic* (véase Figura 2.18d) tiene la ventaja de tener su interruptor controlado referido a tierra, contar con un inductor a la entrada (que le permite tener corriente de entrada no pulsante) y no tener un voltaje de salida invertido como ocurre con el convertidor Cùk, por lo que resulta ser un convertidor apto para realizar la función de CFP cuando se busca tener un voltaje de salida menor que el que se tendría utilizando un convertidor Boost (Figura 2.18a). La desventaja de este convertidor es presentar corriente pulsante en la salida, además del capacitor de salida que debe ser calculado en baja frecuencia (típico de un CFP), pero tomando en cuenta que en cualquier convertidor que realice la función de CFP el capacitor de salida se diseña en baja frecuencia, este inconveniente no tiene impacto en la comparación.

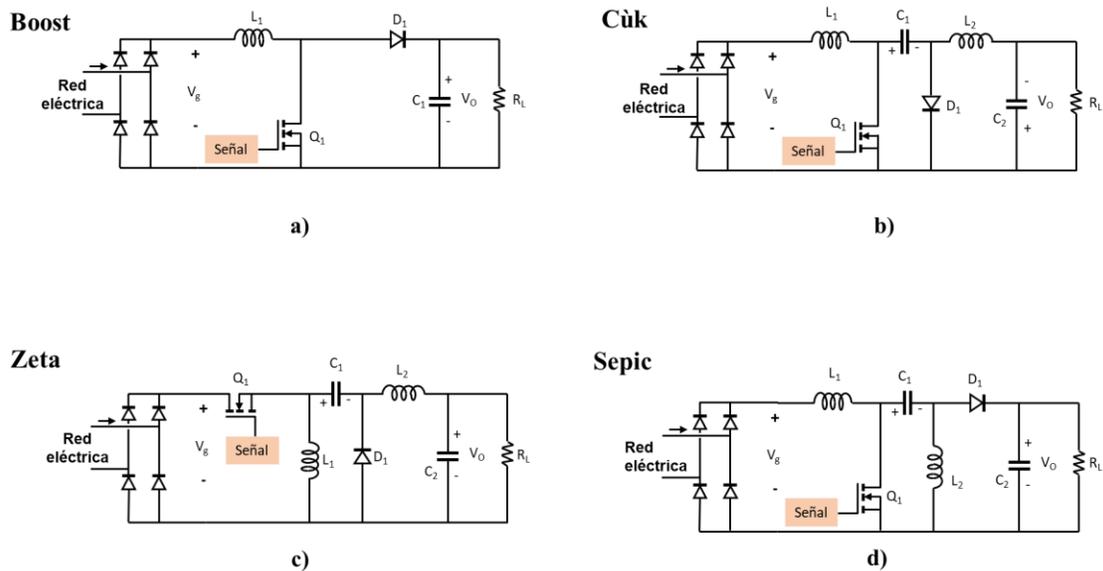


Figura 2.18 Convertidores CD/CD. a) Boost, b) Cuk, c) Zeta, d) Sepic

Capítulo 3: Análisis y diseño de las estrategias OCC y VCCR

Este capítulo presenta el “Análisis y diseño de las estrategias OCC y VCCR” para el convertidor *Sepic*, así como también los resultados de las simulaciones realizadas con ambas estrategias, relacionados con la corriente de entrada en CA sobre la cual se analizan los resultados de FP, la THD y los armónicos individuales obtenidos a tensión americana y europea.

3.1 Convertidor *Sepic* como CFP

El convertidor *Sepic* (por sus siglas en inglés *Single-Ended Primary-Inductor Converter*) es una topología reductora-elevadora. La Figura 3.1 muestra el esquema del convertidor *Sepic*, el cual posee dos inductores (L_1 , L_2) y dos capacitores (C_1 , C_2) capaces de almacenar energía además de dos interruptores: un interruptor controlado (Q_1) y uno no controlado (D_1).

Cuando un convertidor opera en lo que se conoce como Modo de Conducción Continua (MCC) se da lugar a dos esquemas, es decir, dos tiempos; encendido y apagado (T_{on} y T_{off}), por un lado, cuando el interruptor controlado está en T_{on} es cuando el interruptor controlado Q_1 se encuentra conduciendo como se muestra en la Figura 3.2a y el otro momento es en el momento de apagado, es decir, cuando el interruptor controlado Q_1 no conduce pero el interruptor no controlado D_1 sí conduce (Figura 3.2b). El interruptor controlado Q_1 conmuta a una frecuencia de $F_S = \frac{1}{T_S}$.

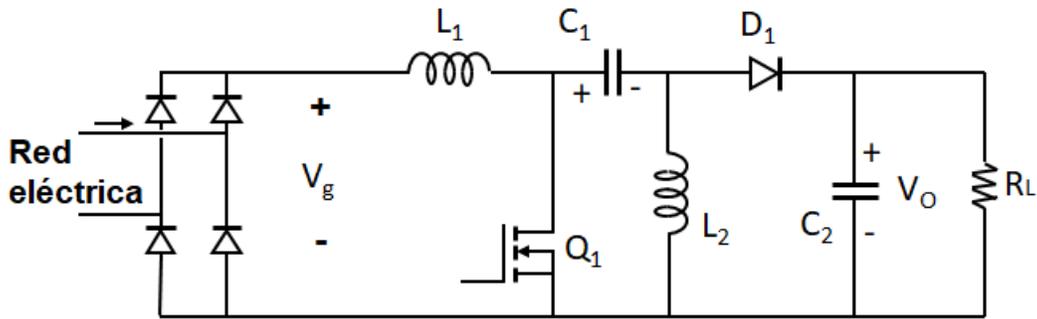


Figura 3.1 Esquema del convertidor *Sepic*

El comportamiento de los inductores y capacitores están definidos por las ecuaciones (3.1, y 3.2).

$$V_L = L \frac{di}{dt} \quad (3.1)$$

$$I_c = C \frac{dv}{dt} \quad (3.2)$$

La tensión promedio en las terminales del inductor y la corriente promedio a través del capacitor son cero, por lo tanto I_L y V_C son cero (análisis en CD)

$$I_L(0) = I_L(T_S) \quad (3.3)$$

$$V_c(0) = V_c(T_s) \quad (3.4)$$

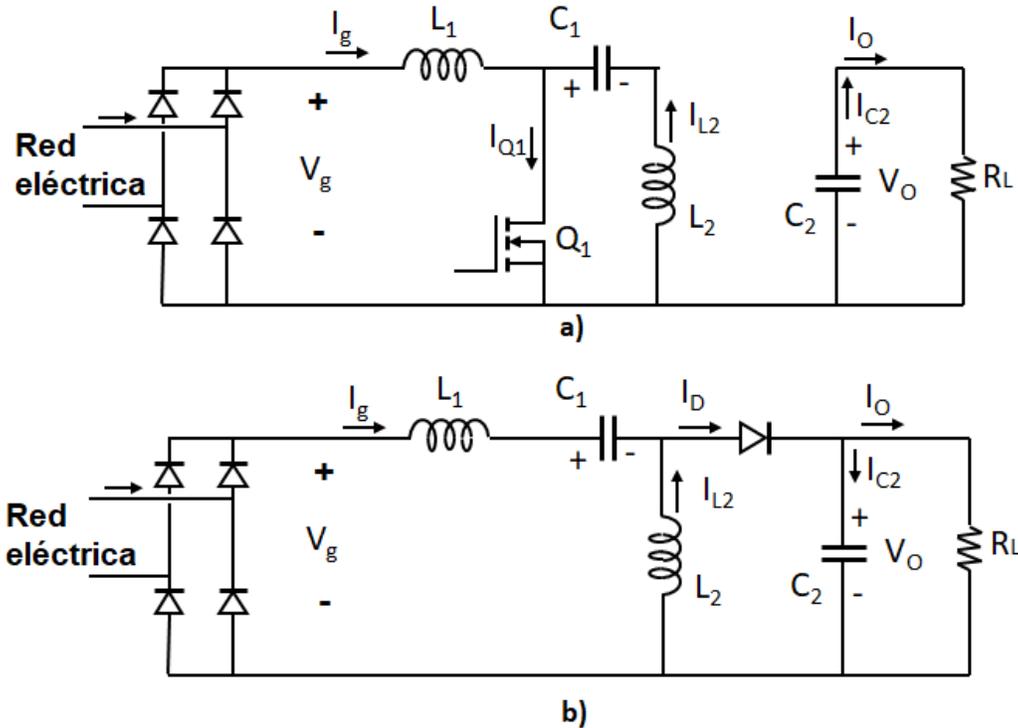


Figura 3.2 Circuitos equivalentes del convertidor Sepic en MCC. a) Ton, b) Toff

3.1.1 Operación del convertidor durante el tiempo de encendido de Q_1

Mientras el interruptor controlado Q_1 está en On, la tensión aplicada entre terminales de L_1 es $v_g(t)$. Por lo tanto, el inductor se carga y la corriente a través de él empieza a aumentar con una pendiente definida por $\left(\frac{v_g(t)dt}{L_1}\right)$. El inductor de salida L_2 empieza a almacenar energía proveniente de la descarga de C_1 , partiendo del principio de que el capacitor no permite cambios drásticos de voltaje y que además su capacitancia haya sido elegida de tal manera que durante un periodo de conmutación el cambio de tensión fuese mínimo se tiene que $\left(\frac{v_{C1}(t)dt}{L_2}\right)$, donde por simplicidad se asume que $v_{C1}(t)$ es constante.

Considerando que en régimen permanente un inductor es virtualmente un cortocircuito, se deduce que en un periodo de conmutación $v_{C1}(t) = v_g(t)$. La descarga de C_1 está dada por $\left(-\frac{i_{L2}(t)dt}{C_1}\right)$ siempre y cuando la variación de $i_{L2}(t)$ sea pequeña. Para el capacitor de salida C_2 está dado por $\left(-\frac{v_{C2}(t)dt}{C_2 R_L}\right)$ donde $v_{C2}(t) = v_o(t)$.

3.1.2 Operación del convertidor durante el tiempo de apagado de Q1

Para el caso cuando el interruptor controlado Q_1 esta en Off, la tensión promedio en C_1 es $v_{C1(t)} = v_g(t)$ para L_1 se tiene $v_{L1(t)} = -v_o(t)$, lo cual implica que durante T_{off} el inductor L_1 se descarga con una pendiente de $\left(-\frac{v_o(t)dt}{L_1}\right)$. Dado que un inductor no permite cambios drásticos de corriente, la corriente a través de L_1 es $i_{L1(t)} = i_g(t)$. El capacitor de acoplamiento C_1 está conectado en serie con L_1 durante T_{off} por lo que $I_{C1(t)} = I_{L1(t)}$ por lo tanto el capacitor se carga y la tensión aplicada aumenta de forma $\left(\frac{i_{L1(t)dt}}{C_1}\right)$. En este estado $v_{L2} = -v_o(t)$ el inductor se descarga con una pendiente $\left(-\frac{v_o(t)dt}{L_2}\right)$. Considerando $I_{L2(t)} = I_o(t)$, la corriente a través de C_2 en este estado es igual a la corriente de C_1 , es decir $i_{L1(t)} = i_{C2}$, entonces C_2 se carga con una pendiente $\left(\frac{i_{L1(t)dt}}{C_2}\right)$.

3.1.3 Análisis en CD

La ganancia en CD se obtiene de las gráficas mostradas en la Figura 3.3. La tensión de cualquiera de los dos inductores presenta el mismo comportamiento en un ciclo de conmutación. Para T_{on} el voltaje entre terminales de L_1 es V_g y para T_{off} se tiene un voltaje entre terminales de V_o . Entonces expresando la ganancia en función del ciclo de trabajo se tiene que la ganancia está definida por la ecuación 3.5 (es importante acarrar que a partir de ahora se define a M como la ganancia del convertidor y a M_1 como la relación de transformación que existe entre el voltaje de salida y el voltaje pico de entrada, esto se verá más adelante)

$$M = \frac{D}{1-D} \quad (3.5)$$

La Figura 3.3 muestra las principales formas de onda del convertidor *Sepic* en las cuales se muestran los esfuerzos de tensión y de corriente en cada componente. Realizando el análisis de las leyes de voltaje y corriente de *Kirchhoff* se obtiene el dimensionamiento de cada uno de sus componentes.

Para el dimensionamiento del inductor L_1 se considera un rizo de corriente igual a la diferencia entre I_2 e I_1 ($\Delta_{IL1} = I_2 - I_1$), además de ser equivalente al porcentaje de rizo de la corriente de entrada I_g . En la Figura 3.3 se puede observar las formas de onda en el inductor para realizar el balance de energía y considerando que durante T_{on} el valor de V_{L1} es V_g se obtiene la ecuación 3.6.

$$L_1 = \frac{V_g V_o}{\Delta_{IL1} F_s (V_g + V_o)} \quad (3.6)$$

Aplicando el mismo análisis del inductor L_1 se calcula el valor de L_2 el cual se muestra en (3.7), se considera un segundo rizado de corriente, que es igual a la diferencia entre las corrientes máxima y mínima que circulan por el inductor ($\Delta_{IL2} = I_4 - I_3$), también es equivalente al porcentaje rizo de la corriente de salida I_O .

$$L_2 = \frac{V_g V_o}{\Delta_{IL2} F_s (V_g + V_o)} \quad (3.7)$$

El dimensionamiento del capacitor de acoplamiento C_1 dependerá del porcentaje de rizo. Además, el capacitor no puede ser muy grande, ya que debe permitir que su tensión cambie a $2\pi F_{Rectificada}$. Durante T_{off} (Figura 3.2b) el capacitor C_2 y L_2 tienen la relación $V_{L2} = -V_O$, de esta manera el inductor se descarga a una tasa de $\frac{dI_{L2}}{dt} = -\frac{V_O}{L_2}$. La corriente del inductor de salida L_2 es igual a la corriente de salida (esto en valor promedio) $I_{L2} = I_O$. Partiendo de la relación anterior el capacitor de acoplamiento C_1 se descarga a una tasa de $\frac{dV_{C1}}{dt} = \frac{I_{L2}}{C_1}$ y se obtiene (3.8).

$$C_1 = \frac{I_O V_O}{V_g V_O \Delta_{Vc1} F_s} \quad (3.8)$$

El capacitor de salida debe ser capaz de filtrar dos componentes una de CD y otra de CA. Este valor de capacitancia está dado por (3.9), además el capacitor de salida debe proporcionar el voltaje necesario durante un instante de tiempo Δ_t para la siguiente etapa la cual dará la dinámica y regulación de voltaje de salida necesaria para alimentar a la carga.

$$C_{2(BF)} = \frac{2P_{out} \Delta_t}{V_O^2 - V_{O(min)}^2} \quad (3.9)$$

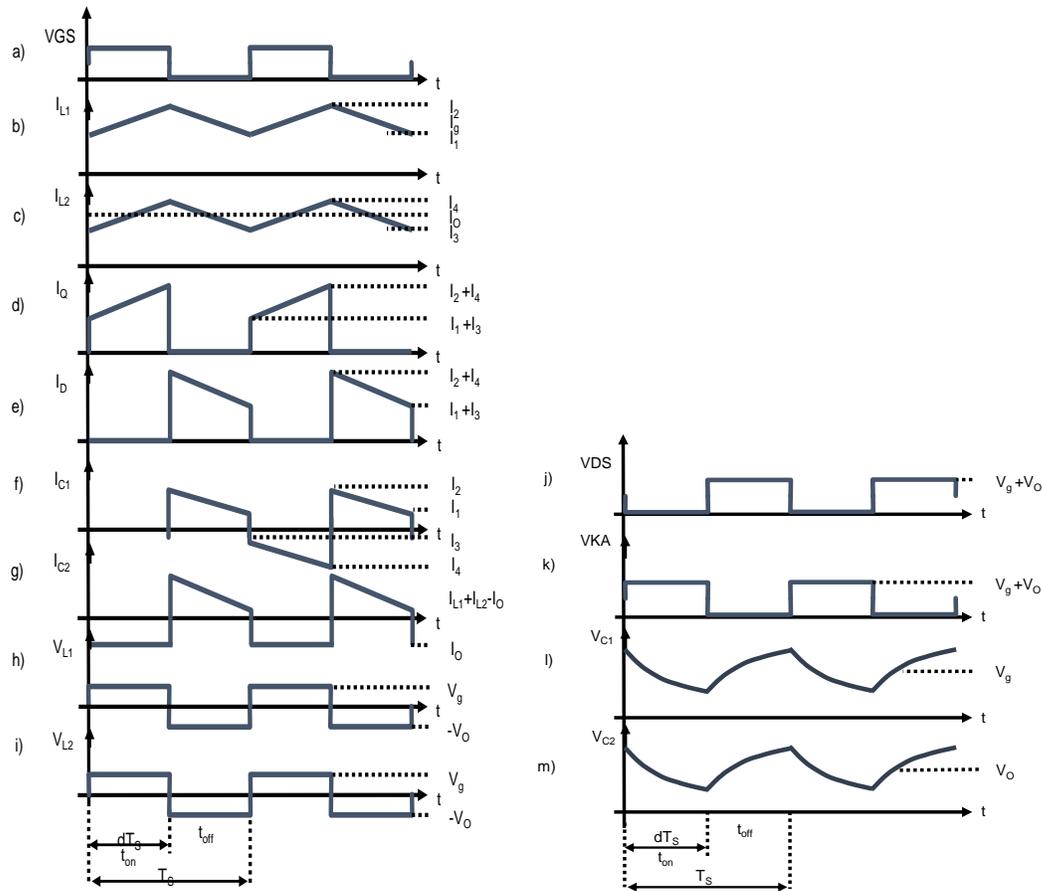


Figura 3.3. Principales formas de onda del convertidor Sepic en sus componentes

3.2 Análisis de la estrategia OCC

La estrategia OCC aplica solo una integración (de acuerdo con su ley de control) al sensar la corriente que pasa por L_1 , es decir la corriente de entrada es igual a la corriente por el inductor de entrada $i_g = i_{L1}$. Para observar su comportamiento de la corriente de entrada se realiza un desarrollo matemático para poder observar el comportamiento de la corriente de entrada en medio ciclo de red (dicho análisis está basado en el análisis desarrollado previamente por el Dr. Javier Sebastián), así como obtener valores teóricos de FP y THD.

Durante T_{on} al estar conduciendo Q_1 como se muestra en la Figura 3.2a se tiene que el voltaje aplicado entre terminales es $V_g = V_{L1}$, aplicando la ecuación (3.1) se obtiene (3.10). Así mismo también se puede obtener la deducción durante el tiempo de apagado definido en (3.11).

$$V_g = L_1 F_s \frac{i_{s2} - i_{s1}}{d} \quad (3.10)$$

$$V_o = L_1 F_s \frac{i_{s2} - i_{s1}}{1 - d} \quad (3.11)$$

Donde V_g es el voltaje de red rectificado (grid, por sus siglas en inglés) L_1 es la inductancia de entrada, F_s la frecuencia de conmutación, i_{s2} e i_{s1} es el rizado de la corriente y d es el ciclo de trabajo.

La corriente promedio $i_{g.prom}$ definida en (3.12), es el valor promedio de la corriente que circula a través de L_1 . Dado que la corriente es igual a la corriente del inductor, entonces $i_g = i_{L1}$.

$$i_{g.prom} = \frac{i_{s2} + i_{s1}}{2} \quad (3.12)$$

De la ecuación (3.10) se despeja a i_{s2} , obteniendo:

$$i_{s2} = \frac{V_g d}{L_1 F_s} + i_{s1} \quad (3.13)$$

Así mismo, también obtiene i_{s1} de la ecuación (3.10)

$$i_{s1} = i_{s2} - \frac{V_g d}{L_1 F_s} \quad (3.14)$$

Sustituyendo las ecuaciones (3.13) y (3.14) en (3.12), se obtiene (3.15)

$$i_{g.prom} = i_{s2} - \frac{V_g d}{L_1 F_s} \quad (3.15)$$

De la relación de la ley de control de (2.17) al utilizar solo una integración se tiene que $V_1 = V_2 d$ y de acuerdo con la Tabla 1 (para definir las señales de entrada de V_1 y V_2) se deduce la ecuación (3.16) para determinar i_{s2} la cual es la corriente pico del inductor que circula durante el tiempo de encendido por Q_1 (Figura 3.3).

$$i_{s2} = \frac{V_{pico}}{R_s} \frac{(1-d)}{d} \quad (3.16)$$

De las ecuaciones (3.12) a (3.16) se obtiene una ecuación trascendental de la corriente promedio $i_{g.prom}$ durante el tiempo en el que conduce el interruptor controlado del convertidor *Sepic* con la estrategia OCC definida por (3.17).

$$i_{g.prom} = \frac{V_o}{V_g + V_o} \left(\frac{V_{rpico}(1-d)}{R_s d} - \frac{V_o V_g}{2L_1 F_s (V_o + V_g)} \right) \quad (3.17)$$

La ecuación (3.17) se encuentra evaluada en el instante de encendido (d). Para graficar el comportamiento de la corriente de entrada se define el parámetro M_1 que es la relación que existe entre el voltaje de salida y el voltaje pico de entrada, definida como:

$$M_1 = \frac{V_o}{V_{gp}} \quad (3.18)$$

Donde V_{gp} es el voltaje pico del voltaje de entrada. Después, se deduce la siguiente relación del ciclo de trabajo d :

$$d = \frac{V_o}{V_o + V_{gp} |\text{sen}(\omega t)|} = \frac{M_1}{M_1 + \text{sen}(\omega t)} \quad (3.19)$$

Por lo que la ecuación (3.17) queda expresada como (3.20) al tener en cuenta a (3.18) y (3.19)

$$i_{g.prom} = \frac{V_o}{V_{gp} |\text{sen}(\omega t)| + V_o} \left(\frac{V_{rpico}(1-d)}{R_s d} - \frac{V_o V_{gp} |\text{sen}(\omega t)|}{2L_1 F_s (V_o + V_{gp} |\text{sen}(\omega t)|)} \right) \quad (3.20)$$

El parámetro K es una variable que define el modo de conducción del convertidor entre MCC o MCD. Por lo que está definida como:

$$K = \frac{2L_1 F_s V_{rpico}}{R_s V_{gp}} \quad (3.21)$$

Con las deducciones obtenidas anteriormente se procede a modificar (3.17) para expresarla en términos de K y M_1 y obtener una gráfica de la corriente de entrada. De (3.17) a (3.21) se obtiene la ecuación que da información del comportamiento de la corriente de entrada del convertidor *Sepic* con OCC definida como:

$$i_{g.prom} = \frac{1}{M_1 + \text{sen}(\omega t)} \left(K \frac{1 - \frac{M_1}{M_1 + \text{sen}(\omega t)}}{\frac{M_1}{M_1 + \text{sen}(\omega t)}} - \frac{M_1 \cdot \text{sen}(\omega t)}{M_1 + \text{sen}(\omega t)} \right) \quad (3.22)$$

La Figura 3.4 muestra el comportamiento de la corriente de entrada dada por (3.17) para una M_1 de 0.7, en color rojo se muestra la senoide perfecta como referencia y en color azul se muestra la función de OCC con una integración. Es importante mencionar que, si se permite tener una mayor M_1 un mayor voltaje de salida, la corriente de entrada mejora (véase Figura 3.5), por lo que implicaría tener que aceptar valores de voltaje superiores al voltaje pico de entrada.

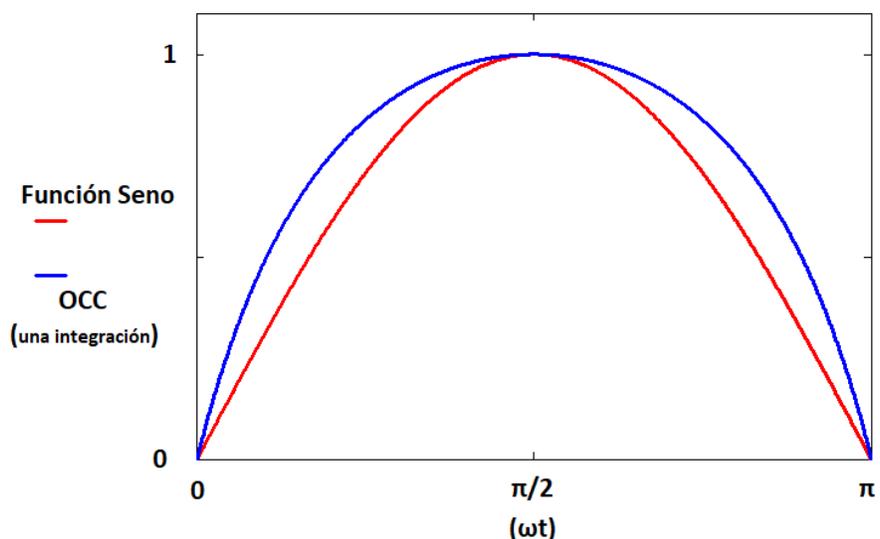


Figura 3.4. Corriente de entrada en medio ciclo de red con la estrategia OCC (una integración) aplicada al convertidor Sepic

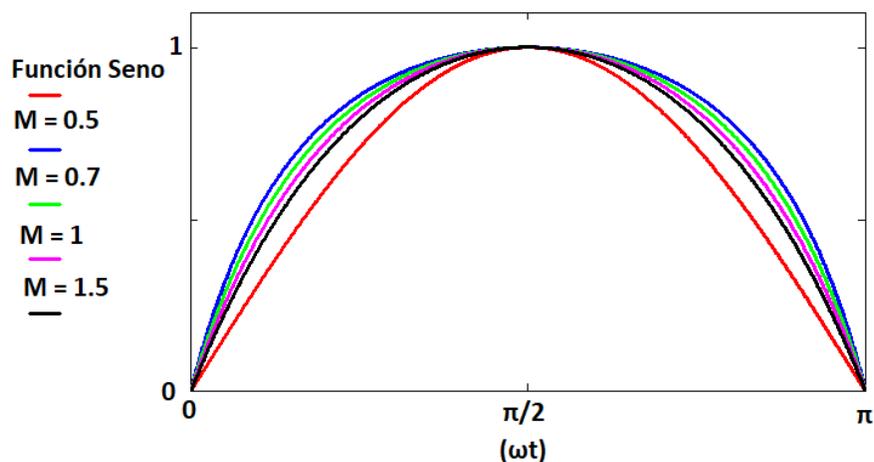


Figura 3.5. Corriente de entrada en medio ciclo de red con la estrategia OCC (una integración) con diferentes valores de M_1

Para determinar el modo de operación en el que se encuentra el convertidor (entre modo de conducción continuo y discontinuo), de la ecuación (3.15) y (3.19) se tiene:

$$\frac{V_o V_g}{2L_1 F_s (V_o + V_g)} = \frac{2L_1 F_s V_{rpico}}{R_s V_{gp}} \quad (3.23)$$

Reorganizando la ecuación (3.23)

$$\frac{V_{rpico}}{R_s} = \frac{V_{gp} |\text{sen}(\omega t)| + V_o}{(V_{gp} |\text{sen}(\omega t)| + V_o) L_1 F_s} \quad (3.24)$$

Aplicando las ecuaciones (3.18), (3.19) y (3.21) en (3.24) se encuentra el límite entre MCC y MCD la cual depende de $K_{Crítica}$ y está descrito por:

$$K_{Crítica} = \frac{2M_1 \cdot \text{sen}(\omega t)}{M_1 + \text{sen}(\omega t)} \frac{M_1}{(M_1 + \text{sen}(\omega t)) \left(\frac{M_1}{M_1 + \text{sen}(\omega t)} - 1 \right)} \quad (3.25)$$

$K_{Crítica}$ tiene diferentes valores dependiendo el voltaje de entrada. El valor máximo y mínimo está definido por (3.26), (3.27). Por lo tanto, siempre estará operando en MCC, si $K > K_{Crítica.máxima}$ y en MCD si $K_{Crítica.mínima} > K$.

$$K_{Crítica.máxima} = 2M_1 \quad (3.26)$$

$$K_{Crítica.mínima} = \frac{2M_1^2}{M_1 + 1} \quad (3.27)$$

Mediante la corriente de entrada (3.28) y el valor eficaz de la corriente de entrada (3.29) se puede graficar el comportamiento del FP y THD de la estrategia OCC con una integración. Para ello también se utilizan las ecuaciones (3.30) y (3.31).

$$i_l = \frac{2}{T_s} \int_0^{T_s} i_g(t) dt \quad (3.28)$$

$$i_{eficaz} = \sqrt{\frac{1}{T_s} \int_0^{T_s} (i_l(t))^2 dt} \quad (3.29)$$

$$FP = \frac{i_l}{\sqrt{2} i_{eficaz}} \quad (3.30)$$

$$THD = \frac{\sqrt{\frac{i_{eficaz}^2}{2} - \frac{i_1^2}{2}}}{\frac{i_1}{\sqrt{2}}} \quad (3.31)$$

La Figura 3.6 muestra la tendencia del FP y THD en función de M_1 . Para graficar, se eligen parámetros como una M_1 de 0.7 y una potencia de 250 W en el convertidor por lo que el valor de K es de 3.464 de acuerdo con la ecuación (3.21). Se grafica el comportamiento del FP y THD para diferentes valores de Relación de Transformación “ M_1 ”, de acuerdo con (3.22). El valor teórico del FP de 0.99 y THD 12.9% de acuerdo con la Figura 3.6 para una M_1 de 0.7

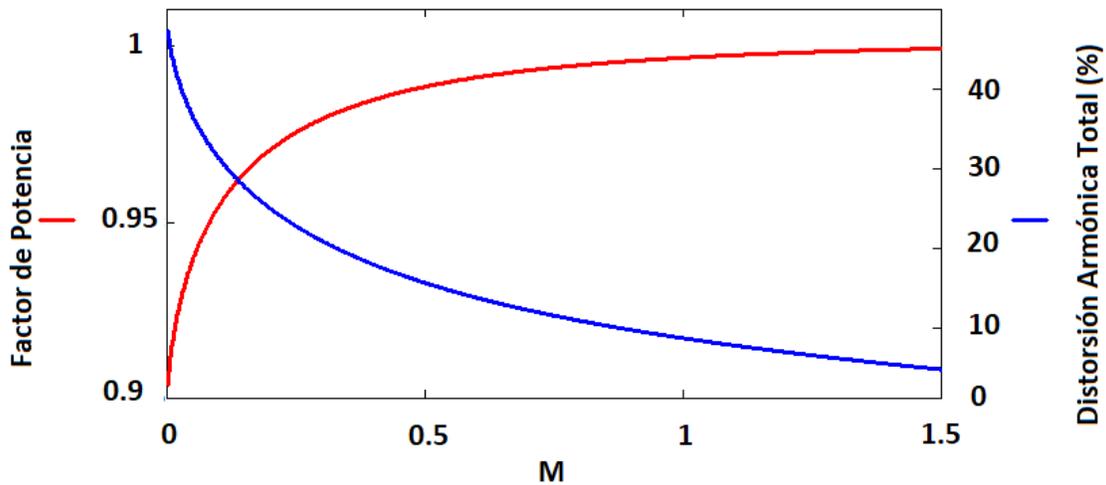


Figura 3.6. FP y THD en función de M_1 con OCC (una integración)

3.2.1 Simulación del convertidor *Sepic* con OCC (una integración) con tensión europea

Después del análisis teórico, ahora se procede a simular al convertidor *Sepic* con la estrategia OCC (una integración) (ver Figura 3.7). Como primer paso, se procede a diseñar la etapa de potencia de acuerdo con las ecuaciones para el dimensionamiento de los componentes, los cuales se muestran en la Tabla 2.

Tabla 2. Parámetros definidos para efectos de simulación y análisis teórico

| Parámetro | Valor |
|-----------|----------|
| V_{IN} | 220 Vrms |
| V_O | 218 Vcd |
| F_S | 100 kHz |
| P_O | 250 W |

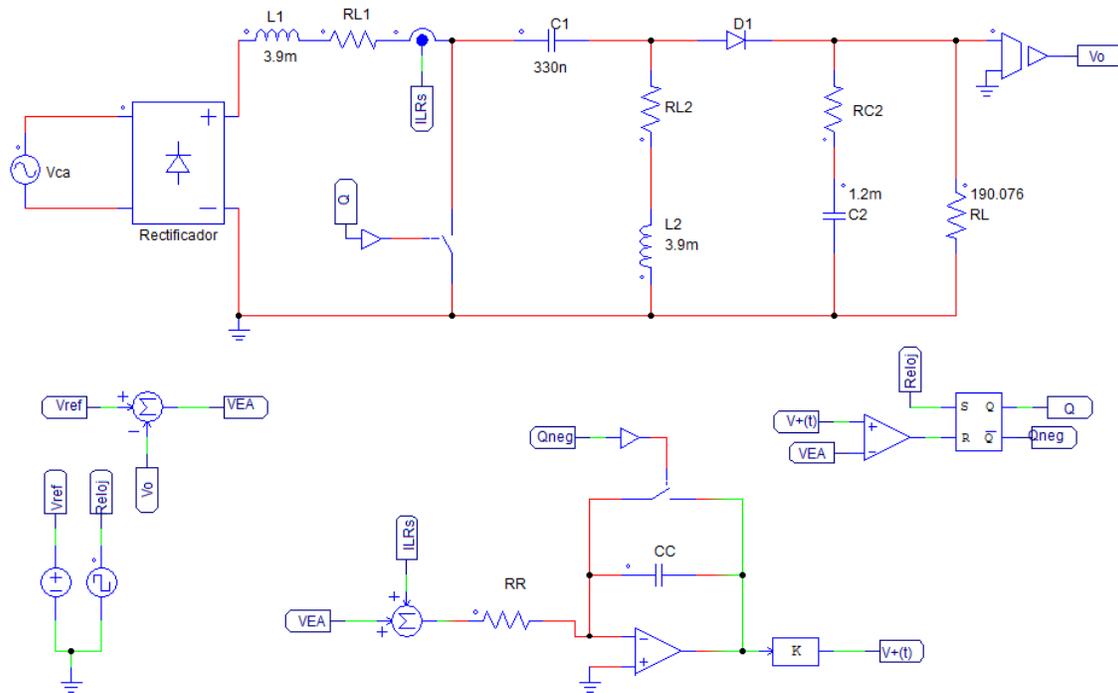


Figura 3.7. Diagrama del convertidor Sepic con OCC (una integración)

Para el dimensionamiento de los componentes del convertidor *Sepic* se utilizan las ecuaciones (3.6) a (3.9). Con el fin de tener una M_1 de 0.7 y una potencia de salida de 250 W los componentes L_1 y L_2 quedan definidos con el valor de 3.9 mH, C_1 de 330 nF y el capacitor de salida C_2 de 1.2 mF (cabe resaltar que los valores de los componentes de la etapa de potencia se aproximaron al valor comercial más cercano y se trabajaron como criterio de diseño un porcentaje de rizado de corriente en los inductores del 20% y en los capacitores del 10% en el rizado de voltaje).

En la etapa de control se realiza el sensado de voltaje en la salida del convertidor. La ganancia del convertidor para este caso es unitario. El voltaje de salida sensado (con etiqueta V_o) es comparado con el voltaje de referencia V_{ref} para obtener el voltaje de error del amplificador V_{EA} (con etiqueta V_1).

Por otro lado, el sensado de corriente I_{L1} se multiplica por una ganancia en este caso $I_{L1}R_s$, (en este caso R_s es representado por K en el esquemático) para obtener la ganancia se utiliza la ecuación mostrada en (3.16). Una vez obtenido el sensado de la corriente ésta se suma con el voltaje de error V_{EA} para posteriormente ser integrada para poder crear la rampa lineal y esta vuelva a su valor de cero con la acción de reinicio. Para ello se debe de cumplir la siguiente relación:

$$R_R C_C = \frac{1}{T_s} \quad (3.32)$$

Para definir los valores de R_R y C_C se tiene que la rampa (Voltaje integrado) sea igual al voltaje de error es decir $V_{EA} = V_{rpico}$ (ejemplo: si se tiene 1 V de error en la salida del operacional la rampa debe alcanzar el valor de 1 V), por lo que al dar un valor a C_C de 1 μF y R_R de 1 $\text{k}\Omega$ y multiplicarlo por una ganancia de 100 da como resultado que alcanza el voltaje pico de 1 V a los 100 kHz que es a la frecuencia donde se reinicia al integrador.

Posteriormente mediante un comparador se comparan las señales de V_{EA} y V_{rampa} (con las etiquetas V_1 y $V_{+(t)}$) como se muestra en el diagrama general de la figura 2.10) para obtener el apagado del interruptor al entrar al biestable, ya que mediante la señal de reloj se da al inicio de encendido del interruptor controlado y cuando el comparador manda la señal al biestable esta lo cambia de estado para apagarlo.

3.2.2 Principales formas de onda del convertidor *Sepic* con la estrategia OCC

La corriente de entrada del convertidor *Sepic* con la estrategia OCC (una integración) se muestra en la Figura 3.8, en estas simulaciones se muestran dos ciclos de la corriente de entrada a diferentes cargas (plena carga, tres cuartos de la carga, media carga y a un cuarto de la carga). Por lo que se puede observar que se puede conformar la corriente de entrada ante diferentes cargas.

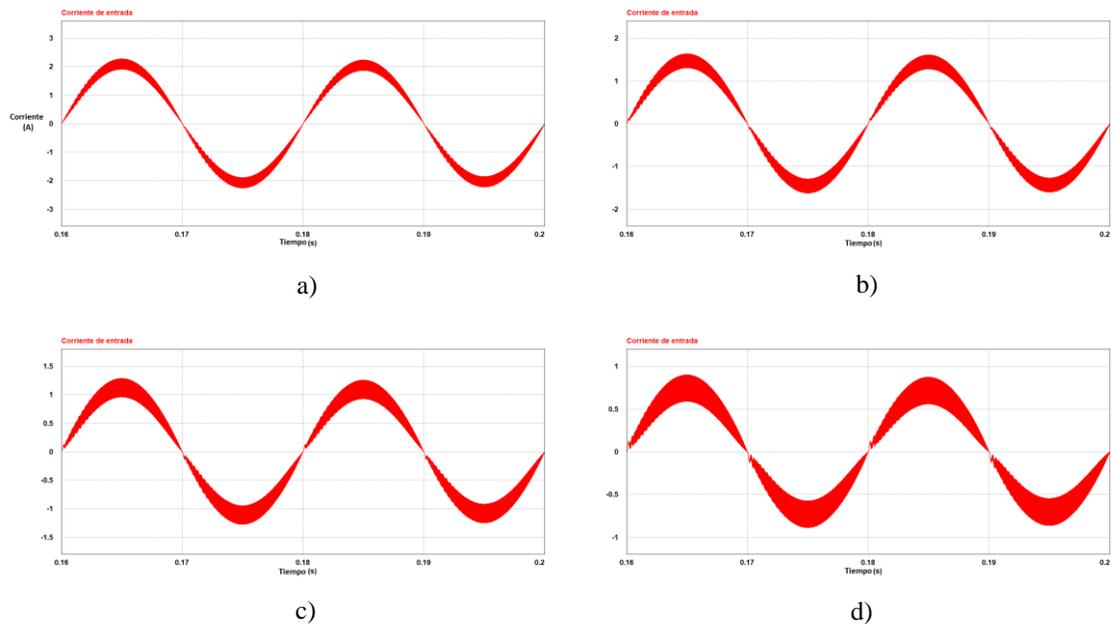


Figura 3.8. Simulación de la corriente de entrada de la estrategia OCC (una integración) con el convertidor *Sepic*. a) Plena carga (250 W), b) 3/4 de la carga, c) 1/2 de la carga, d) 1/4 de la carga

De la simulación obtenida en la Figura 3.8a se obtiene el contenido armónico (Figura 3.9) en donde se aprecia que el contenido armónico es bajo. De la Figura 3.9 se obtiene los

armónicos individuales, estos valores se muestran en el siguiente capítulo, en donde se compara con las otras estrategias y con la norma IEC 61000-3-2 en clase D.

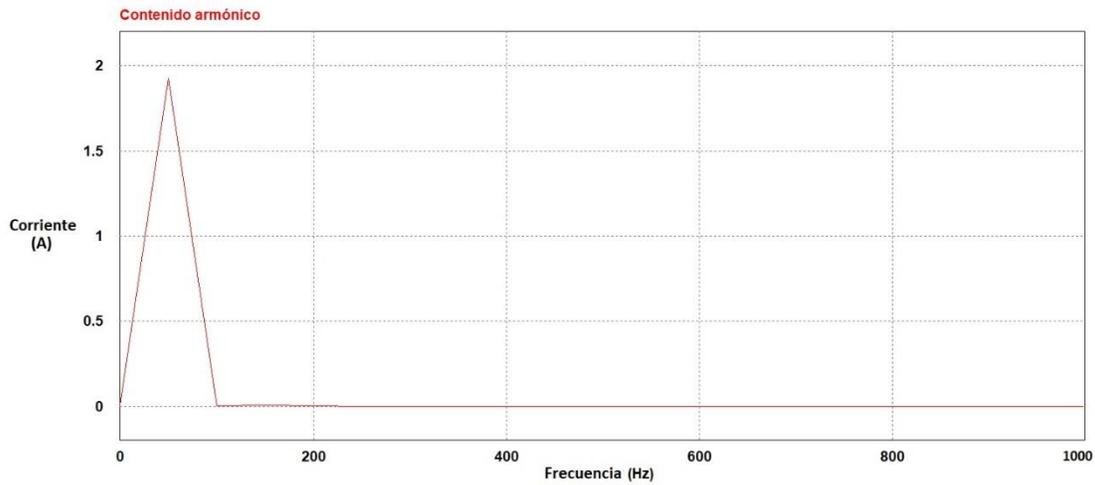


Figura 3.9. Contenido armónico de la estrategia OCC (una integración) con el convertidor Sepic

Para que la estrategia de control OCC funcione correctamente todo inicia con la frecuencia de reloj puesta en el biestable a 100 kHz (pin Set) con lo que el interruptor controlado empieza a conducir hasta que cambie de estado el biestable (pin Reinicio), esto se cumple al comparar la señal V_{EA} (puesta en la entrada V_1 del esquema general de la Figura 2.10) y la integración de $V_{EA} + I_L R_s$ (Figura 3.13), para posteriormente poder apagar al interruptor controlado Q_1 .

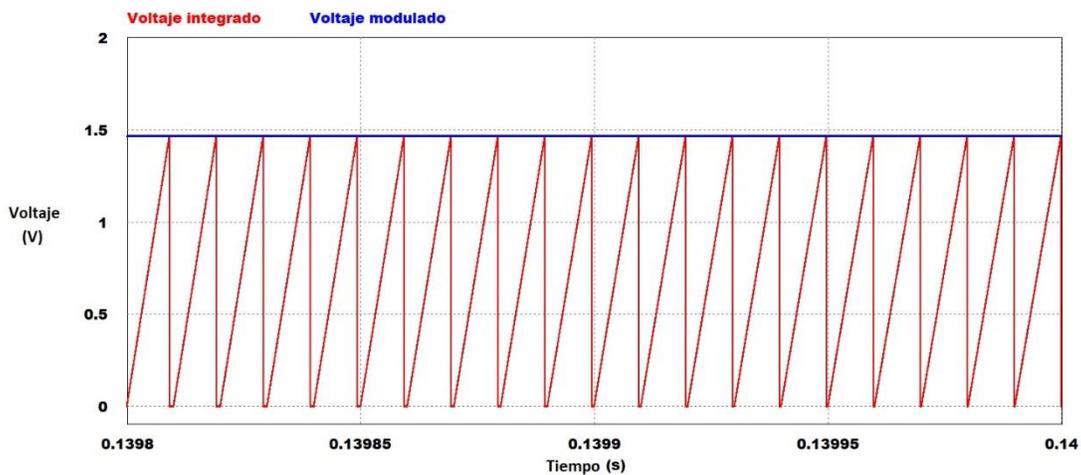


Figura 3.10. Comparación de las señales Vea y el voltaje integrado dado por (ILRs)

La Figura 3.11 muestra por un lado la frecuencia de reloj que es el que marca el inicio de cada ciclo de conmutación y por otro lado se tiene el ciclo de trabajo que está dado por el

biestable al comparar las señales V_{EA} y $V_{EA} + I_L R_S$. El ciclo de trabajo estará cambiando, dependiendo el voltaje de la entrada, es decir el ciclo de trabajo es variable dependiendo el ángulo (Figura 3.12 muestra cómo cambia el ciclo de trabajo en OCC en el convertidor *Boost*).

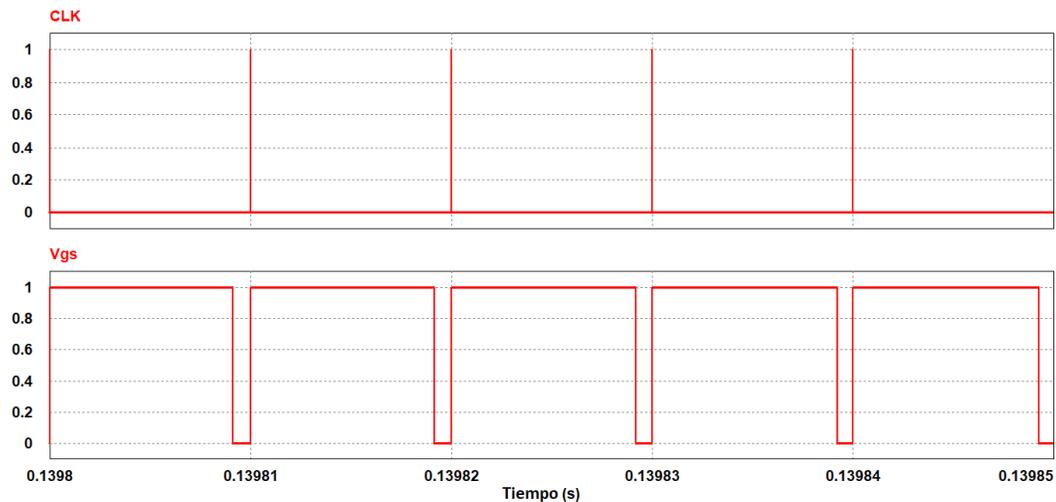


Figura 3.11. Ciclo de trabajo en la estrategia OCC (una integración) para M_1 0.7

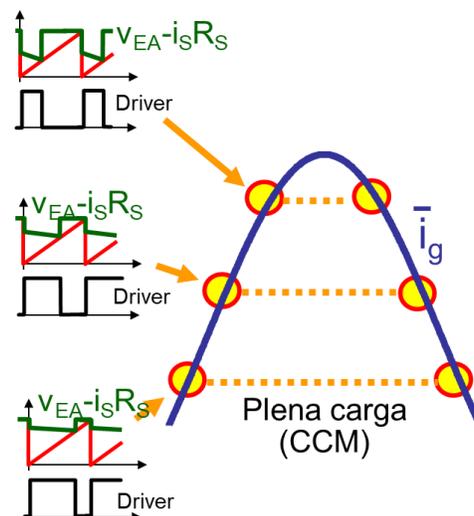


Figura 3.12. Diferentes ciclos de trabajo (variaciones en la entrada del convertidor)

La Figura 3.13 muestra el voltaje de salida obtenido al utilizar el convertidor *Sepic* y la estrategia de control OCC (una integración). Se muestra el voltaje de salida en estado estable con un voltaje de salida es de 218 Vcd a 250 W.

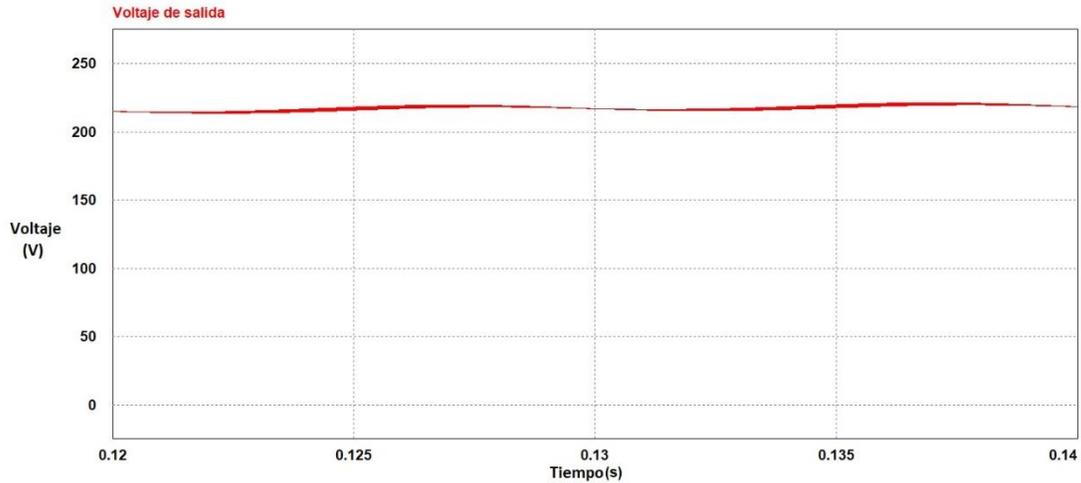


Figura 3.13. Voltaje de salida del convertidor Sepic

3.2.3 Simulación del convertidor Sepic con OCC (una integración) con tensión americana

Independiente de haber planeado presentar resultados a tensión europea para poder hacer la comparación directa con la norma IEC-61000-3-2, resulta importante realizar pruebas a tensión americana y específicamente a la tensión disponible en México. Considerando una tensión de 127 Vca rms en la entrada el convertidor *Sepic*, para L_1 y L_2 el valor seleccionado es 1.2 mH el capacitor de acoplamiento C_1 sería de 1 μ F y el capacitor de salida C_2 sería de 2.7 mF.

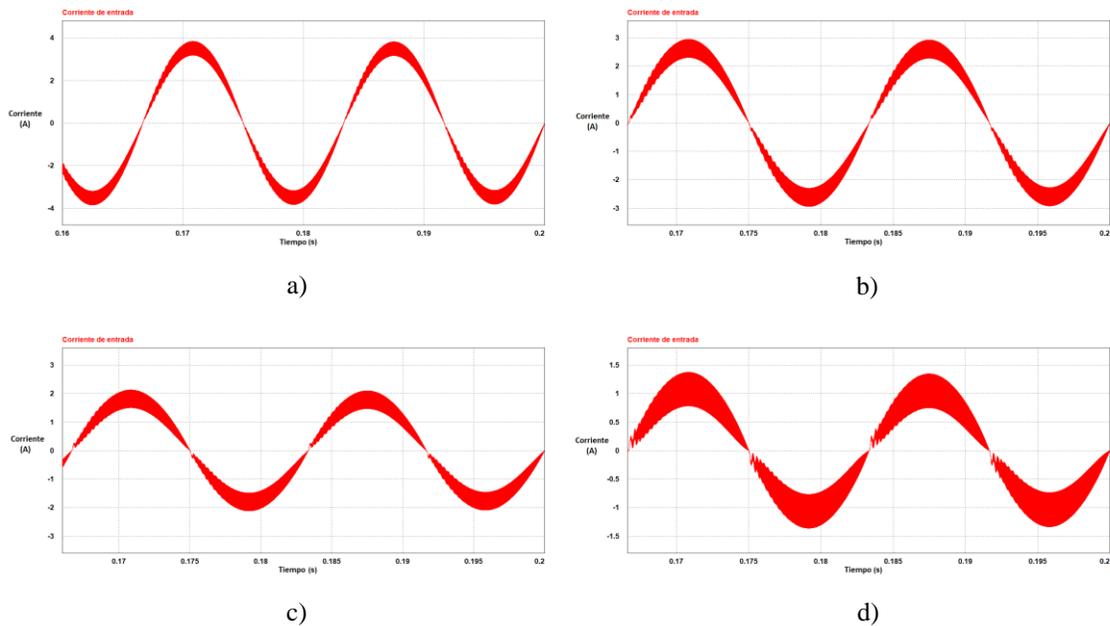


Figura 3.14 Simulación de la corriente de entrada con la estrategia OCC (una integración) con 127 Vca de entrada. A) Plena carga, b) 3/4 de la carga, c) 1/2 carga, d) 1/4 de la carga

La Figura 3.15 muestra el contenido armónico que se obtiene de la estrategia OCC de la Figura 3.14a, esto con el convertidor *Sepic* con un voltaje de entrada de 127 Vca rms. Sin embargo, en la Figura 3.15 no se alcanza a apreciar que ligeramente aumentó cada armónico individual. También es importante mencionar que si se quiere aplicar la norma IEC 61000-3-2 en clase D, es aceptado para efectos de evaluar el cumplimiento de la norma, que cada armónico individual pueda multiplicarse por la relación entre la tensión europea y americana con la que se esté comparando (el factor de multiplicación sería de 2 para una tensión de 110Vca como en EUA y para México sería de aproximadamente 1.73).

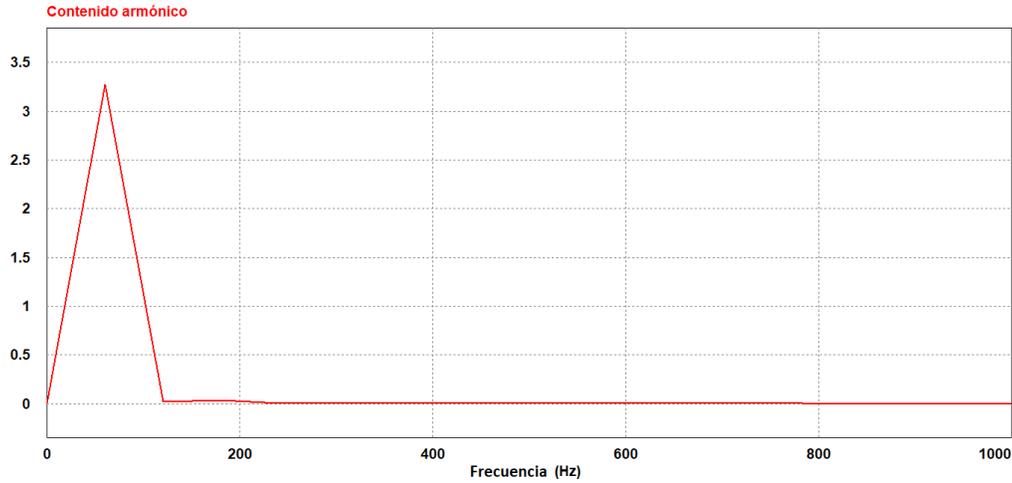


Figura 3.15. Contenido armónico de OCC (una integración) con el convertidor *Sepic* con un voltaje de entrada de 127 Vca y una potencia de 250 W

3.3 Análisis de la estrategia OCC (dos integraciones)

Para el caso de OCC con doble integración, se requiere de un sensado de corriente en Q_1 , (de acuerdo con la ley de control) por lo que aplicando el mismo procedimiento de utilizar las ecuaciones (3.11) a (3.15), ahora en (3.16) es sustituido por (3.33) y siguiendo los mismos pasos de (3.16) a (3.21) se obtiene la función que define la corriente de entrada (3.34).

$$i_{s2} = \frac{V_{rpico} (1-d)}{R_s d^2} \quad (3.33)$$

$$i_{g.prom} = \frac{1}{M_1 + sen(\omega t)} \left(K \frac{1 - \frac{M_1}{M_1 + sen(\omega t)}}{\left(\frac{M_1}{M_1 + sen(\omega t)} \right)^2} - \frac{M_1 \cdot sen(\omega t)}{M_1 + sen(\omega t)} \right) \quad (3.34)$$

La Figura 3.17 muestra la gráfica dada por (3.39) en donde se observa una mejora en la corriente de entrada. Esto se consigue a través de aplicar una doble integración, la cual mejora dicha corriente en comparación con la graficada en Figura 3.4. Por otro lado, se varía el valor de M_1 para observar el comportamiento de la corriente de entrada. La Figura 3.17 muestra que si se incrementa M_1 por encima de 0.5, la corriente de entrada mejora ligeramente.

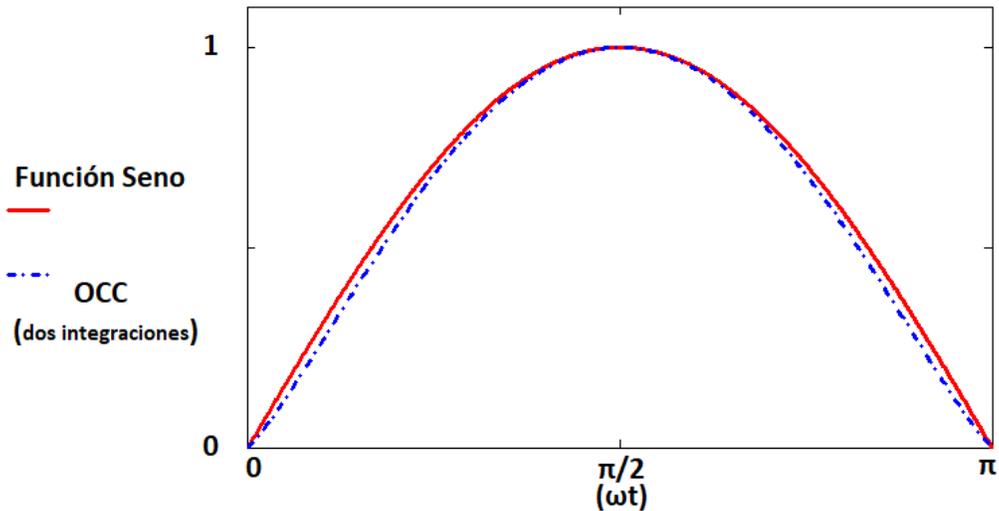


Figura 3.16. Corriente de entrada en medio ciclo de red aplicando la estrategia OCC (doble integración) con el convertidor Sepic

Aplicando las ecuaciones (3.28) a (3.31) se obtiene la gráfica que muestra el comportamiento del FP y THD en función de M_1 , para un M_1 de 0.7 en la cual fue evaluada se tiene un FP de 0.99 y una THD de 3.6% como se muestra en la Figura 3.18. Se observa que tanto el FP y THD mejoraron en comparación con la estrategia OCC en su versión una integración.

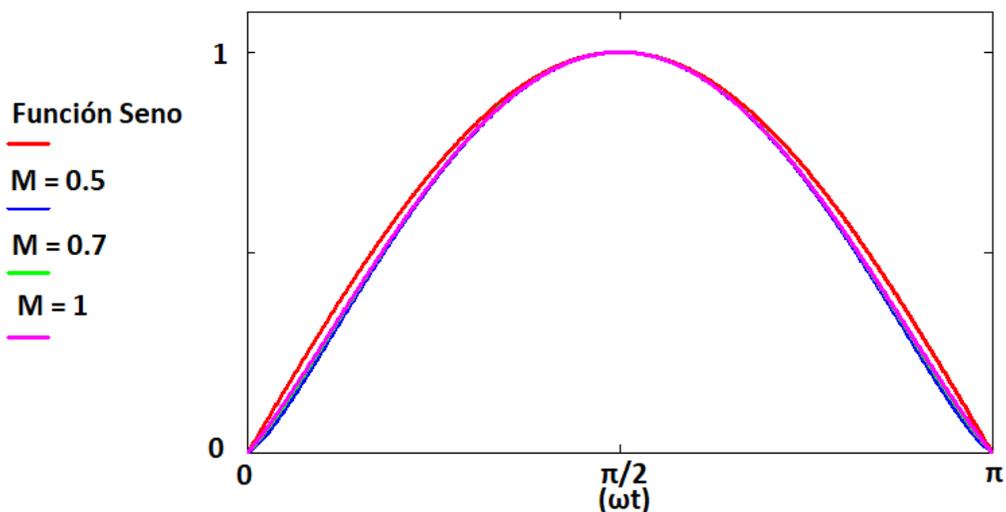


Figura 3.17. Corriente de entrada con la estrategia OCC (dos integraciones) para diferentes valores de M_1

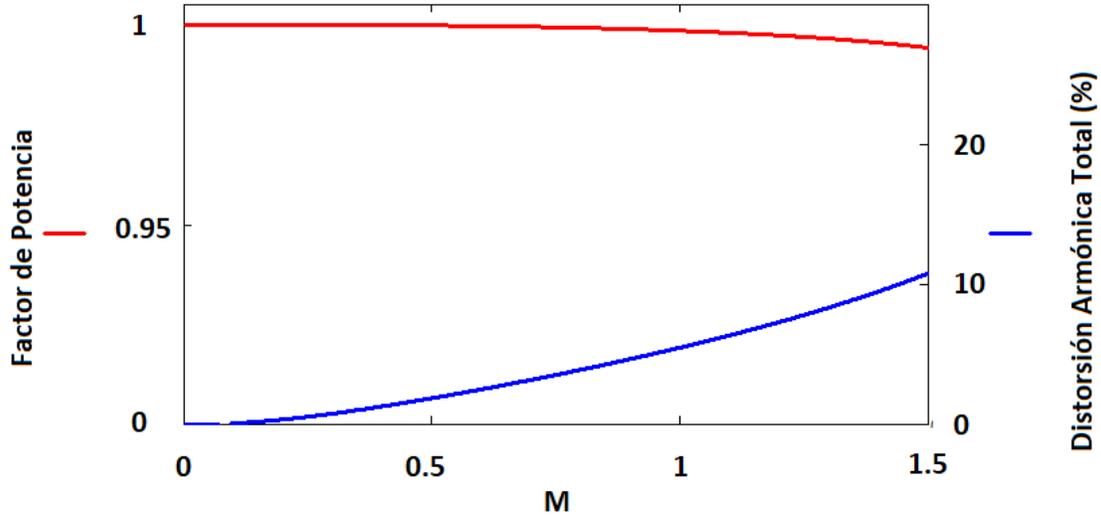


Figura 3.18. FP y THD en función de M_1 para OCC (dos integraciones)

Una de las ventajas que tiene realizar una doble integración de la corriente sensada ya sea en el inductor o interruptor controlado es tener mayor inmunidad al ruido, mejorar el FP y THD y reduce la dependencia a la variación de M_1 para alcanzar valores elevados de FP. Una desventaja es el costo de implementación al necesitar de dos integraciones.

Pasa obtener el valor de $K_{Crítica}$ y los valores máximos y mínimos se utilizan las ecuaciones (3.15) haciendo a $i_{S1} = 0$ y sustituyendo a (3.33) en (3.15). Posteriormente se utiliza (3.18), (3.19) y (3.21). El valor de $K_{Crítica}$ está descrito por:

$$K_{Crítica} = \frac{2M_1 \cdot \text{sen}(\omega t)}{M_1 + \text{sen}(\omega t)} \frac{\left(\frac{M_1}{M_1 + \text{sen}(\omega t)}\right)^2}{\left(1 - \frac{M_1}{M_1 + \text{sen}(\omega t)}\right)} \quad (3.35)$$

$K_{Crítica}$ tiene diferentes valores dependiendo el voltaje de entrada. El valor máximo y mínimo está definido por (3.36), (3.37). Por lo tanto, siempre estará operando en MCC, si $K > K_{Crítica.máxima}$ y siempre en MCD si $K_{Crítica.mínima} > K$.

$$K_{Crítica.máxima} = 2M_1 \quad (3.36)$$

$$K_{Crítica.mínima} = \frac{2M_1}{M_1 + 1} \frac{\left(\frac{M_1}{M_1 + 1}\right)^2}{\left(1 - \frac{M_1}{M_1 + 1}\right)} \quad (3.37)$$

3.3.1 Simulación del convertidor Sepic con OCC (dos integraciones)

La estrategia de control OCC requiere de una doble integración para convertidores tipo reductor-elevador. En este caso se sensa la corriente que circula por el interruptor activo Q_1 como se muestra en la Figura 3.19. La etapa de potencia sigue manteniendo los mismos parámetros de diseño a una potencia de 250 W.

Para la etapa de control se implementan dos integradores los cuales son ajustados a la frecuencia de conmutación (Figura 2.8). El segundo integrador es además multiplicado por un factor multiplicador 2 (para que se siga cumpliendo la ley de control).

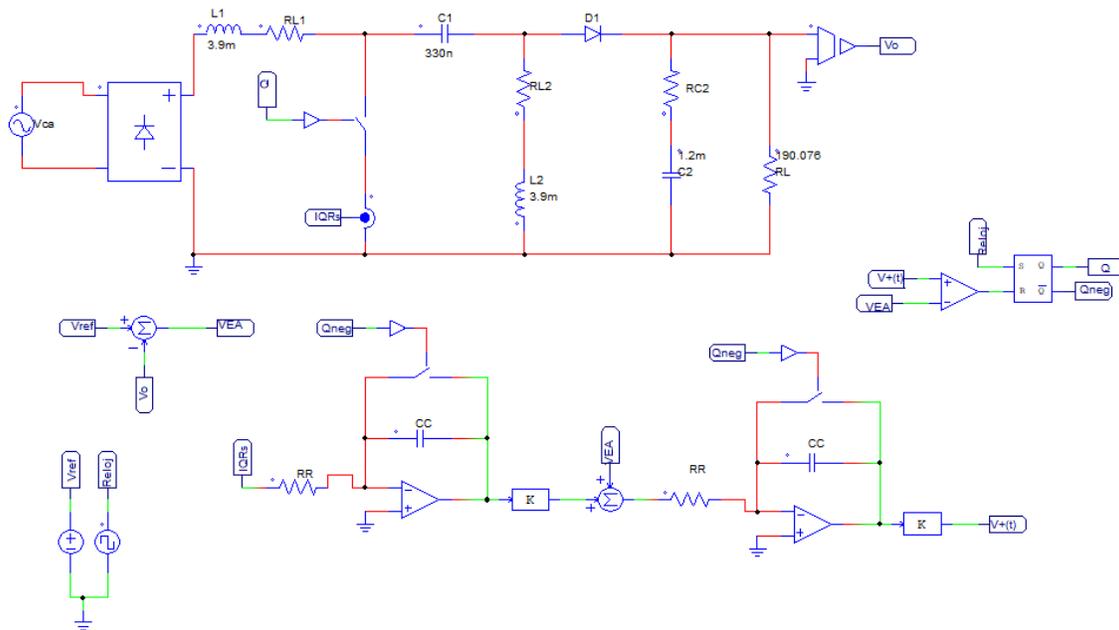


Figura 3.19. Esquema de simulación del convertidor Sepic con la estrategia OCC (dos integraciones)

3.3.2 Principales formas de onda del convertidor Sepic con OCC dos integraciones para tensión europea

La Figura 3.21 muestra dos ciclos de la corriente de entrada aplicando la estrategia de control OCC (dos integraciones) para una potencia a plena carga de 250 W. Así como el contenido armónico (Figura 3.22) que se obtiene de la Figura 3.20a, se puede observar que, al aplicar la doble integración en OCC, se sigue obteniendo un bajo contenido armónico, lo cual permitirá estar pasando la norma IEC 61000-3-2 en clase D.

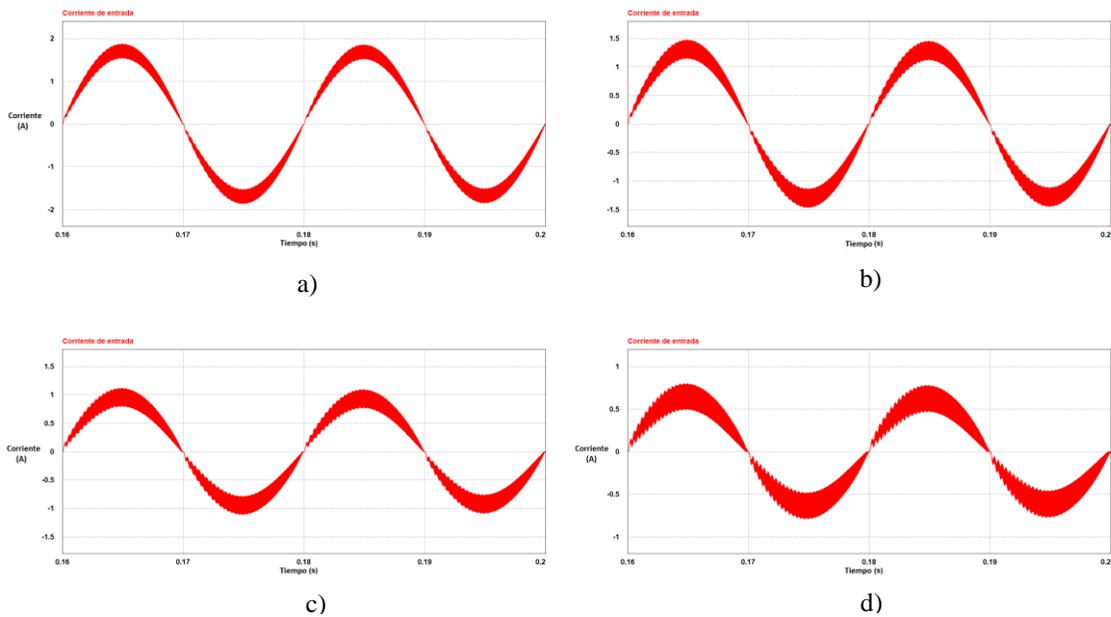


Figura 3.20. Simulación de la corriente de entrada de la estrategia OCC (dos integraciones) con el convertidor Sepic. a) plena carga, b) $\frac{3}{4}$ de la carga, c) $\frac{1}{2}$ carga, d) $\frac{1}{4}$ de la carga

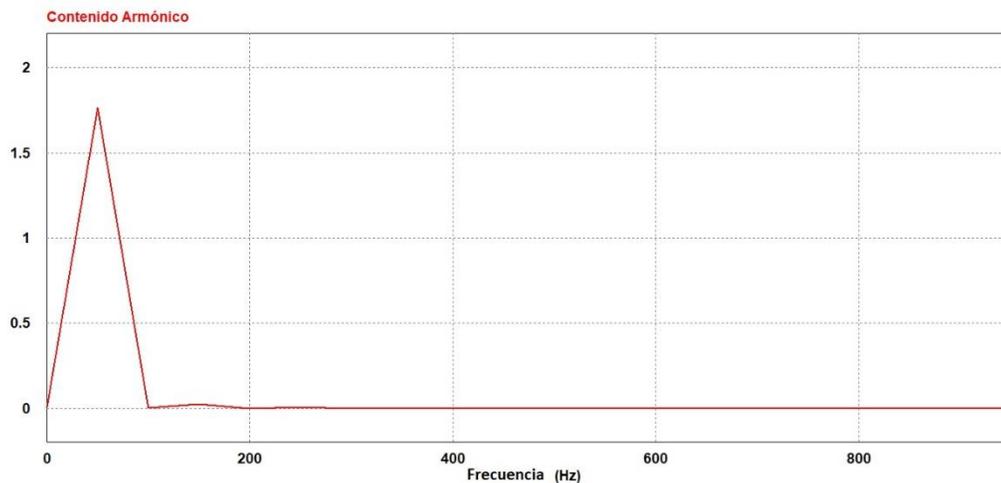


Figura 3.21. Contenido armónico de la estrategia OCC (dos integraciones) con el convertidor Sepic

La Figura 3.22 muestra la forma de onda que se obtiene al integrar la corriente que pasa por Q_1 , esto en el segundo integrador (ver Figura 2.10 del diagrama de OCC para ubicar la entrada de la señal en V_3) y a su salida se multiplica por una constante dos. Posteriormente dicha señal integrada se suma con la señal V_{EA} que es nuevamente integrada por el integrador número uno (Figura 3.23). Como siguiente paso la señal que sale del integrador uno es decir la señal $V(+)$ es comparada con el Voltaje de Error del Amplificador V_{EA} (en V_1 del esquema de control Figura 3.24). Al comparar las señales se produce el apagado del

interruptor controlado Q_1 , lo que cambia el estado del biestable cuya salida previamente estaba encendiendo a Q_1 .

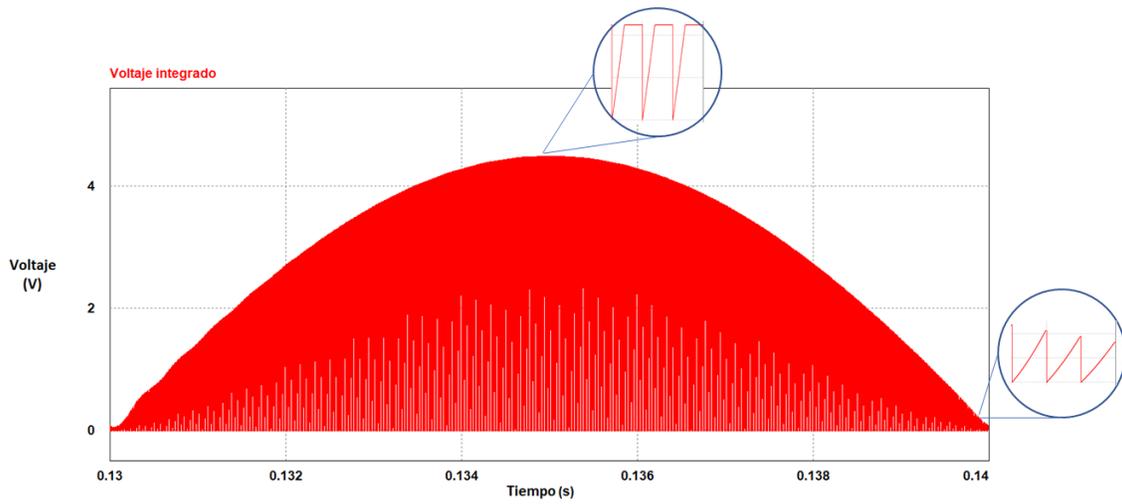


Figura 3.22. Segunda integración en la estrategia OCC

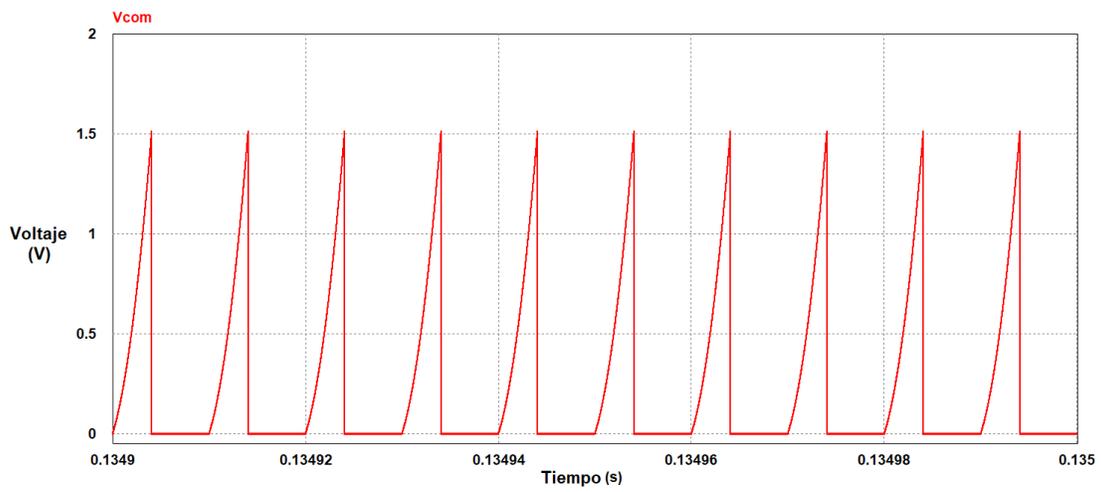


Figura 3.23. Señal doblemente integrada en la estrategia OCC

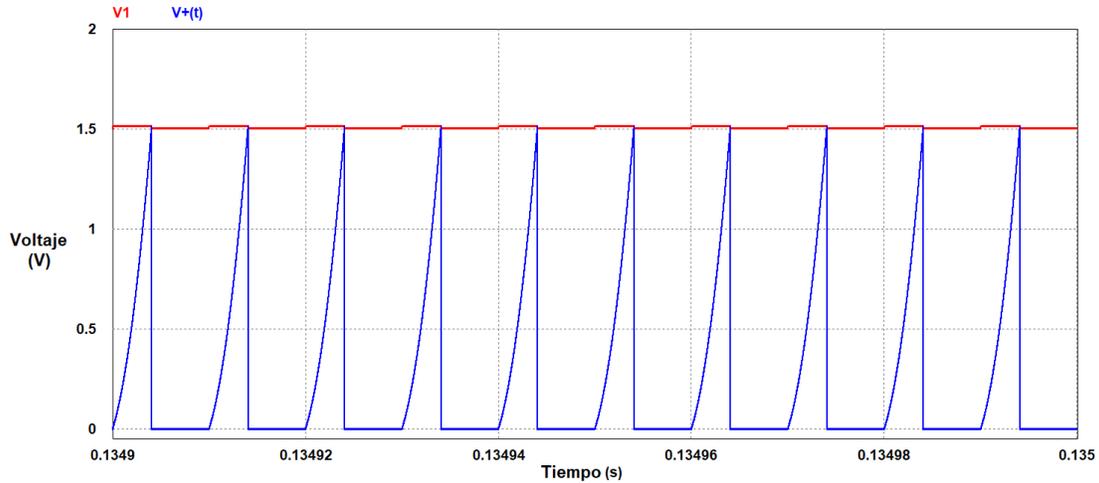


Figura 3.24 Comparación de señales para producir el cambio de señal en el biestable de OCC (dos integraciones)

Por último, la Figura 3.25 muestra el voltaje de salida (218 Vcd) que fue definido al inicio como un parámetro deseado y que se logra a través del ajuste de los componentes en la etapa de potencia diseñado a una potencia de 250 W, así como del ajuste el valor de las ganancias en el sensado de corriente y de voltaje para lograr sincronizar las señales a medir y a comparar.

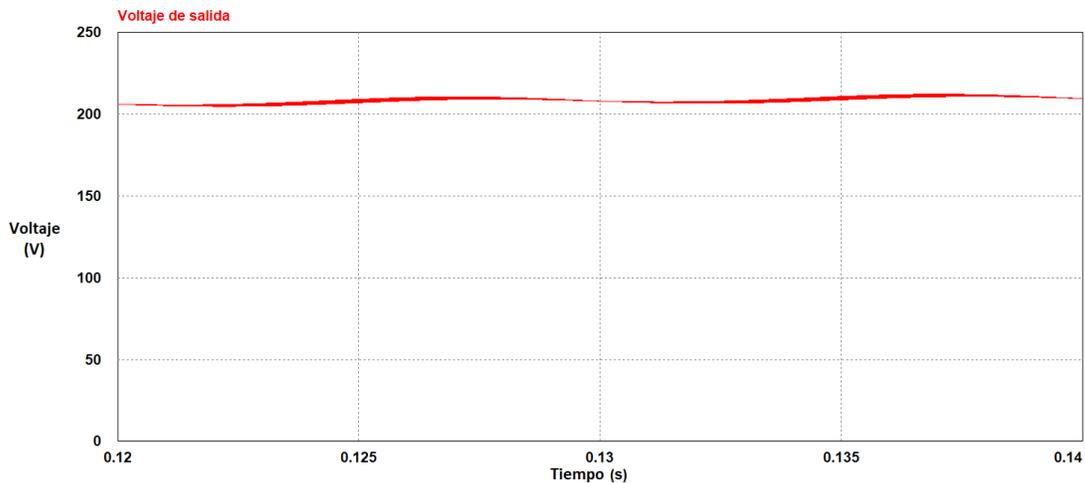


Figura 3.25. Voltaje de salida del convertidor Sepic con OCC (dos integraciones)

3.3.3 Simulación del convertidor Sepic con OCC (dos integraciones) con tensión de red 127 Vca

La Figura 3.26 muestra la corriente de entrada a diferentes cargas, es decir, a plena carga 250 W, a tres cuartos de la carga, a mitad de la carga y a un cuarto de la carga, para el diseño con tensión de entrada 127 Vca rms. Los resultados muestran que se sigue logrando la conformación de la corriente de entrada a un cuando la carga haya cambiado.

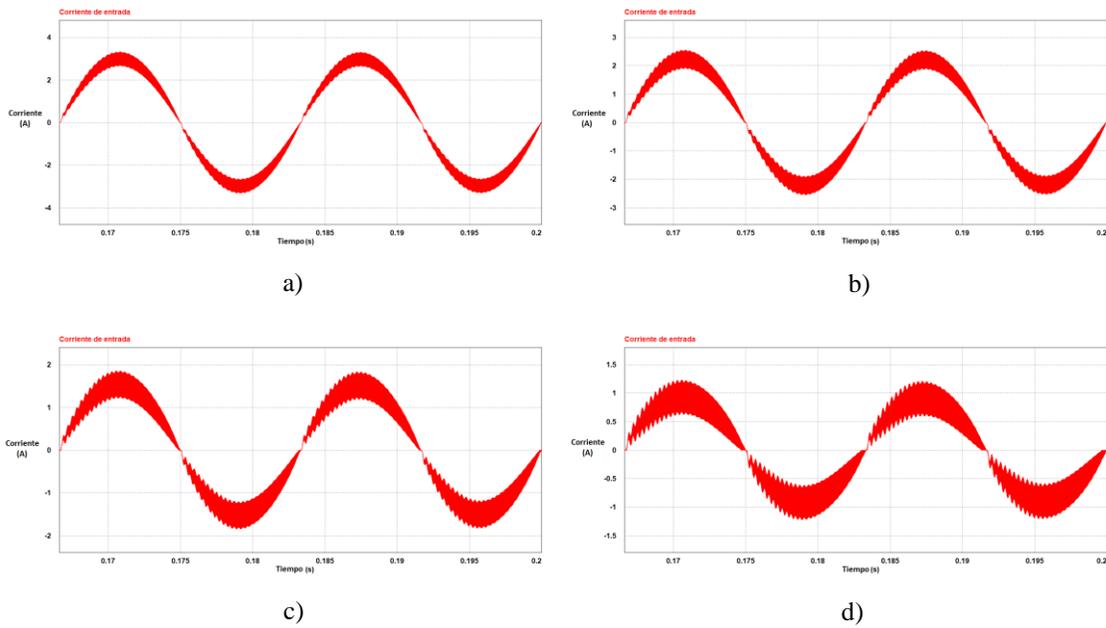


Figura 3.26. Corriente de entrada para: a) plena carga, b) 3/4 de la carga, c) 1/2 de la carga, d) 1/4 de la carga

La Figura 3.27 muestra el contenido armónico obtenido de la Figura 3.26a, en la cual se puede apreciar un bajo contenido armónico que se logra con la estrategia de control OCC en su versión de dos integraciones que es aplicada para los convertidores tipo reductor-elevador en este caso para el convertidor *Sepic* para tensión de red 127 Vca rms.

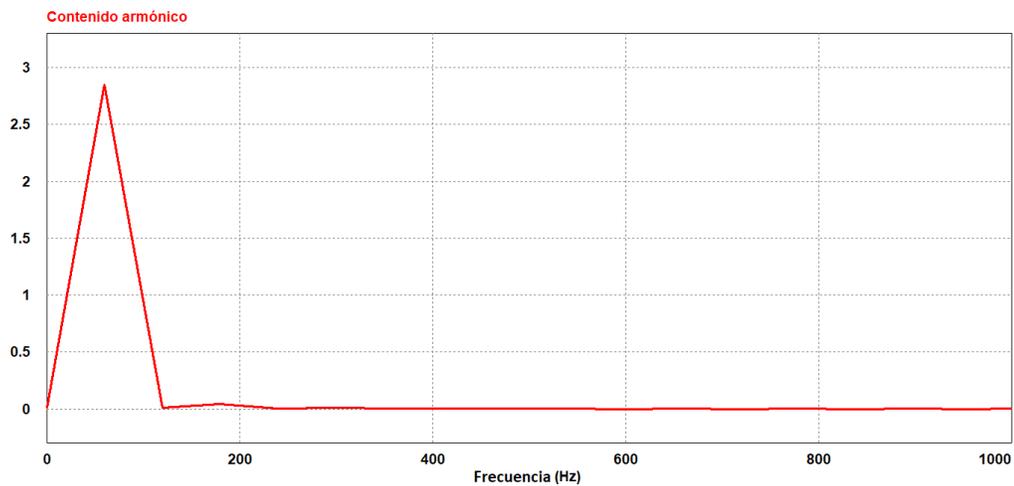


Figura 3.27. Contenido armónico de OCC con el convertidor *Sepic* con 127 Vca de entrada

3.4 Análisis de la estrategia VCCR

La estrategia Rampa de Compensación Controlada por Voltaje (VCCR) propuesta por el Dr. Javier Sebastián es una opción para la CFP en sistemas monofásicos, dicha estrategia fue aprobada inicialmente con el convertidor *Boost* implementando una rampa lineal. Para el análisis teórico de VCCR con la rampa lineal se realiza el mismo procedimiento realizado anteriormente con la estrategia OCC. Para obtener una función con la cual se pueda graficar el comportamiento de la corriente de entrada, para ello se parte de las ecuaciones (3.11) a (3.15), en donde (3.16) es sustituido ahora por (3.38), debido a que la comparación de señales es diferente. Siguiendo los mismos pasos de (3.16) a (3.21), se obtiene la función (3.39) que está en función de M_1 y K .

$$i_{s2} = \frac{V_{rpico}}{R_s}(1-d) \quad (3.38)$$

$$i_{g.prom} = \frac{1}{M_1 + \text{sen}(\omega t)} \left(K \left(1 - \frac{M_1}{M_1 + \text{sen}(\omega t)} \right) - \frac{M_1 \cdot \text{sen}(\omega t)}{M_1 + \text{sen}(\omega t)} \right) \quad (3.39)$$

La Figura 3.28 muestra la gráfica de la función (3.39) en comparación con una senoide perfecta (línea roja) como referencia. Se puede observar que mientras se trabaja con una $M_1 > 0.5$, la estrategia VCCR lineal mejora la corriente de entrada. Sin embargo, se debe tener en cuenta que funcionar con una mayor M_1 implica tener un voltaje de salida más alto (que puede afectar a la segunda etapa conectada al CFP). Se puede observar que la corriente de entrada mejora (Figura 3.29) conforme se le permita tener un voltaje de salida más grande.

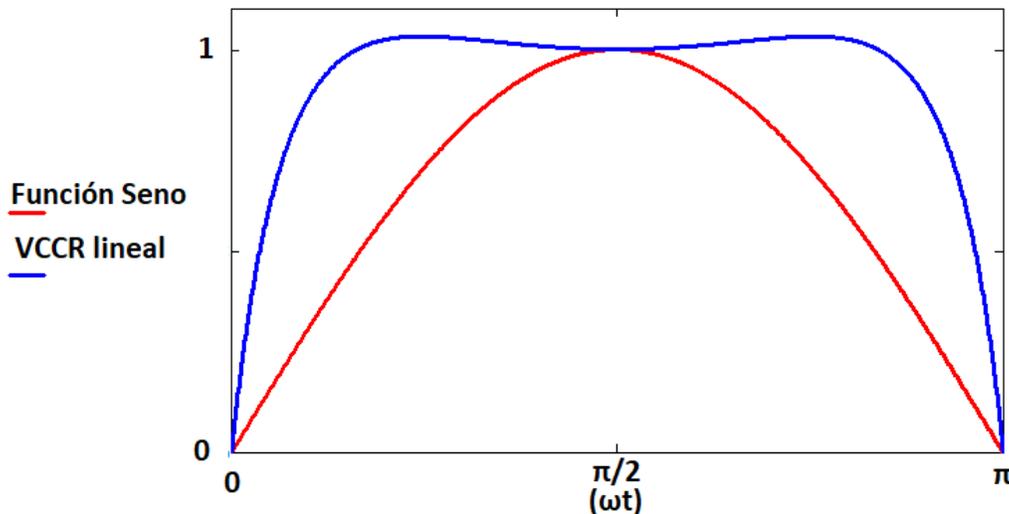


Figura 3.28. Corriente de entrada en medio ciclo de red con la estrategia VCCR (lineal)

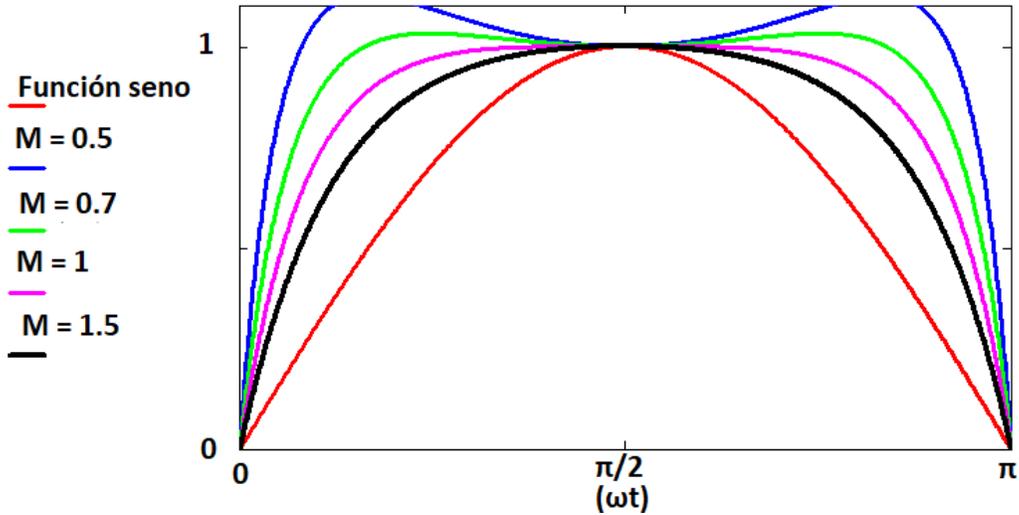


Figura 3.29 Corriente de entrada en medio ciclo de red con VCCR (lineal) para diferentes M_1

Aplicando de (3.28) - (3.31) se obtiene la gráfica que muestra el comportamiento del FP y THD en función de M_1 , como se muestra en la Figura 3.30.

Para obtener el valor de $K_{Crítica}$ y los valores máximos y mínimos se utilizan las ecuaciones (3.15) haciendo a $i_{S1} = 0$ y sustituyendo a (3.38) en (3.15). Posteriormente se utiliza (3.18), (3.19) y (3.21). El valor de $K_{Crítica}$ está descrito por:

$$K_{Crítica} = \frac{2M_1 \cdot \text{sen}(\omega t)}{M_1 + \text{sen}(\omega t)} \frac{1}{\left(1 - \frac{M_1}{M_1 + \text{sen}(\omega t)}\right)} \quad (3.40)$$

$K_{Crítica}$ tiene diferentes valores dependiendo el voltaje de entrada. El valor máximo y mínimo está definido por (3.41), (3.42). Por lo tanto, siempre estará operando en MCC, si $K > K_{Crítica.máxima}$ y siempre en MCD si $K_{Crítica.mínima} > K$.

$$K_{Crítica.máxima} = 2M_1 \quad (3.41)$$

$$K_{Crítica.mínima} = 2M_1 \quad (3.42)$$

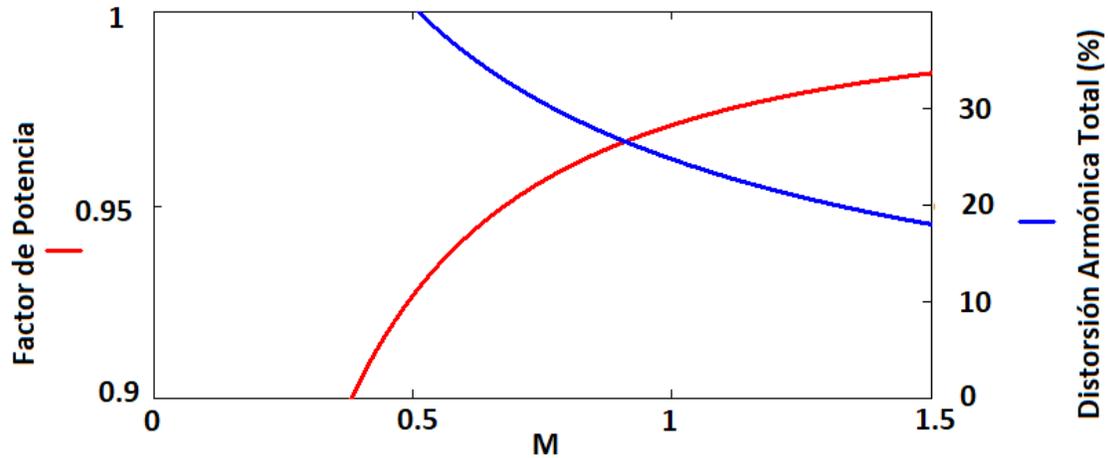


Figura 3.30 FP y THD vs M_1 de la estrategia VCCR (lineal)

3.4.1 Simulación del convertidor Sepic con VCCR (lineal) con tensión europea

En la Figura 3.31 se muestra el esquema del convertidor *Sepic* y la estrategia VCCR lineal. El convertidor *Sepic* está diseñado a una potencia de 250 W para una M_1 de 0.7 es decir con un V_{in} de 220 Vca rms y un V_o de 218Vcd. La etapa de control está diseñada con un lazo de voltaje y un lazo de corriente. En el lazo de voltaje se toma una muestra del voltaje de salida del convertidor para posteriormente ser comparado con el voltaje de referencia para poder obtener el voltaje de error el cual será integrado para crear la rampa lineal. Con el detector de picos se detecta el valor máximo de la rampa el cual se resta con la rampa lineal. La señal obtenida se compara con la corriente sensada y al interceptarse se genera el cambio de señal en el biestable para poder apagar al interruptor controlado.

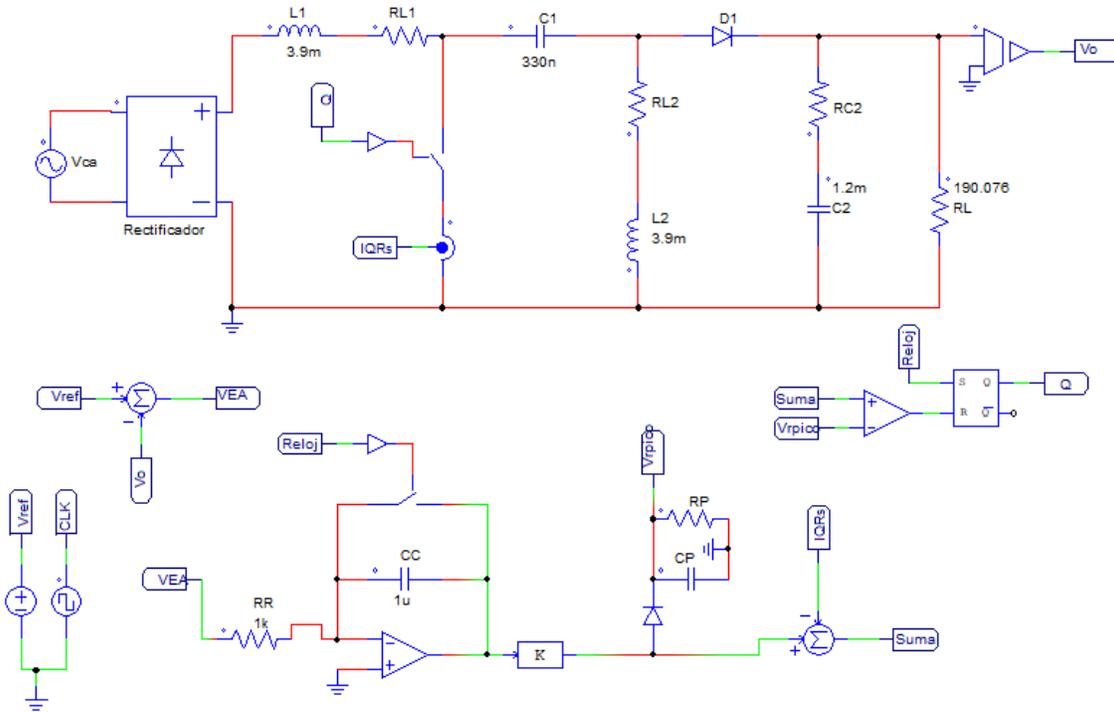


Figura 3.31. Esquema de simulación del convertidor Sepic con la estrategia VCCR (lineal)

3.4.2 Principales formas de onda del convertidor Sepic y VCCR con función lineal

La Figura 3.32 muestra la conformación de la corriente de entrada que se logra con el convertidor *Sepic* y VCCR lineal para una M_1 de 0.7 y una potencia de 250 W. En a) se muestra la corriente a plena carga, en b) a tres cuartos de la carga, en c) a media carga y en d) a un cuarto de la carga.

La Figura 3.33 muestra el contenido armónico que se obtiene con la estrategia VCCR (lineal) esto a plena carga. El contenido armónico es el resultado de la Figura 3.33a, en donde se logra apreciar que existe una considerable cantidad de armónicos de baja frecuencia (3er, 5to armónico).

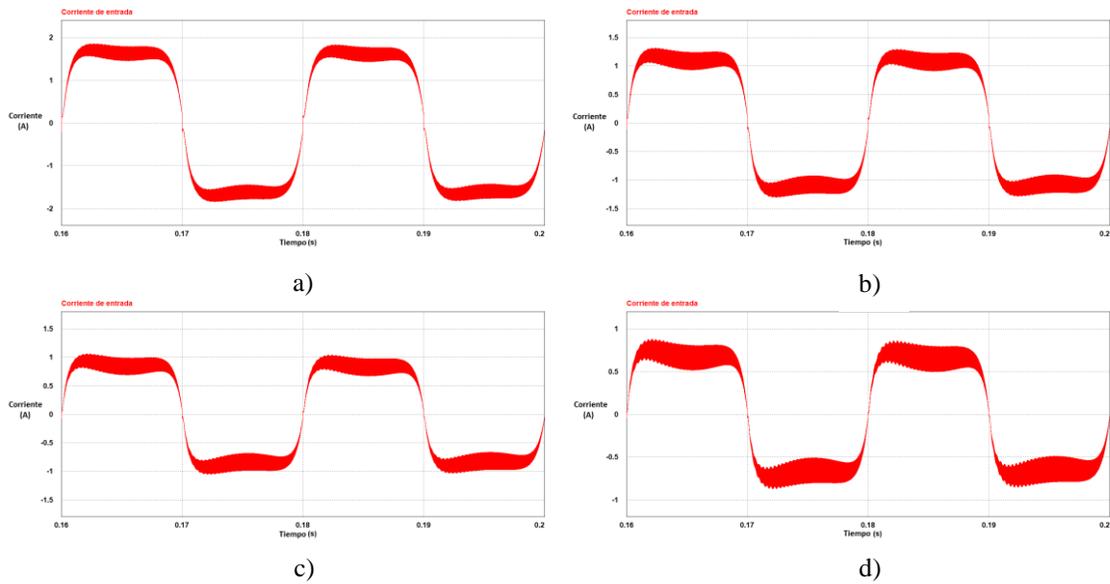


Figura 3.32 Simulación de la corriente de entrada de VCCR (lineal). a) plena carga, b) 3/4 de la carga, c) 1/2 carga, d) 1/4 de la carga

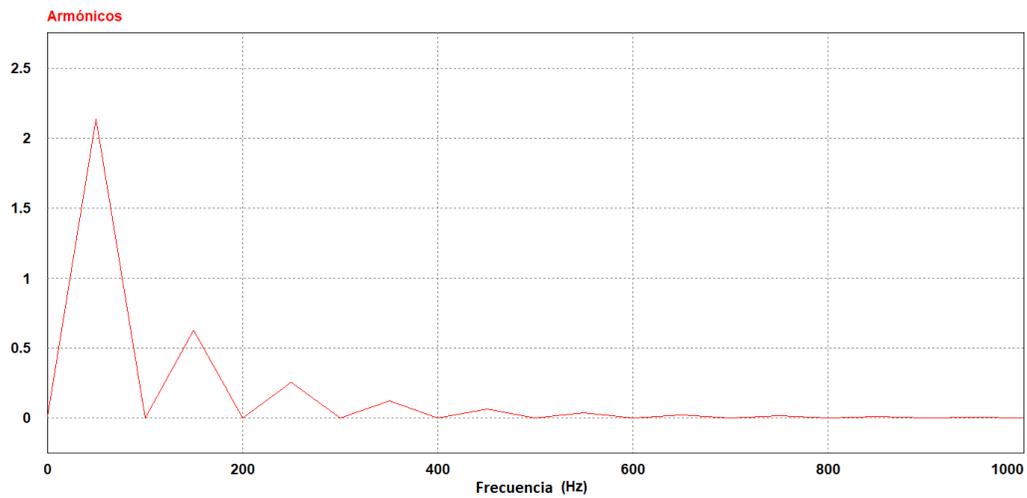


Figura 3.33 Contenido armónico del convertidor Sepic con la estrategia VCCR (lineal) para M_1 0.7

El funcionamiento de la estrategia VCCR lineal inicia con el biestable en alto para que empiece a conducir el interruptor controlado Q_1 . El interruptor controlado se apagará cuando cambie de estado el biestable. Esto sucede cuando se interceptan en el comparador la señal sensada de corriente y la rampa lineal creada por el integrador. El voltaje de la rampa se diseña para que de acuerdo con el voltaje de error esta crezca al mismo valor. La Figura 3.34 muestra la intercepción de las señales de voltaje de la rampa menos el voltaje pico detectado con la corriente sensada.

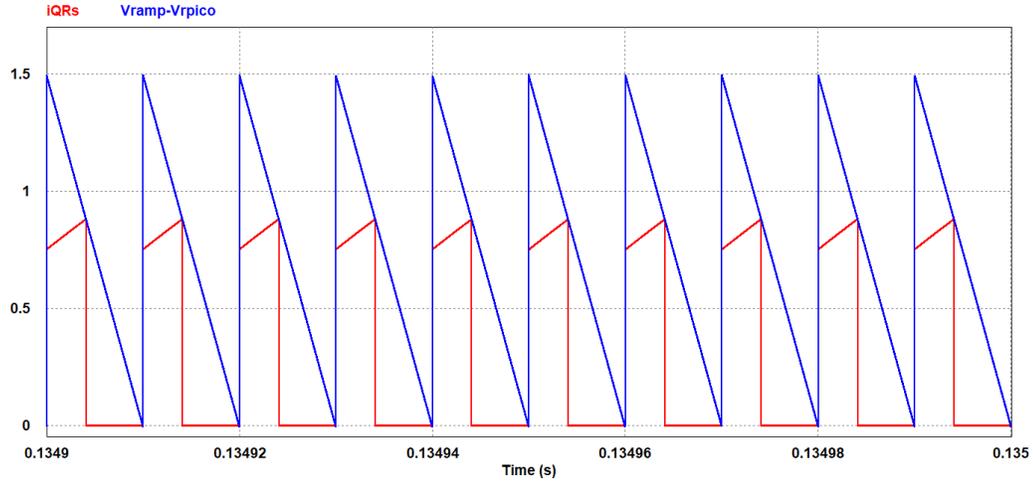


Figura 3.34. Comparación de la señal Vrampa vs IQRs

La Figura 3.35 muestra por otra parte el voltaje de salida que se logra con el convertidor *Sepic* y la estrategia VCCR utilizando la rampa lineal, en dicha figura se puede observar que el voltaje de salida ha alcanzado el voltaje deseado (218 Vcd). La carga del capacitor es lenta debido al gran valor del capacitor de salida y al diseño del filtro pasa bajas que se coloca en el lazo de tensión, esto con el fin de conformar la corriente de entrada.

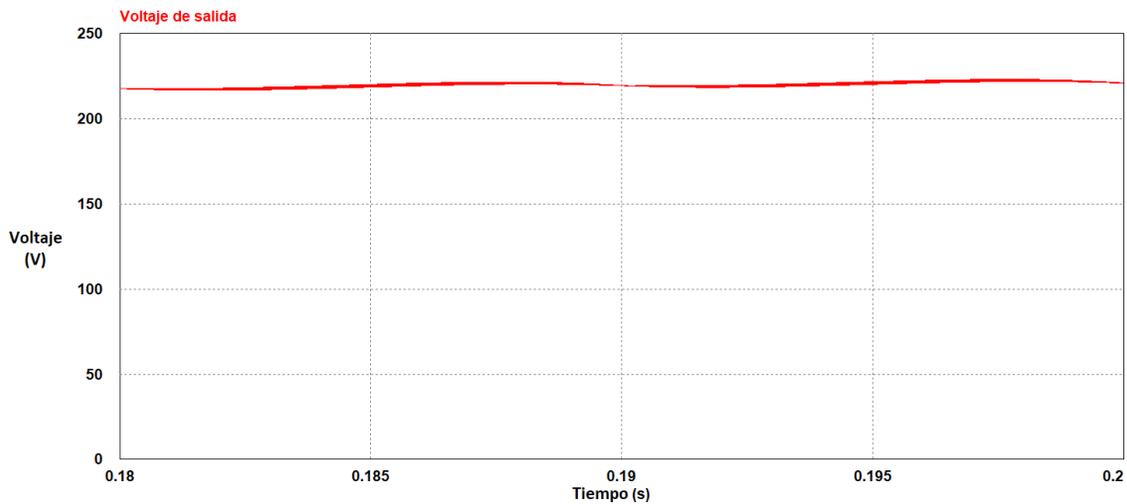


Figura 3.35 Voltaje de salida del convertidor *Sepic* con la estrategia VCCR (lineal)

3.4.3 Simulación del convertidor *Sepic* con VCCR (lineal) con tensión de 127 Vca

Para el caso de tener un voltaje de red de 127 Vca rms en el convertidor *Sepic* a una potencia de 250 W los valores de los componentes son: L_1 y L_2 de 1.2 mH, C_1 de 1 μ F y C_2

de 2.7 mF. En cuanto a las principales formas de onda la Figura 3.36 muestra la corriente de entrada que se logra para diferentes cargas. En a) se muestra a la corriente de entrada a plena carga (250 W), en b) la corriente de entrada a $\frac{3}{4}$ de la carga, en c) a $\frac{1}{2}$ de la carga y en d) a $\frac{1}{4}$ de la carga. La corriente de entrada puede mejorar (como ya se vio anteriormente en el análisis teórico) si se permite tener un mayor voltaje de salida.

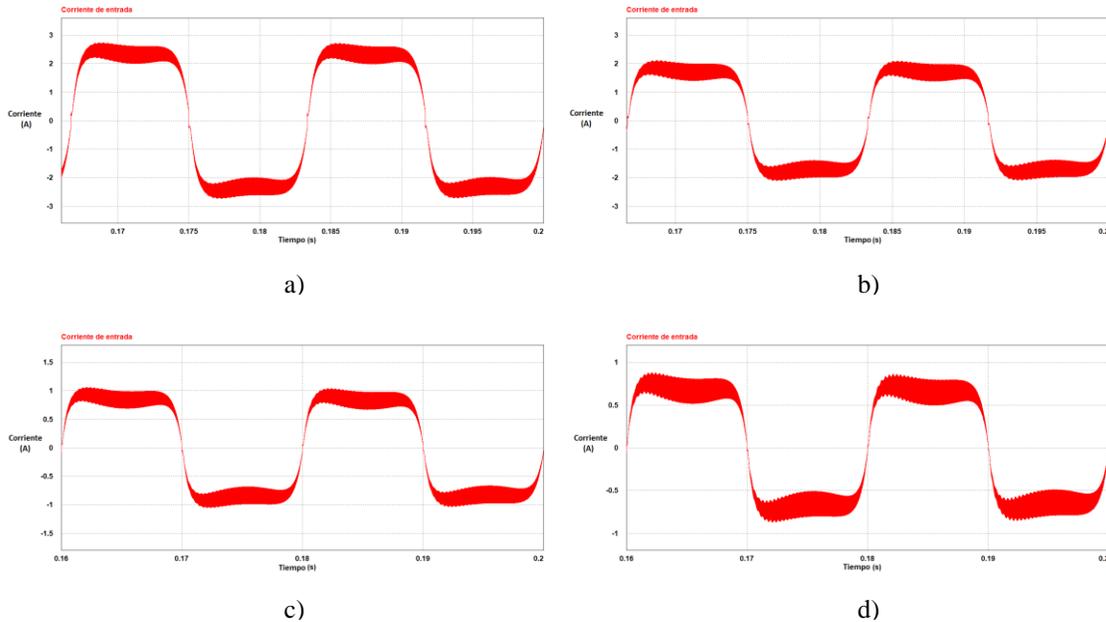


Figura 3.36 Corriente de entrada del convertidor Sepic con VCCR. a) plena carga, b) $\frac{3}{4}$ de la carga, c) $\frac{1}{2}$ carga y en d) a $\frac{1}{4}$ de la carga

La Figura 3.37 muestra el contenido armónico de la Figura 3.36a. Con respecto a los armónicos individuales de la Figura 3.33 los armónicos crecen debido al cambio del voltaje de entrada. Sin embargo, para poder aplicar la norma IEC 61000-3-2, la cual es aplicada para un voltaje de entrada de 220 Vca rms, se ha aceptado adaptar el valor absoluto de la norma adecuando los armónicos a la razon de proporcionalidad a la tension a la que se aplica la norma y a la tension a la que se aplica. Es por ello que para el caso de tener un voltaje de

entrada de 127 Vca rms los armónicos deben multiplicarse por 1.73 para poder aplicar dicha norma .

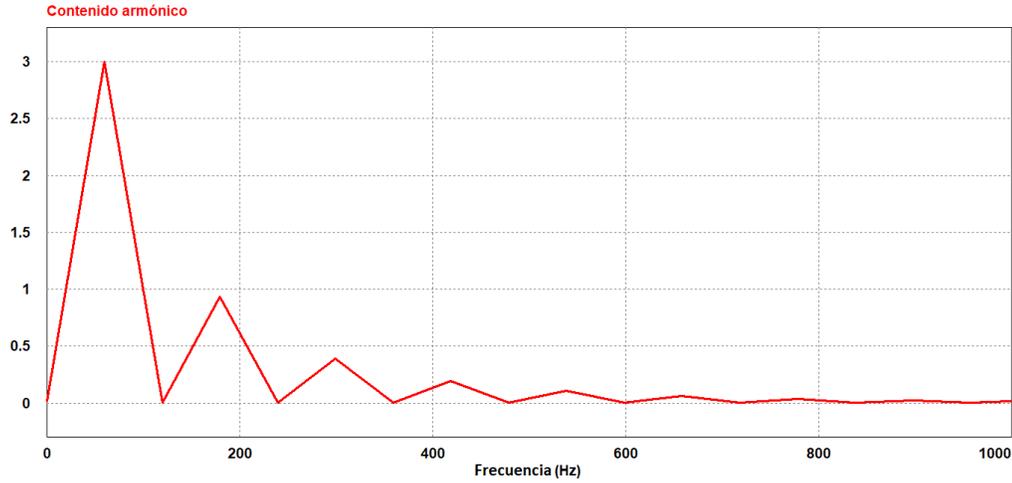


Figura 3.37 Contenido armónico del convertidor Sepic con la estrategia VCCR (lineal) con 127 V de entrada

3.5 Análisis de la estrategia VCCR (exponencial)

Por último, se analiza la estrategia VCCR (exponencial). Para ello se emplea el mismo análisis que hasta el momento se ha realizado en las tres anteriores estrategias. Se parte de las ecuaciones (3.11) a (3.16), y ahora (3.16) es sustituido por (3.43), el cual es el momento de la intercepción de la rampa exponencial con el sensado de corriente y siguiendo los mismos pasos de (3.16) a (3.21) se obtiene la función (3.44).

$$i_{s2} = \frac{V_{rpico}}{R_s} \frac{e^{-d\mu} - e^{-\mu}}{(1 - e^{-\mu})} \quad (3.43)$$

$$i_{g.prom} = \frac{1}{M_1 + sen(\omega t)} \left(K \left(\frac{e^{-\mu \frac{M_1}{M_1 + sen(\omega t)}} - e^{-\mu}}{(1 - e^{-\mu})} \right) - \frac{M_1 \cdot sen(\omega t)}{M_1 + sen(\omega t)} \right) \quad (3.44)$$

Para poder observar el comportamiento de la corriente de entrada se grafica la ecuación (3.44) y esta es comparada con la senoide de referencia como se muestra en la Figura 3.38. Dado que en la ecuación (3.44) se necesita dar un valor a μ para ello se parte de darle el valor de $\mu = 1$ que está definido en la ecuación (2.18), por lo que al graficar la ecuación se observa que no logra conformar adecuadamente una senoide. Para obtener el valor óptimo (en este caso para una M_1 de 0.7 el valor óptimo de μ es 5.3), se necesitan realizar una gráfica que permita saber el valor óptimo dependiendo del valor de M_1 para tener el mínimo THD posible.

Así también se muestra la conformación de la corriente para diferentes valores M_1 como se muestra en la Figura 3.39. La gráfica mostrada en la Figura 3.40 da a conocer el valor óptimo de μ para logra conformar la corriente de entrada para diferentes valores de M_1 . Este valor de μ se obtiene al graficar la THD en función de μ .

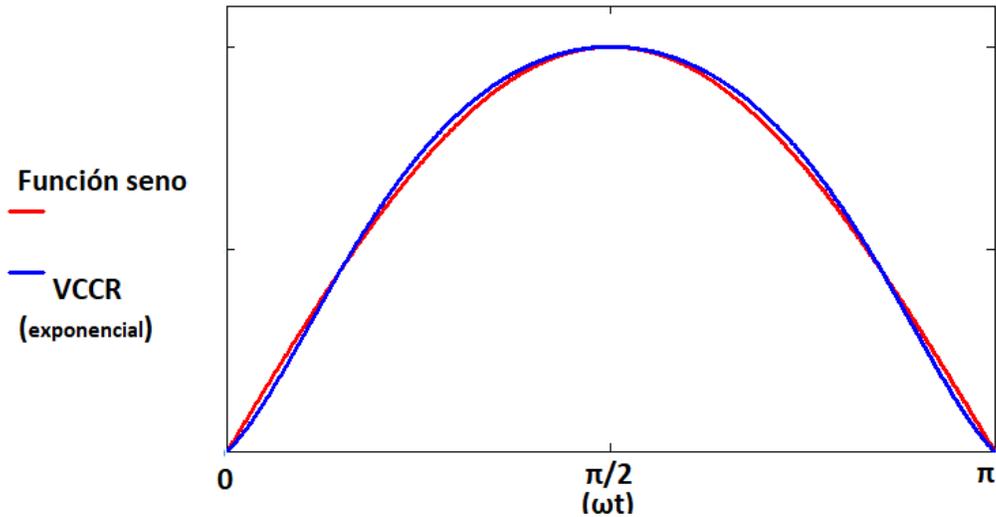


Figura 3.38 Corriente de entrada con VCCR (exponencial)

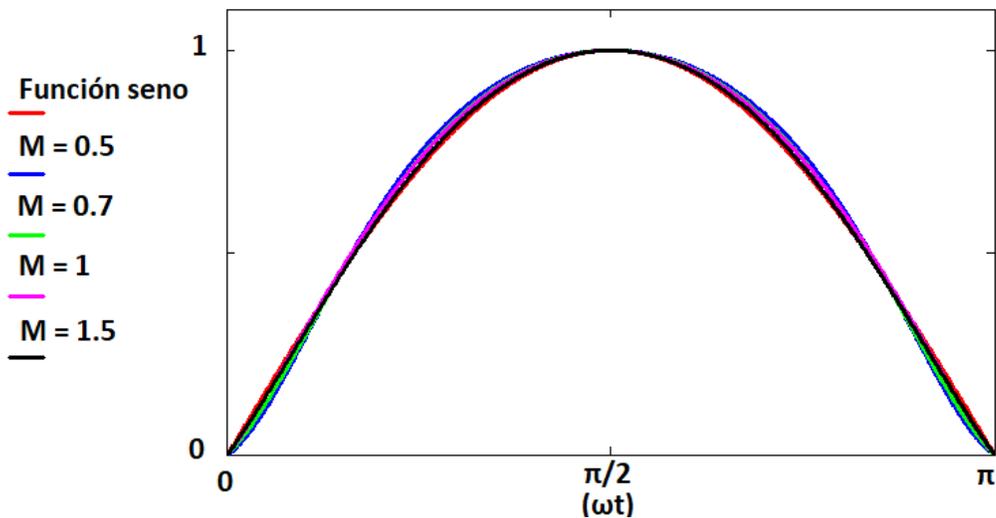


Figura 3.39 Corriente de entrada en medio ciclo de red con VCCR (exponencial) para diferentes valores de M_1 (ajustando a μ)

Para encontrar el valor óptimo de μ (esta representa la creciente o inclinación de la rampa exponencial) con el cual se pueda obtener los niveles más bajos de THD se realiza una gráfica que permita saber el valor aproximado de μ . Para ello se utiliza la ecuación (3.31) en función de μ , como se muestra en la Figura 3.40.

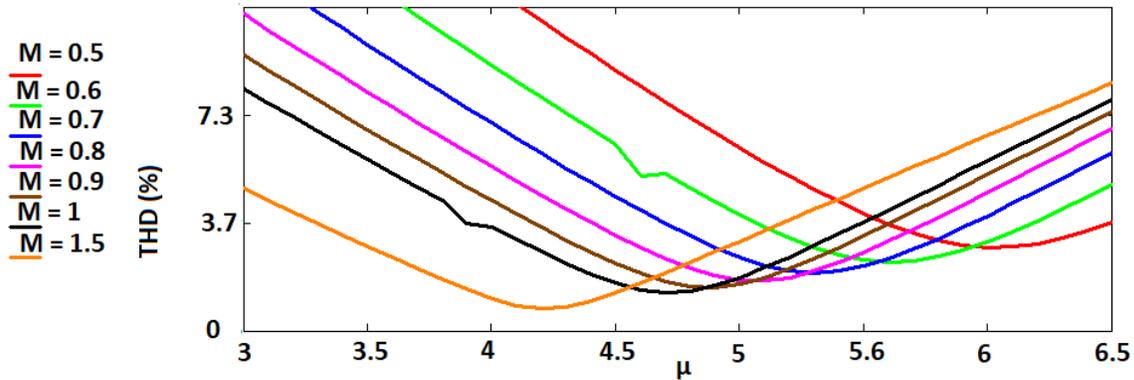


Figura 3.40 Valores de μ para diferentes valores de M_1

Para el caso de estudio que se realiza, se trabaja con una M_1 de 0.7, por lo que de acuerdo con la Figura 3.41, el valor óptimo es de 5.3. como se muestra más a detalle en la Figura 3.42.

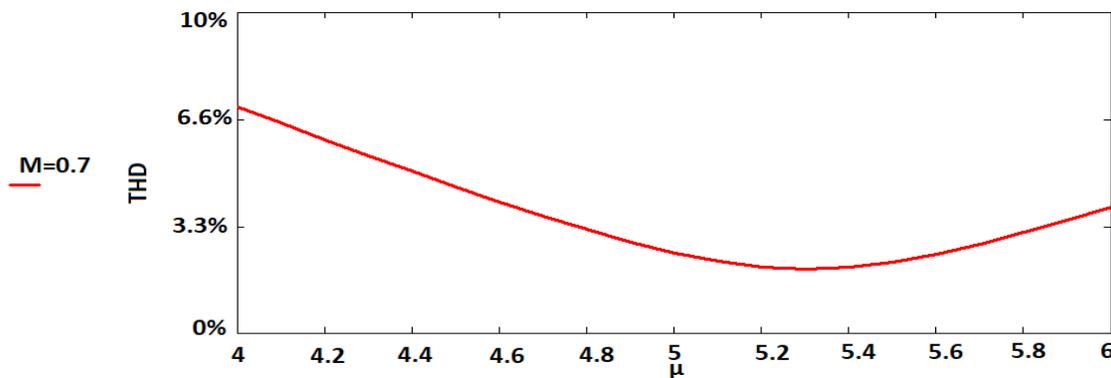


Figura 3.41 Valor óptimo de μ para una M_1 de 0.7

Aplicando las ecuaciones (3.28) a (3.31) se obtiene la gráfica que muestra el comportamiento del FP y THD en función de M_1 , en la cual se muestra que el punto en la que fue evaluada para M_1 0.7 se obtienen los mejores niveles de FP y THD al utilizar una μ de 5.3, pero si se aleja del punto evaluado, es decir, a un valor diferente de M_1 0.7 (voltaje de salida diferente de 218 Vcd), entonces incrementará el THD y disminuirá el FP como se muestra en la Figura 3.42. Por lo que para otro valor de M_1 se requiere del ajuste de μ de acuerdo con la Figura 3.42. Por otro lado, si se ajusta el parámetro M_1 en un margen lógico que permita tener buenos valores de FP y THD. Por ejemplo, con una M_1 entre 0.4 y 1.5 el THD es menor del 9%.

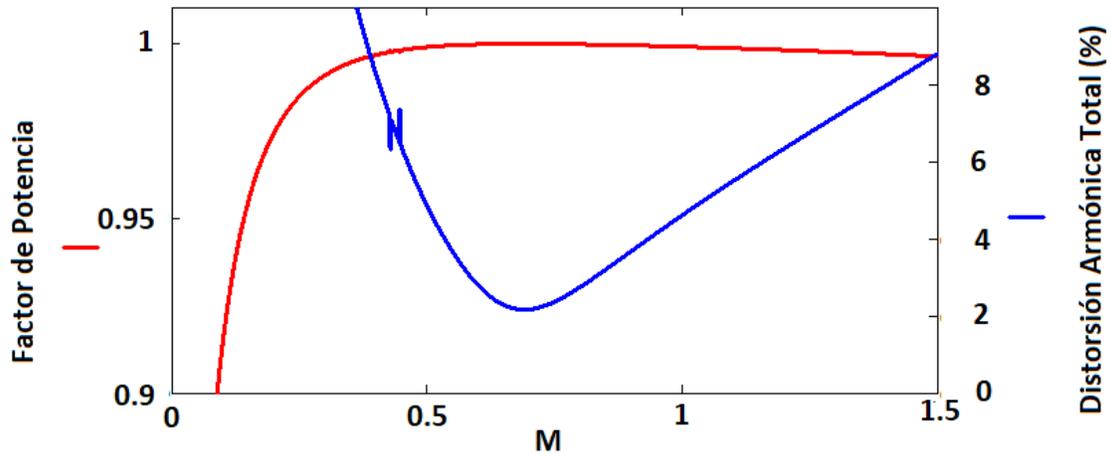


Figura 3.42 FP y THD en función de M_1 con la estrategia VCCR (exponencial)

3.5.1 Simulación del convertidor Sepic con VCCR (exponencial) con tensión europea

La Figura 3.43 muestra el esquema que contiene al convertidor *Sepic* y la estrategia VCCR (exponencial) que fue simulada. La etapa de potencia está diseñada para 250 W, se trabaja con una M_1 de 0.7 (para obtener una M_1 de 0.7, se tiene 218 Vcd en la salida y 220 Vrms de entrada) y la etapa de control está diseñada con lazo de voltaje externo y un lazo interno de corriente. Dicha estrategia se basa de igual manera en el control en modo pico de corriente, la cual está compuesta principalmente por un biestable ajustado a una frecuencia de reloj fija (en este caso a 100 kHz). El ajuste de la rampa exponencial está basado en el valor de μ óptimo para tener la menor THD, que es de 5.3, de acuerdo con la Figura 3.41.

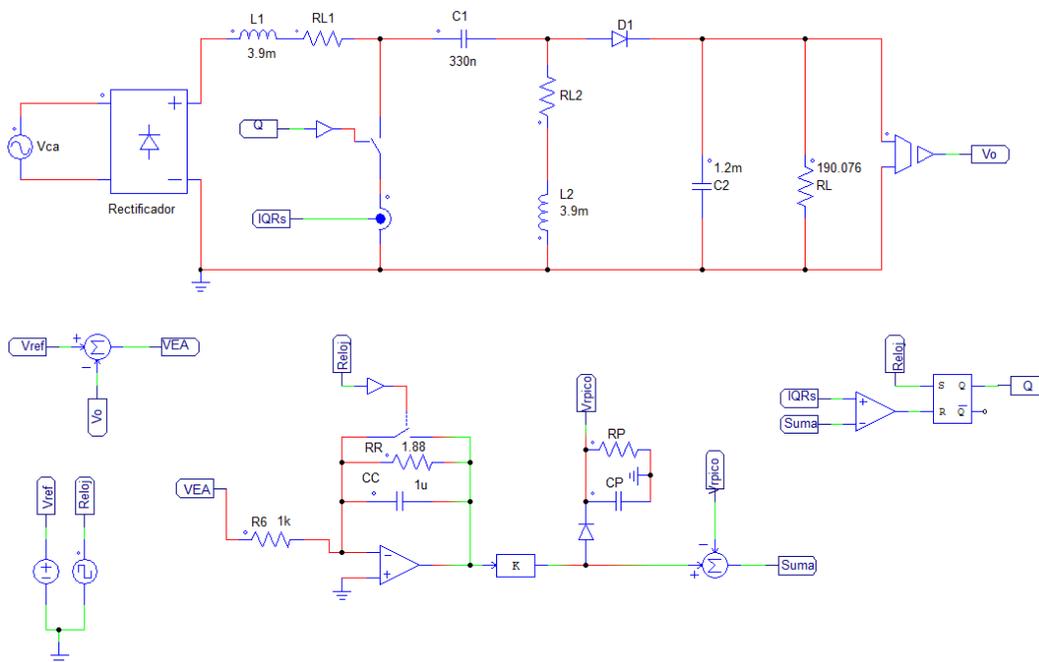


Figura 3.43 Esquema de simulación del convertidor *Sepic* con la estrategia VCCR (exponencial)

3.5.2 Principales formas de onda del convertidor Sepic con VCCR (exponencial)

La Figura 3.44 muestra la conformación de la corriente de entrada que se logra con el convertidor *Sepic* y la estrategia VCCR (exponencial) para diferentes cargas. En a) se muestra la corriente a plena carga (250 W), en b) se muestra la corriente de entrada a $\frac{3}{4}$ de la carga, en c) se muestra la corriente de entrada a $\frac{1}{2}$ carga y en d) se muestra la corriente de entrada a $\frac{1}{4}$ de la carga.

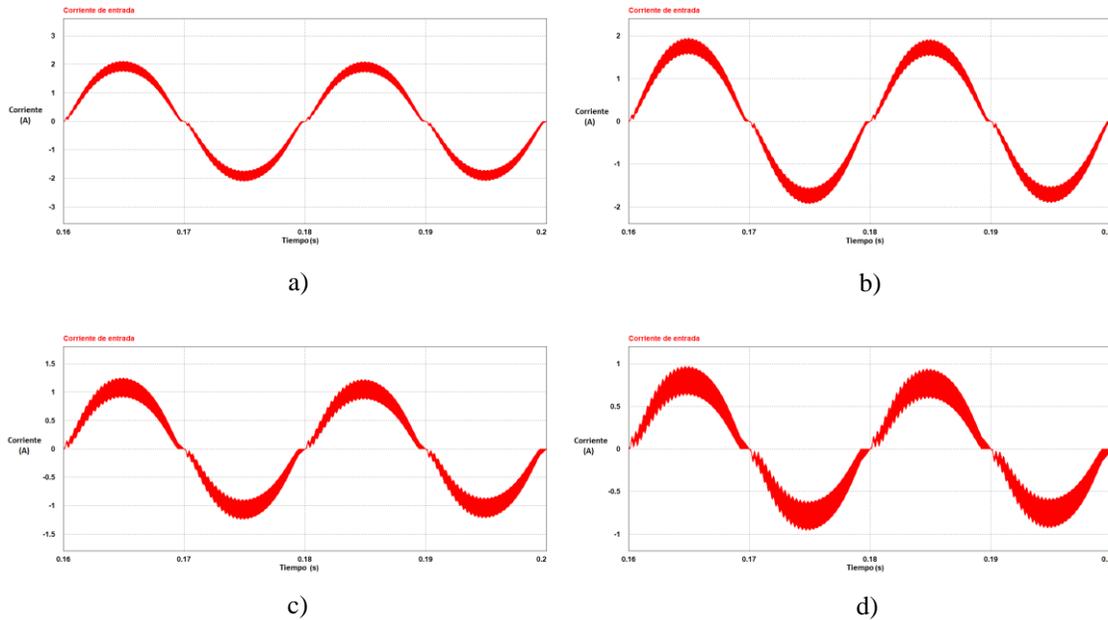


Figura 3.44 Corriente de entrada con VCCR (exponencial). a) plena carga, b) $\frac{3}{4}$ de la carga, c) $\frac{1}{2}$ carga, d) $\frac{1}{4}$ de la carga

El contenido armónico que se obtiene de la Figura 3.44a se muestra en la Figura 3.45 en el cual se observa el bajo contenido armónico que se obtiene con la estrategia VCCR aplicando la rampa exponencial para convertidores tipo reductor-elevador, en este caso para el convertidor *Sepic*.

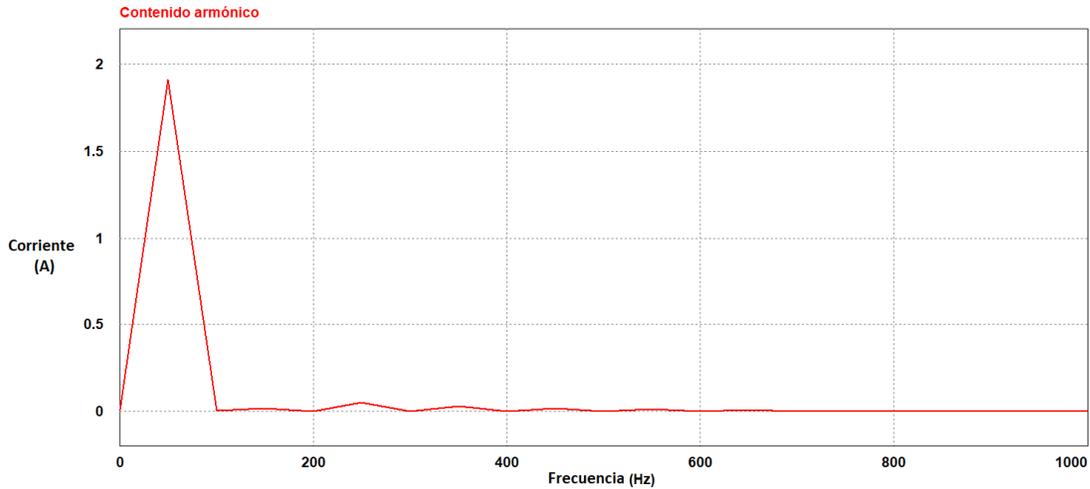


Figura 3.45 Contenido armónico de la estrategia VCCR (exponencial) con el convertidor Sepic

La estrategia de VCCR en su versión de la rampa exponencial inicia su funcionamiento con el biestable en un nivel alto para que pueda conducir el interruptor controlado y este no se apagará hasta que en el comparador lleve a cabo la comparación de las señales de la rampa exponencial con la corriente sensada en el interruptor controlado. En la Figura 3.46 se muestra la corriente a través del interruptor controlado, la cual va cambiando al doble de la frecuencia de la entrada.

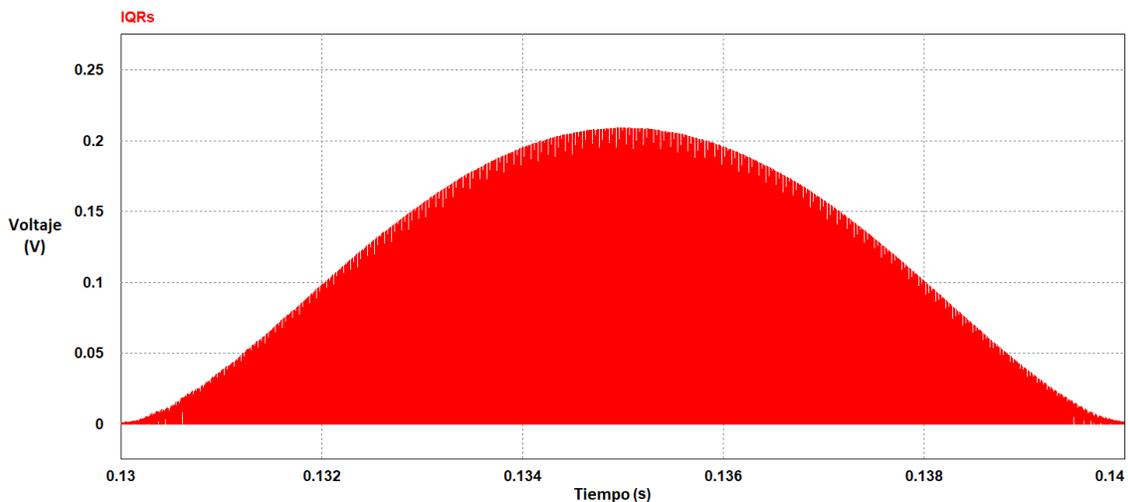


Figura 3.46 Corriente a través del interruptor controlado

La corriente sensada es multiplicada por una ganancia (R_S), y esta se compara con la rampa exponencial que se logra a través del integrador con la acción de reset restando el valor de voltaje pico de la rampa con el detector de picos. La Figura 3.47 muestra la comparación de las señales que se lleva a cabo en el amplificador operacional puesto como comparador.

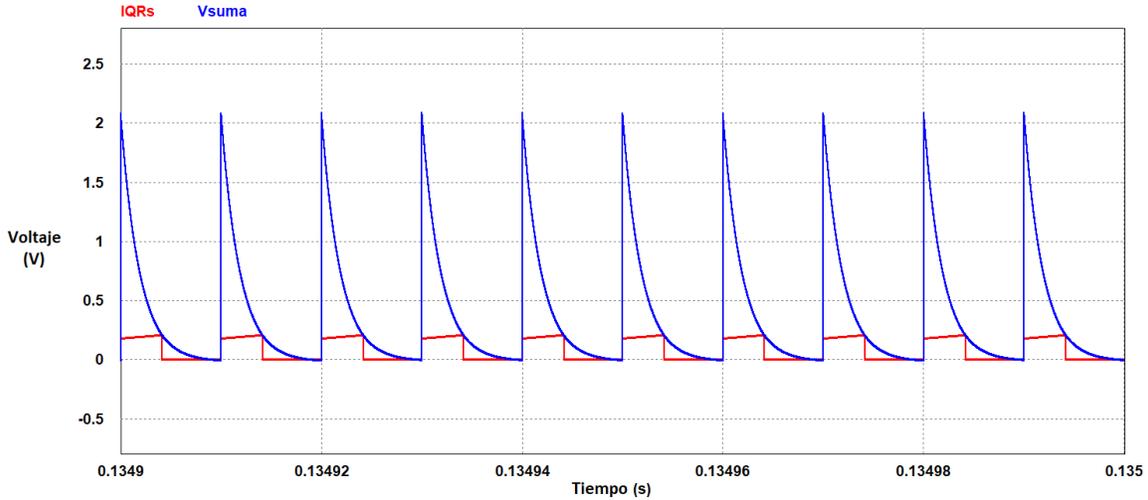


Figura 3.47 Señales comparadas IQRs con la rampa exponencial

Al realizarse la intercepción de las señales de la Figura 3.47 se produce un pulso para cambiar al biestable de estado y posteriormente poder apagar al interruptor controlado. A su vez también se lleva a cabo el reinicio del integrador (descarga del capacitor).

La Figura 3.48 muestra el voltaje de salida el cual crece lentamente hasta el voltaje deseado (218 Vcd) debido al gran valor del capacitor de la salida y también al lazo de voltaje que es puesto para operar lentamente (típico de un CFP).

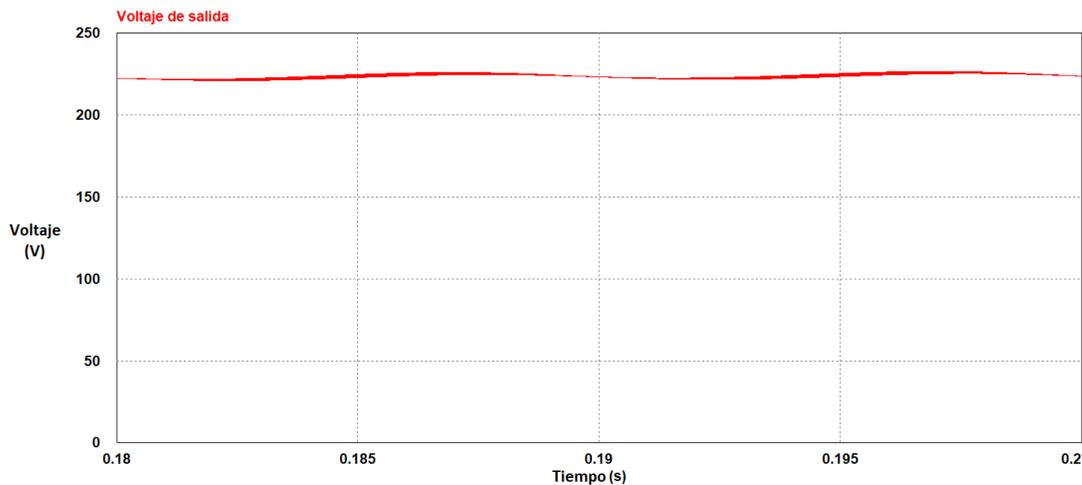


Figura 3.48 Voltaje de salida del convertidor Sepic con la estrategia VCCR (exponencial)

3.5.3 Simulación del convertidor Sepic con VCCR (lineal) con tensión de 127 Vca rms

La Figura 3.49 muestra la corriente de entrada obtenida a diferentes cargas con un voltaje de entrada de 127 Vca, una potencia de 250 W y una M_1 de 0.7. En a) se muestra la corriente

de entrada a plena carga, en b) se muestra la corriente de entrada a $\frac{3}{4}$ de la carga, en c) se muestra la corriente de entrada a $\frac{1}{2}$ carga y en d) se muestra la corriente de entrada a $\frac{1}{4}$ de la carga.

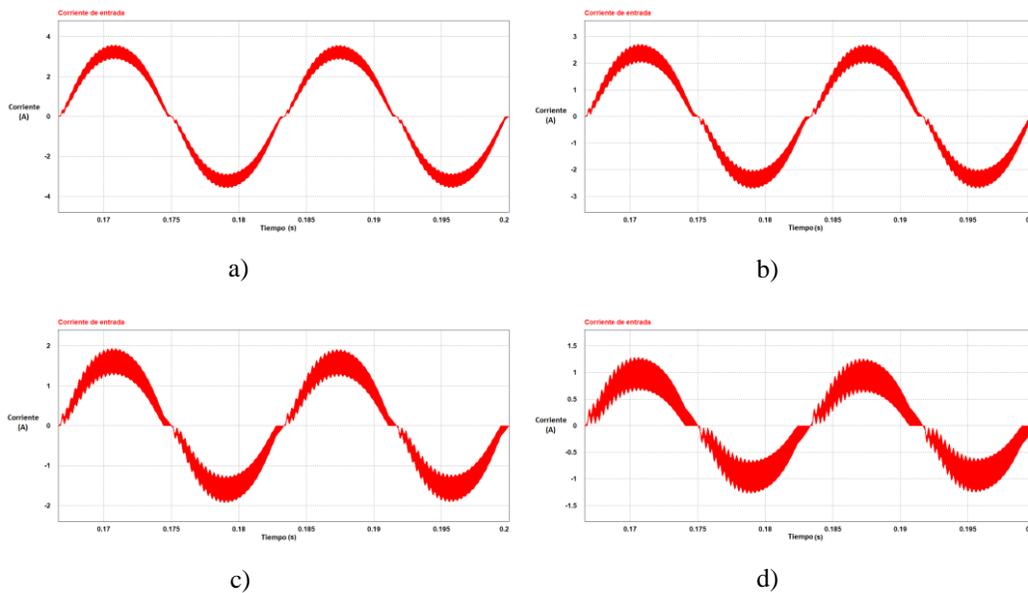


Figura 3.49 Corriente de entrada con el convertidor Sepic y la estrategia VCCR (exponencial). a) Plena carga, b) $\frac{3}{4}$ de la carga, c) $\frac{1}{2}$ carga, d) $\frac{1}{4}$ de la carga

La Figura 3.50 muestra el contenido armónico de la Figura 3.49a. Se puede observar que el contenido armónico es relativamente bajo, por lo que la estrategia VCCR exponencial es una buena alternativa para los convertidores tipo reductor-elevador al poder conformar la corriente de entrada.

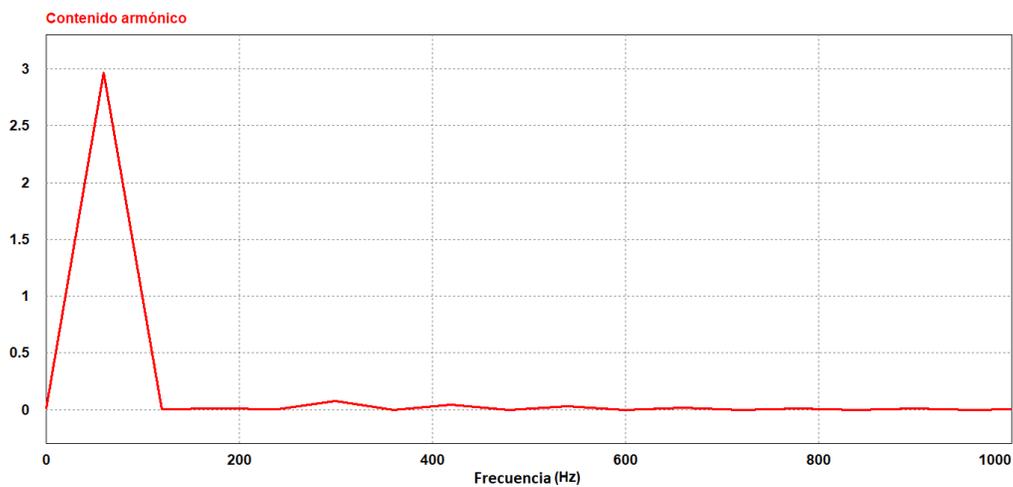


Figura 3.50 Contenido armónico de la estrategia VCCR (exponencial) y el convertidor Sepic con 127 Vca de entrada

Resumiendo, en este capítulo se realizó un análisis teórico y simulado de las estrategias OCC y VCCR ambas en sus dos versiones con el convertidor *Sepic* para una potencia de 250 W. Se realizaron dos diseños en la etapa de potencia, una a tensión de entrada de 220 Vca y otra a 127 Vca con una M_1 de 0.7 en ambos casos, es decir, el voltaje de salida fue 218 Vcd y 126 Vcd respectivamente. La principal meta fue observar el comportamiento de la corriente de entrada a plena carga y posteriormente se realizaron simulaciones con cargas diferentes. El siguiente capítulo muestra una comparativa de las estrategias VCCR y OCC en términos de FP y THD para una M_1 de 0.7 y el convertidor *Sepic* diseñado a 250 W.

Capítulo 4: Análisis comparativo de las estrategias OCC y VCCR

Este capítulo presenta la comparación de los resultados globales obtenidos en las dos variantes de cada estrategia “Control de un Ciclo” - OCC, como de la estrategia “Rampa de Compensación Controlada por Voltaje” – VCCR, tanto para una tensión de entrada de 220 Vca rms como 127 Vca rms. El análisis comparativo incluye la evaluación de las formas de onda de la corriente de línea para cada una de las estrategias, la comparación del FP, THD y contenido armónico individual (verificando contra la norma IEC 61000-3-2) para diferentes valores de ganancia del convertidor M_1 , obtenidos a partir del correspondiente análisis teórico y simulación

4.1 Comparación de la corriente de entrada

Siendo el principal objetivo de una etapa de CFP la reducción de armónicos en la corriente de red y por lo mismo con ello recuperar la forma sinusoidal de la corriente de red propia de tener una carga lineal, resulta interesante que uno de los aspectos de comparación sea la corriente de entrada. Por ello en primer lugar se presenta una comparativa de las corrientes de entrada de las estrategias OCC (de una y dos integraciones) y VCCR (lineal y exponencial) con el convertidor *Sepic*. La Figura 4.1 presenta medio ciclo de las corrientes de entrada normalizadas para cada una de las cuatro estrategias. Para poder tener una referencia de la conformación de la corriente de ambas estrategias se gráfica una senoide perfecta (línea roja).

Las corrientes de entradas de cada estrategia están diseñadas para una M_1 de 0.7 y una potencia de 250 W. En color verde se muestra cómo se estaría conformando la corriente de OCC en su versión de una integración (sensando en I_{L1}). En color azul la opción de OCC con dos integraciones (sensando en I_{Q1}), posteriormente VCCR (en color rosa) implementando una rampa lineal y por último la estrategia VCCR (en color negro) en su versión exponencial.

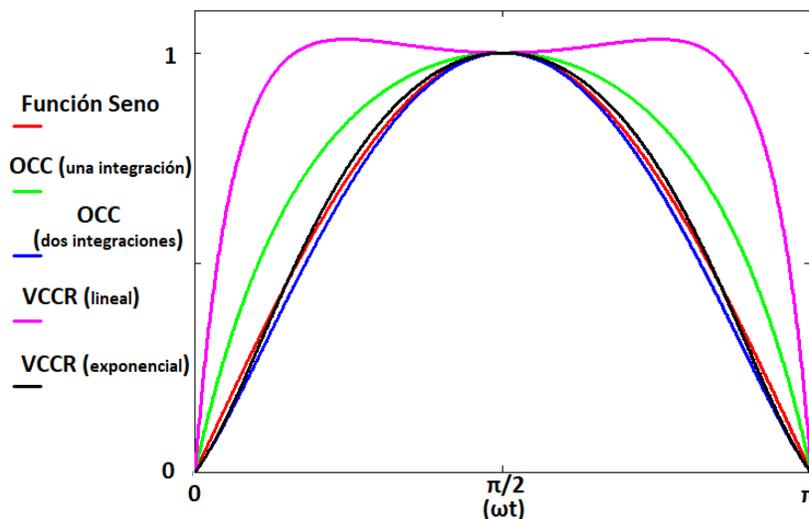


Figura 4.1 Comparativa de las corrientes de entrada en medio ciclo de OCC y VCCR

En el caso de VCCR lineal que es la opción que presenta la mayor deformación de la corriente de entrada, se puede mejorar la corriente de entrada siempre y cuando se permita una M_1 mayor a 1 (lo que ocasionará que la tensión de salida se incremente provocando los ya mencionados problemas en la segunda etapa), sin embargo, a pesar de ello los resultados no son mejores que las restantes tres opciones. Por otro lado, la estrategia OCC de una integración, si bien tiene mejores resultados que VCCR lineal, presenta todavía una deformación considerable, la cual puede reducirse también si se acepta trabajar con una M_1 mayor a 1. Finalmente, los resultados que se obtienen para VCCR exponencial y OCC con dos integraciones son mucho mejores y muy similares entre sí.

4.2 Comparativa en términos de FP y THD

La mejora en la forma de onda senoidal en la corriente de red, finalmente se termina reflejando tanto en el FP, como en el THD de dicha corriente, razón por la cual en este apartado se presenta dicha comparación. La Figura 4.2 muestra el comportamiento de FP y THD para cada una de las cuatro estrategias y se presenta en particular la comparación para el caso de que M_1 es igual a 0.7. La Figura 4.2a se presenta el caso de OCC con una integración, en la cual el FP es de 0.99 y el THD de 12%; en la Figura 4.2b se presenta el caso de OCC con dos integraciones, en la cual el FP es de 0.99 y el THD de 3.2%; en la Figura 4.2c se presenta el caso de VCCR lineal y en este caso el FP es de 0.952 y el THD de 32.1%. Finalmente, en la Figura 4.2d, el FP es de 0.99 y el THD del 2%. Se puede ver claramente que la técnica VCCR exponencial es la que reduce más el THD de la corriente de entrada, para los mismos parámetros de diseño.

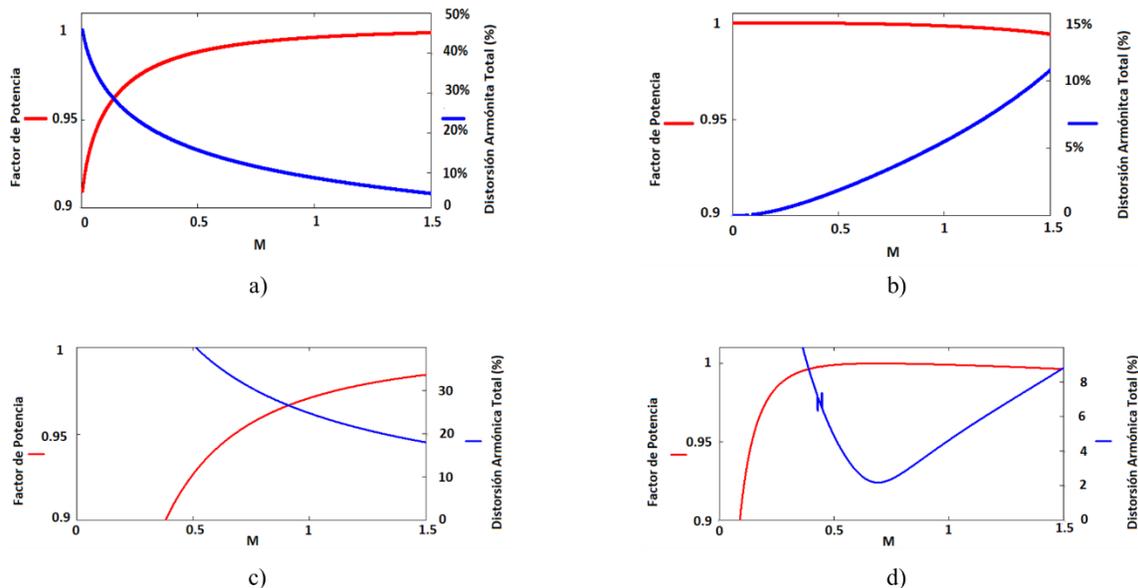


Figura 4.2 FP y THD para M_1 0.7. a) OCC una integración. b) OCC dos integraciones. c) VCCR lineal. d) VCCR exponencial

Otro comentario importante es que mientras que para VCCR lineal se necesita tener una $M_1 > 1$ (voltaje de salida mayor al voltaje pico de entrada) para poder obtener mejores resultados de THD, las otras tres estrategias obtienen buenos resultados de FP y THD desde una M_1 de 0.5. Resulta interesante ver el comportamiento de las diferentes estrategias ante variaciones de M_1 en la Figura 4.2 (aun cuando como se ha mencionado anteriormente, resulta preferible trabajar con valores de M_1 reducidos para no empeorar los esfuerzos de tensión del convertidor de la segunda etapa, es importante evaluar la capacidad de trabajo de

las diferentes estrategias con bajos valores de M_1 , sin perder las características ideales que se están buscando.

En la Figura 4.3 se muestra el comportamiento del FP para las diferentes estrategias ante variaciones de M_1 0.5 - 1.5, es decir, se varía el voltaje de salida. Para obtener dichos valores teóricos de FP se parte de la ecuación (3.30) aplicada a cada una de las estrategias, además el parámetro K cambia dependiendo el valor de M_1 (es decir, los componentes de la etapa de potencia se ajustan de acuerdo con el voltaje de entrada, voltaje de salida y potencia de salida).

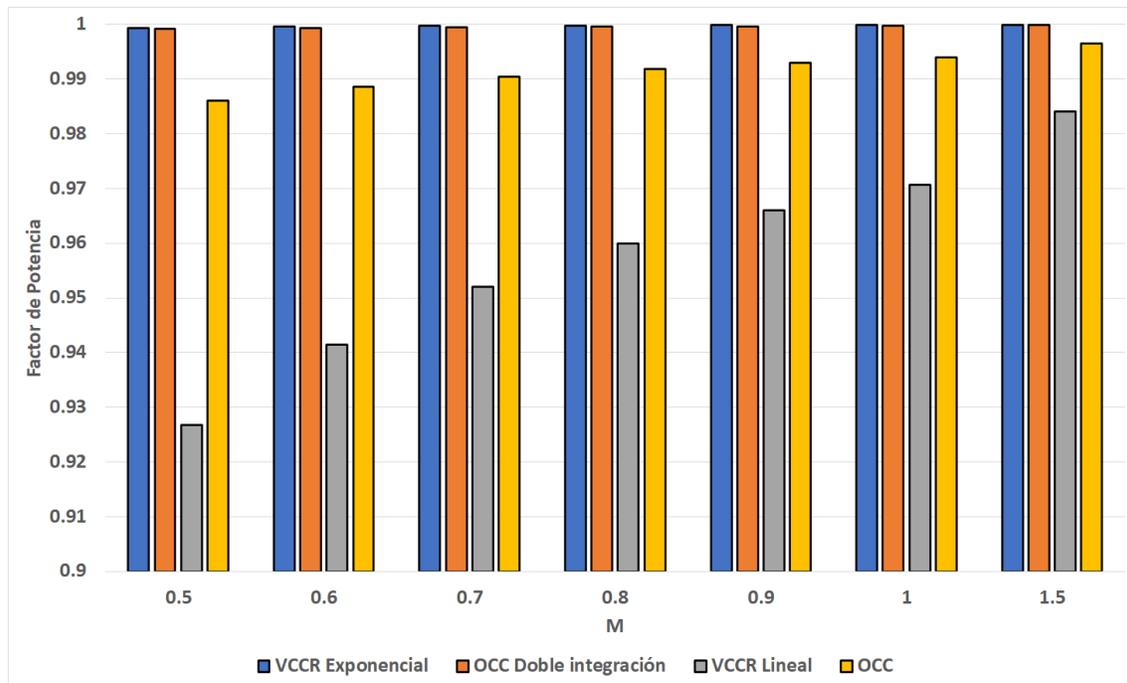


Figura 4.3. FP de OCC y VCCR en función de M_1

Se puede concluir que en las estrategias OCC de una integración y VCCR lineal, el FP tiende a ser mejor conforme se acepta una mayor M_1 , es decir, un voltaje de salida mayor. El THD de igual manera mejora conforme se diseña para una mayor ganancia como se muestra en la Figura 4.4. Tanto para el FP como el THD, las estrategias OCC de doble integración y VCCR exponencial se mantienen con resultados muy parecidos. Sin embargo, se aprecia que para los mismos valores de M_1 , la estrategia VCCR exponencial siempre tiene mejores resultados.

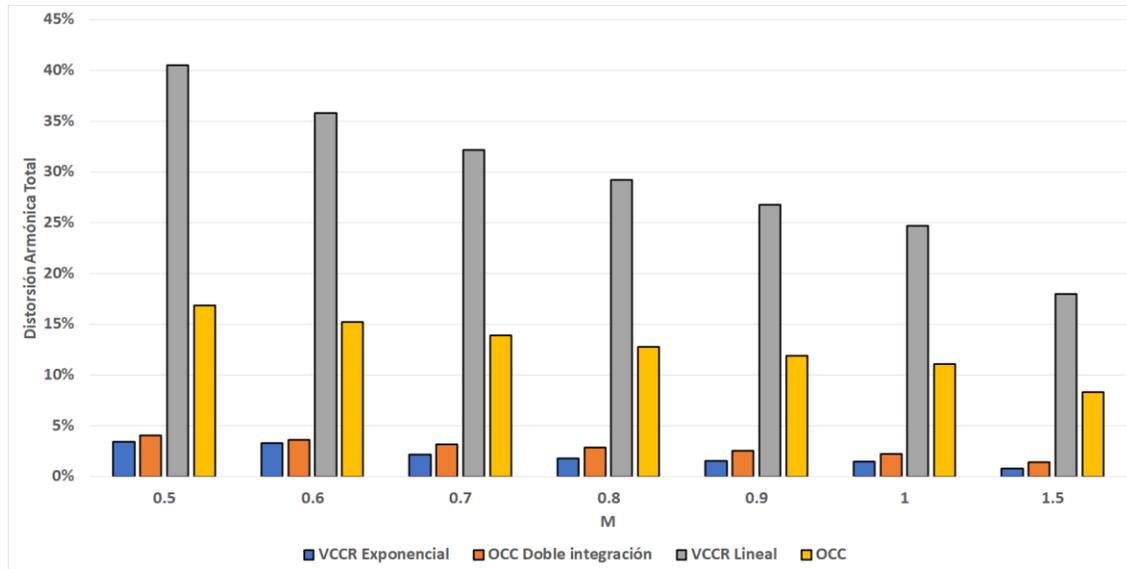


Figura 4.4. THD de OCC y VCCR en función de M_1

De las simulaciones realizadas en cada estrategia, se obtienen los principales armónicos individuales, los cuales resulta interesante compararlos con la norma IEC 61000-3-2 en clase D, la cual valora los armónicos individuales.

Las Figuras 4.5 a 4.8 muestran los principales armónicos individuales de cada una de las estrategias. Las gráficas presentan los armónicos en función del parámetro M_1 y cada armónico individual no debe rebasar el límite permitido de acuerdo con la Tabla 3 en la cual se muestran el límite de cada armónico individual en clase D a 250 W de acuerdo con la norma IEC 61000-3-2.

Tabla 3 Límite de cada armónico individual para una potencia de 250 W en la norma IEC-61000-3-2 en clase "D"

| ARMÓNICO | CLASE D (A) |
|----------|-------------|
| 3 | 0.85 |
| 5 | 0.475 |
| 7 | 0.25 |
| 9 | 0.125 |
| 11 | 0.0875 |
| 13 | 0.074 |
| 15 | 0.0641 |
| 17 | 0.0566 |

Se presentan los resultados de la simulación de OCC en su versión de una integración sensando la corriente que pasa por el inductor de la entrada. En este caso se muestran los armónicos de la relación de transformación M_1 de 0.7. Además, se agregan los valores de los armónicos individuales siguiendo el mismo procedimiento de la simulación. En color azul se

muestran la relación de M_1 0.5, en color anaranjado en valor de M_1 0.7, en gris el valor de M_1 igual a 1 y por último en amarillo la M_1 de 1.5. Como primera observación se tiene que todos los armónicos individuales estarían pasando la norma en clase D para relaciones de transformación a partir de 0.5. También se puede observar que el tercer armónico mejora conforme se permite tener una M_1 mayor, es decir, permitir mayor voltaje de salida. Resulta importante tener en consideración el sentido de la corriente, ya que un sentido diferencial requiere de un mayor número de componentes y por consecuencia más costoso.

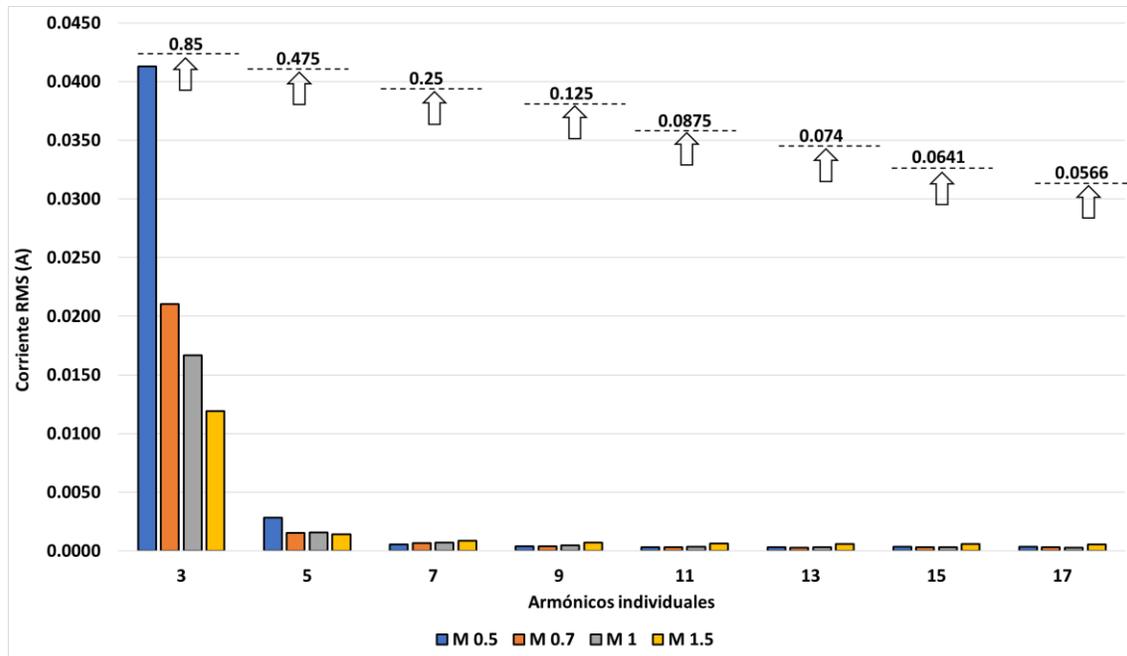


Figura 4.5. Principales armónicos individuales de la estrategia OCC (una integración) vs M_1

Para el caso de OCC de doble integración se requiere sentir la corriente que pasa por el interruptor controlado. La Figura 4.6 muestra los armónicos individuales de la corriente de entrada, donde se observa que todos los armónicos estarían pasando la norma en clase D para las diferentes M_1 . En comparación con la Figura 4.5 se tienen valores de armónico menores que OCC en su versión de una integración. Podemos observar de igual manera que mientras se permita un mayor voltaje de salida los armónicos individuales disminuyen. Si bien el hecho de realizar una doble integración tiene ventajas como inmunidad al ruido en el sentido, también se tiene la desventaja de poseer un mayor número de componentes para realizar la doble integración.

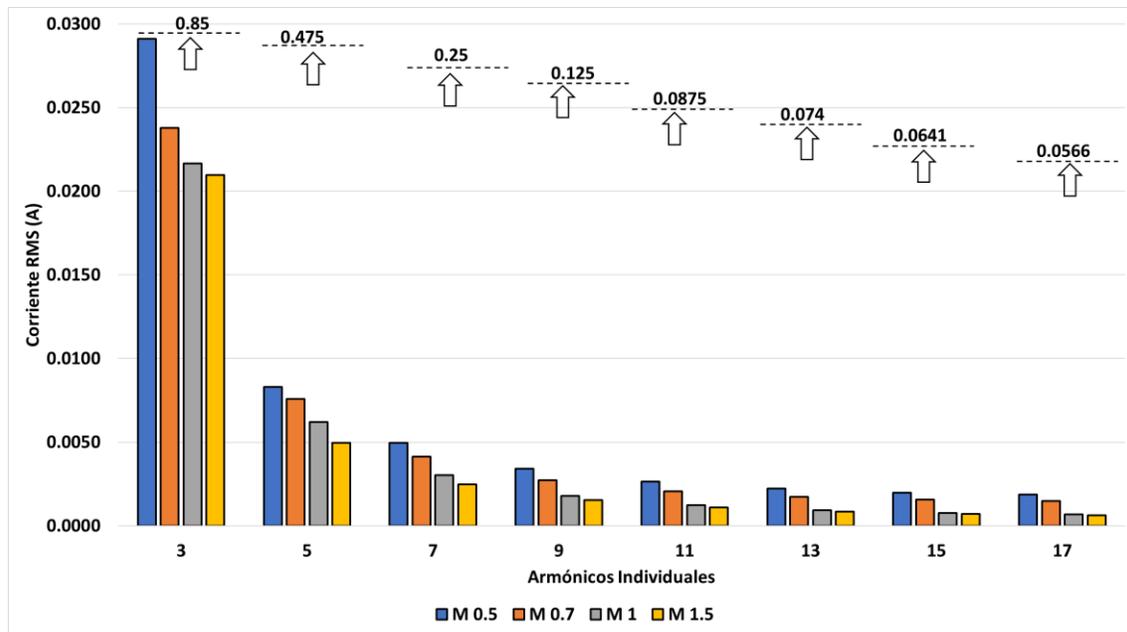


Figura 4.6. Principales armónicos individuales de la estrategia OCC (dos integraciones) vs M_1

Para el caso de la estrategia VCCR en su versión de rampa lineal (ver Figura 4.7) se observa que no todos los armónicos estarían pasando la norma en clase D (para una relación de transformación M_1 menor de 0.7). Sin embargo, si se permite un mayor voltaje de salida para mejorar los armónicos individuales, esto implicaría mayores esfuerzos de tensión en los interruptores de la segunda etapa.

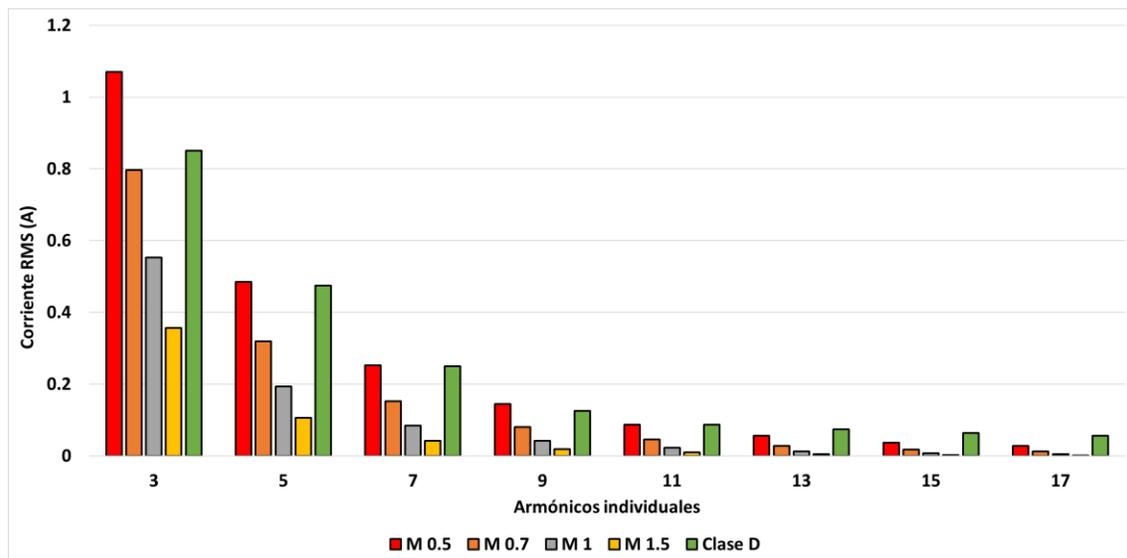


Figura 4.7. Principales armónicos individuales de la estrategia VCCR (lineal) vs M_1

Por último, en la Figura 4.8 se muestran los armónicos individuales que se logran con la estrategia VCCR con rampa exponencial, en donde podemos observar que los armónicos individuales estaría pasando la norma para una relación de transformación de M_1 0.5 en

adelante. Se obtienen buenos resultados desde una M_1 de 0.5 debido al ajuste de la rampa exponencial lo cual es importante para no tener grandes esfuerzos de tensión en la segunda etapa. Como se mencionó anteriormente, el convertidor *Sepic* fue propuesto funcionando como un reductor por lo que nos interesa saber los valores de los armónicos para una M_1 menor a 1.

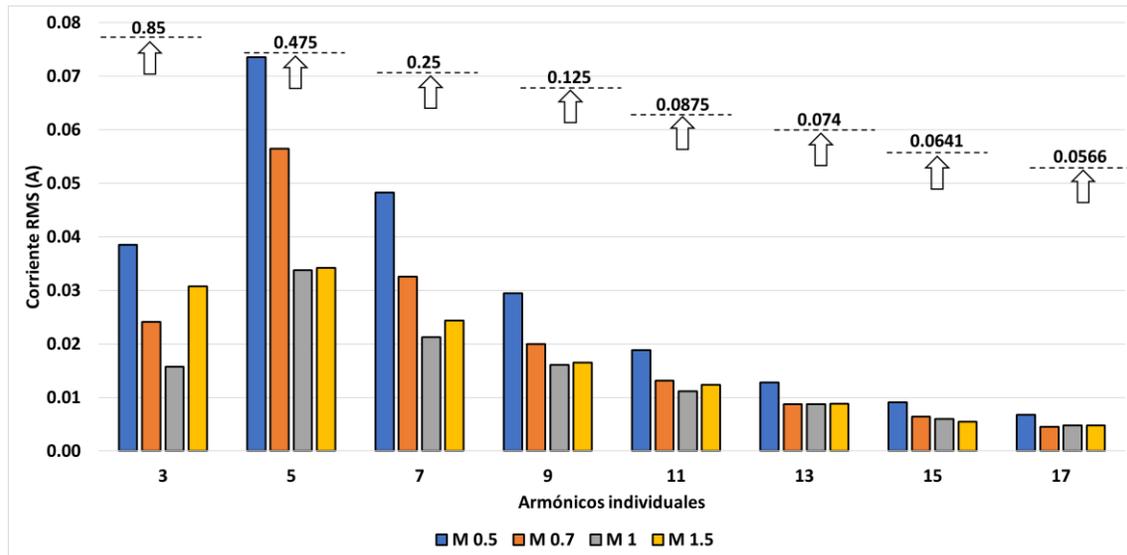


Figura 4.8. Principales armónicos individuales de la estrategia VCCR (exponencial) vs M

4.2.1 Comparación de armónicos individuales de las estrategias OCC y VCCR con tensión americana y europea

En una SMPS el voltaje de entrada puede ser a tensión europea (220 Vca rms), tensión americana (127 Vca rms) o tensión universal, esta dependerá de cómo este diseñada la fuente. Es importante realizar una comparativa de los armónicos individuales para diferentes tensiones de entrada con las estrategias OCC y VCCR (ambas en sus dos versiones) y el convertidor *Sepic*. En la Figura 4.9 se muestran los principales armónicos, así como también en color rojo el límite de cada armónico para una potencia de 250 W. Como una primera observación se tiene que los armónicos crecen con un menor voltaje a la entrada (lo cual es lógico ya que para una misma potencia se tendrán mayores corrientes a una tensión de entrada menor). Si se aplica la norma IEC 61000-3-2 en clase D los armónicos individuales se tiene que multiplicar por dos si el voltaje de entrada es de 110 Vca rms, para el caso de que el voltaje de entrada sea de 127 Vca rms se tiene que multiplicar el valor del armónico por 1.72 (es decir, se tiene que adecuar a la razón de proporcionalidad a la tensión a la que aplica la norma) como se muestra en la Figura 4.9. Es importante revisar la norma IEC 61000-3-2 por si en un determinado momento se cambiaran estas consideraciones.

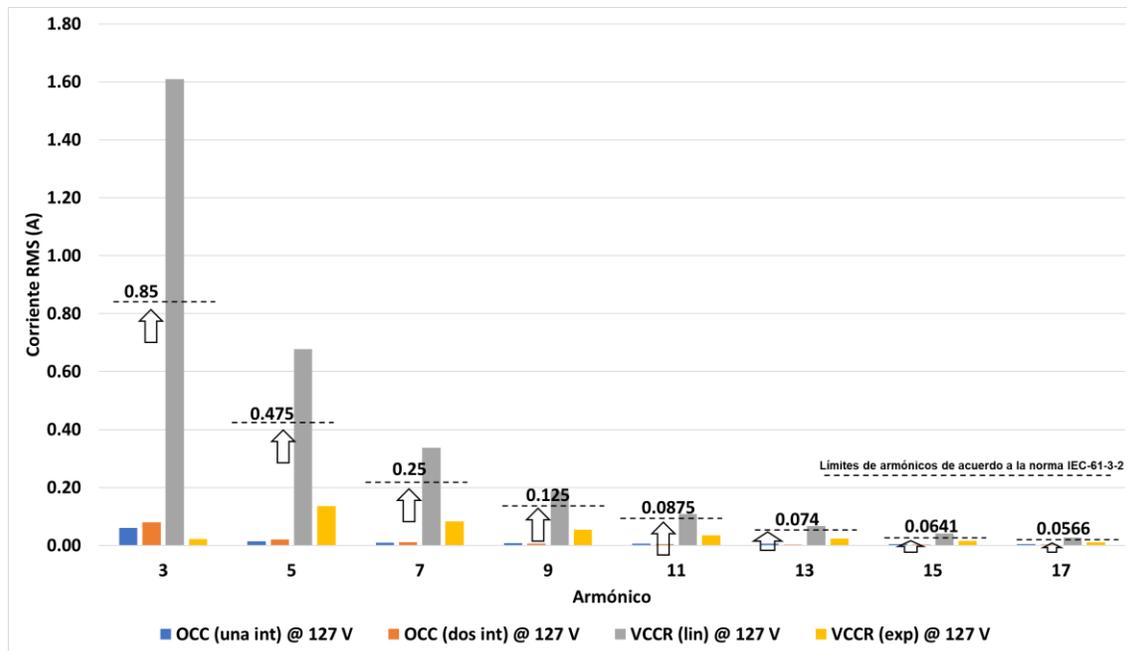


Figura 4.9 Comparativa de armónico individuales de las estrategias OCC y VCCR para una tensión de entrada de 127 Vca rms

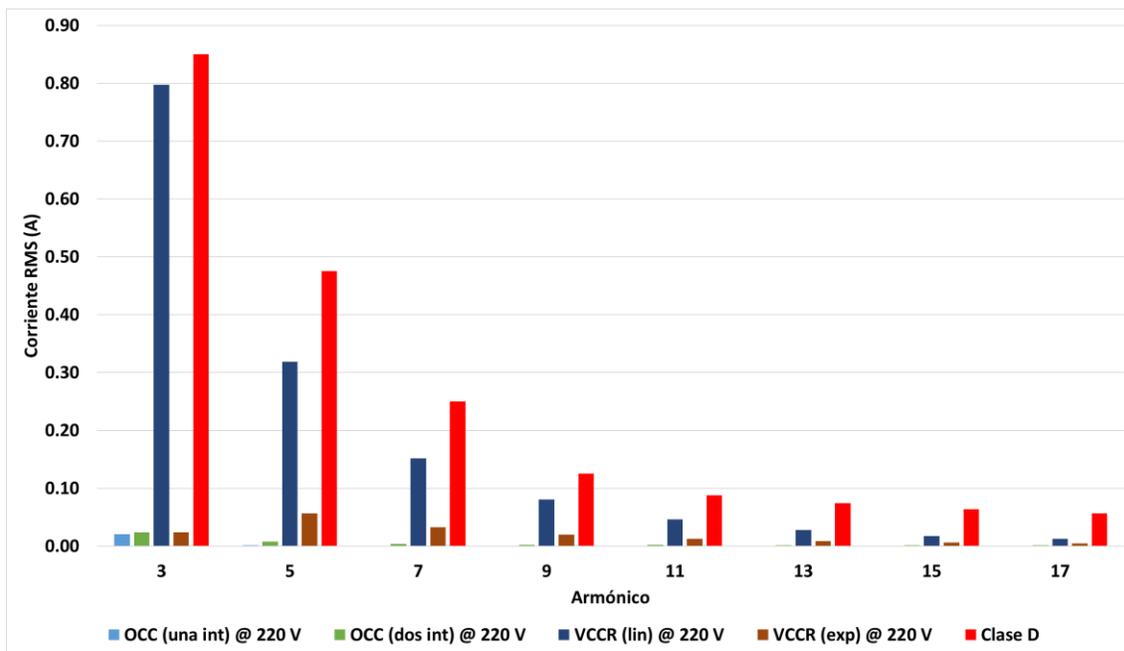


Figura 4.10 Comparativa de armónicos individuales de las estrategias OCC y VCCR para una tensión de entrada de 220 Vca rms

Capítulo 5: Conclusiones y trabajos futuros

Este capítulo presenta las conclusiones del trabajo de investigación, así como posibles trabajos futuros que complementen la investigación realizada. En las conclusiones se evalúa en qué medida las diferentes estrategias analizadas cumplen con los objetivos generales de conseguir un buen desempeño en términos del FP y THD, los armónicos individuales en la forma de onda de la corriente de línea, así como el efecto de variar la ganancia del convertidor de potencia, tanto en términos de mejora de los parámetros de calidad de la energía, como del posible efecto en la segunda etapa tradicionalmente colocada para mejorar la regulación del voltaje de salida de la SMPS.

4.3 Conclusiones del trabajo de tesis

Una vez descritas todas las actividades desarrolladas en este trabajo de investigación, se analizan los resultados obtenidos y se llegan a las siguientes conclusiones para cada objetivo específico planteado:

- De acuerdo con los análisis teóricos y simulados se demuestra que las estrategias OCC (en sus dos versiones) y VCCR (en sus dos versiones) logran conformar la corriente de entrada con un número reducido de componentes en comparación con la estrategia conocida como Control por Multiplicador Analógico, presentando además mejoras en costo y complejidad. Por otro lado, el Control por Seguidor de Tensión también presenta un reducido número de componentes con relación a la estrategia Control por Multiplicador Analógico, sin embargo, presenta problemas de eficiencia, debido a los mayores esfuerzos de corriente en los componentes al tener que trabajar en MCD.
- Es conocido que trabajar con una ganancia alta en un convertidor utilizado como CFP tiene ventajas como tener un buen FP. En este trabajo de tesis se realizó un análisis comparativo de la sensibilidad de las diferentes estrategias estudiadas con relación a parámetros claves como FP y THD, esto a través de observar el comportamiento del FP y THD ante diferentes valores de M_1 , es decir, tener un V_o menor al voltaje pico de entrada, con el fin de no terminar penalizando al segundo convertidor al bloquear un alto voltaje entre terminales de sus interruptores.
- Las estrategias OCC (dos integraciones) y VCCR (exponencial) resultan ser las mejores alternativas debido a que desde valores de M_1 de 0.5 se obtienen buenos resultados de FP, THD y contenido armónico. (siendo la técnica VCCR exponencial la que mejor se comporta en THD y armónicos individuales, para valores reducidos de M_1).
- La estrategia OCC (una integración) requiere de un mayor número de componentes para una implementación debido al sensado diferencial que se debe realizar.
- Por lo anteriormente mencionado, la estrategia VCCR (exponencial) resulta ser la mejor alternativa de las cuatro estrategias estudiadas, debido a los resultados obtenidos en cuando al FP, THD y contenido armónico. Dicha estrategia sigue siendo una alternativa en cuanto a número de componentes que al final es traducido en un mejor costo, además de que permite en un momento dado reducir precio y tamaño de la etapa extra de CFP en una SMPS.
- En términos de la etapa de potencia el convertidor *Sepic* es una buena alternativa para ser utilizado en la primera etapa de CFP, debido a tener la capacidad de tener un voltaje menor que el voltaje pico de entrada, poseer un inductor en la entrada que sirve como un filtro para amortiguar los picos de corriente, tener su interruptor controlado referido a tierra.

4.4 Trabajos futuros

Para dar continuidad al estudio presentado en este trabajo de tesis se propone atender los siguientes puntos:

- Realizar un prototipo experimental de la estrategia VCCR utilizando la rampa exponencial para el convertidor Sepic diseñado a una potencia de 250 W, debido a los resultados teóricos y simulados que se obtuvieron.
- Otro posible caso de estudio puede ser tratar de identificar el efecto de estas estrategias de CFP en las características del capacitor de salida en términos del valor de capacitancia, es decir, la energía almacenada en el capacitor para poder utilizar capacitores no electrolíticos para aumentar la confiabilidad de la SMPS.

Referencias

- [1] M. Mohad, "Electronica de potencia ," *IEEE Ind. Electron. Mag.*, vol. 2, no. 2, pp. 28–39, 2008, doi: 10.1109/MIE.2008.923519.
- [2] J. Sebastian, M. Jaureguizar and J. Uceda, "An overview of power factor correction in single-phase off-line power supply systems," Proceedings of IECON'94 - 20th Annual Conference of IEEE Industrial Electronics, Bologna, Italy, 1994, pp. 1688-1693 vol.3, doi: 10.1109/IECON.1994.398068.
- [3] C. K. Duffey and R. P. Stratford, "Update of harmonic standard IEEE-519: IEEE recommended practices and requirements for harmonic control in electric power systems," *IEEE Transactions on Industry Applications*, vol. 25, no. 6, pp. 1025-1034, 1989.
- [4] Electromagnetic Compatibility (EMC)—Part 3–2: Limits—Limits for Harmonic Current Emissions (Equipment Input Current 16 A per Phase), IEC 61000-3-2, Part 3-2, 2014.
- [5] O. Garcia, J. A. Cobos, R. Prieto, P. Alou and J. Uceda, "Single phase power factor correction: a survey," in *IEEE Transactions on Power Electronics*, vol. 18, no. 3, pp. 749-755, May 2003, doi: 10.1109/TPEL.2003.810856.
- [6] O. Garcia, J. A. Cobos, P. Alou, R. Prieto, J. Uceda and S. Ollero, "A new family of single stage AC/DC power factor correction converters with fast output voltage regulation," PESC97. Record 28th Annual IEEE Power Electronics Specialists Conference. Formerly Power Conditioning Specialists Conference 1970-71. Power Processing and Electronic Specialists Conference 1972, Saint Louis, MO, USA, 1997, pp. 536-542 vol.1, doi: 10.1109/PESC.1997.616774.
- [7] M. J. Kocher and R. L. Steigerwald, "An AC-to-DC Converter with High Quality Input Waveforms," in *IEEE Transactions on Industry Applications*, vol. IA-19, no. 4, pp. 586-599, July 1983, doi: 10.1109/TIA.1983.4504259.
- [8] K. -. Liu and Y. -. Lin, "Current waveform distortion in power factor correction circuits employing discontinuous-mode boost converters," 20th Annual IEEE Power Electronics Specialists Conference, Milwaukee, WI, USA, 1989, pp. 825-829 vol.2, doi: 10.1109/PESC.1989.48565.
- [9] Erickson R. et al, (2000). *Fundamentals of Power Electronics*. Norwell, pp 637-642. Kluwer Academic, New York.
- [10] L. H. Dixon, "High power factor preregulators for off-line power supplies," in *Proc. Unitrode Power Supply Des. Semin.*, 1990, pp. I2-1–I2-16.
- [11] Rossetto, L., et al. "Control techniques for power factor correction converters." *Proc. of Power Electronics, Motion Control (PEMC)*: 1310-1318. (1994).
- [12] Dixon, L. Average current mode control of switching power supplies. In *Unitrode Power Supply Design Seminar Handbook* (pp. 5-1). Unitrode Corp. 1990.
- [13] J. Sebastian, J. A. Martinez, J. M. Alonso and J. A. Cobos, "Voltage-follower control in zero-current-switched quasi-resonant power factor preregulators," in *IEEE Transactions on Power Electronics*, vol. 13, no. 4, pp. 727-738, July 1998, doi: 10.1109/63.704146.
- [14] J. Sebastian, J. A. Cobos, J. M. Lopera and U. Uceda, "The determination of the boundaries between continuous and discontinuous conduction modes in PWM DC-to-DC converters used as power factor preregulators," in *IEEE Transactions on Power Electronics*, vol. 10, no. 5, pp. 574-582, Sept. 1995, doi: 10.1109/63.406845.

- [15] D. S. L. Simonetti, J. Sebastian and J. Uceda, "The discontinuous conduction mode Sepic and Cuk power factor preregulators: analysis and design," in *IEEE Transactions on Industrial Electronics*, vol. 44, no. 5, pp. 630-637, Oct. 1997, doi: 10.1109/41.633459.
- [16] K. M. Smedley and S. Cùk, "One-cycle control of switching converters," in *PESC '91 Record 22nd Annual IEEE Power Electronics Specialists Conference*, 1991, pp. 888-896.
- [17] J. P. Gegner and C. Q. Lee, "Linear peak current mode control: a simple active power factor correction control technique for continuous conduction mode," *PESC Record. 27th Annual IEEE Power Electronics Specialists Conference*, Baveno, Italy, 1996, pp. 196-202 vol.1, doi: 10.1109/PESC.1996.548581.
- [18] Zheren Lai and K. M. Smedley, "A family of continuous-conduction-mode power-factor-correction controllers," in *IEEE Transactions on Power Electronics*, vol. 13, no. 3, pp. 501-510, May 1998, doi: 10.1109/63.668113.
- [19] R. Brown and M. Soldano "One Cycle Control IC Simplifies PFC Designs", *IEEE APEC*, 2005.
- [20] A. T. S. Monteiro, R. R. Matias, J. L. Silva and J. Antonio dos Santos Neto, "High Power Factor Rectifier Using One Cycle Control Strategy," *2019 IEEE 15th Brazilian Power Electronics Conference and 5th IEEE Southern Power Electronics Conference (COBEP/SPEC)*, Santos, Brazil, 2019, pp. 1-6, doi: 10.1109/COBEP/SPEC44138.2019.9065780.
- [21] S. N. S. Sundar, P. H. Rani, K. Manikanta, S. George and S. Ashok, "Modified Non-Inverting Buck-Boost PFC Converter with One Cycle Current Control Strategy," *2019 International Conference on Power Electronics Applications and Technology in Present Energy Scenario (PETPES)*, Mangalore, India, 2019, pp. 1-6, doi: 10.1109/PETPES47060.2019.9003885.
- [22] J. Sebastian, D. Gonzalez Lamar, M. Arias Perez de Azpeitia, M. Rodriguez and A. Fernandez, "The Voltage-Controlled Compensation Ramp: A Waveshaping Technique for Power Factor Correctors," in *IEEE Transactions on Industry Applications*, vol. 45, no. 3, pp. 1016-1027, May-june 2009, doi: 10.1109/TIA.2009.2018935.
- [23] S. Cuk and R. D. Middlebrook, "A new optimum topology switching DC-to-DC converter," *1977 IEEE Power Electronics Specialists Conference*, Palo Alto, CA, USA, 1977, pp. 160-179, doi: 10.1109/PESC.1977.7070814.
- [24] D. Cruz Martins, F. de Souza Campos and I. Barbi, "Zeta converter with high power factor operating in continuous conduction mode," *Proceedings of the 1996 IEEE IECON. 22nd International Conference on Industrial Electronics, Control, and Instrumentation*, Taipei, Taiwan, 1996, pp. 1802-1807 vol.3, doi: 10.1109/IECON.1996.570741.