

# **INSTITUTO TECNOLÓGICO DE CIUDAD MADERO**

**División de Estudios de Posgrado e Investigación**

**Maestría en Ingeniería Eléctrica**



**TESIS**

**ANÁLISIS E IMPLEMENTACIÓN DE ESTRUCTURAS DE COMUNICACIÓN DE  
DATOS PARA EL CONTROL DE UN CONVERTIDOR MODULAR MULTINIVEL**

**Que para obtener el Grado de  
Maestro en Ingeniería Eléctrica**

**Presenta  
Ing. Jesús Eduardo Pedraza Barrón  
G17073005**

**Director de Tesis  
Dr. Pedro Martín García Vite**

**Co-Director de Tesis  
M.C. Aarón González Rodríguez**



**SEP**  
SECRETARÍA DE  
EDUCACIÓN PÚBLICA



TECNOLÓGICO NACIONAL DE MÉXICO

Instituto Tecnológico de Ciudad Madero

"2019, Año del Caudillo del Sur, Emiliano Zapata"

Cd. Madero, Tams., 29 de Mayo de 2019

**OFICIO No.:** U2.031/18  
**ÁREA:** DIVISIÓN DE ESTUDIOS  
DE POSGRADO E INVESTIGACIÓN  
**ASUNTO:** ASIGNACIÓN DE JURADO

**ING. JESUS EDUARDO PEDRAZA BARRON**  
**PRESENTE**

Tengo a bien comunicarle que el **JURADO** de su examen para optar por el grado de Maestro en Ingeniería Eléctrica estará integrado por:

PRESIDENTE :	DR.	PEDRO MARTIN GARCIA VITE
SECRETARIO:	DR.	GASTÓN HERNÁNDEZ MARTÍNEZ
VOCAL:	M.C.	RAFAEL CASTILLO GUTIERREZ
SUPLENTE:	M.C.	AARON GONZALEZ RODRIGUEZ
DIRECTOR DE TESIS :	DR.	PEDRO MARTIN GARCIA VITE

La revisión de su tesis: **"ANÁLISIS E IMPLEMENTACION DE ESTRUCTURAS DE COMUNICACIÓN DE DATOS PARA EL CONTROL DE UN CONVERTIDOR MODULAR MULTINIVEL"**, se llevará a cabo el día Jueves 29 de Mayo de 2019, a las 11:00 hrs. en la Sala Audiovisual de esta División.

**ATENTAMENTE**  
EXCELENCIA EN EDUCACIÓN TECNOLÓGICA\*  
"POR MI PATRIA Y POR MI BIEN"

**DR. JOSÉ AARÓN MELO BANDA**  
**JEFE DE LA DIVISIÓN DE ESTUDIOS DE**  
**POSGRADO E INVESTIGACIÓN**



SECRETARÍA DE EDUCACIÓN PÚBLICA  
TECNOLÓGICO NACIONAL  
DE MÉXICO  
INSTITUTO TECNOLÓGICO DE CIUDAD MADERO  
DIVISIÓN DE ESTUDIOS DE POSGRADO  
E INVESTIGACIÓN

c.c.p.- Archivo  
Minuta

JAMB:RCG:jar



Av. 1º de Mayo y Sor Juana I. de la Cruz Col. Los Mangos, C.P. 89440, Cd. Madero, Tam.

Tel. 01 (833) 357 48 20, e-mail: dir01\_cdadero@tecnm.mx

www.tecnm.mx | www.cdmadero.tecnm.mx

# CONTENIDO

Lista de Tablas.....	v
Lista de Figuras .....	v
Dedicatoria .....	vii
Agradecimientos.....	viii
Resumen .....	ix
<b>1 INTRODUCCIÓN</b>	<b>1</b>
1.1 ANTECEDENTES.....	2
1.2 PLANTEAMIENTO DEL PROBLEMA.....	5
1.3 PROPUESTA DE SOLUCIÓN .....	6
1.4 JUSTIFICACIÓN .....	6
1.5 OBJETIVOS .....	6
1.5.1. Objetivo general. ....	6
1.5.2. Objetivos específicos .....	7
1.6. HIPÓTESIS.....	7
1.7. ALCANCES Y LIMITACIONES.....	7
1.7.1. Alcances .....	7
1.7.2. Limitaciones .....	8
1.8. CONCLUSIONES .....	8
<b>2 MARCO TEÓRICO</b>	<b>9</b>
2.1. INVERSORES DE VOLTAJE CONVENCIONALES .....	10
2.2. CONVERTIDOR MODULAR MULTINIVEL .....	10
2.2.1. Principio de funcionamiento de un MMC .....	12
2.2.2. Técnicas de modulación para un MMC.....	14
2.2.3. Balanceo de voltaje en los capacitores de un MMC.....	17
2.3. DISPOSITIVOS DE CONTROL Y COMUNICACIÓN DE DATOS.....	18
2.3.1. Microcontrolador Atmel.....	18

2.3.2. Field Programmable Gate Array.....	20
2.3.3. Sistema de adquisición y comunicación de datos .....	23
2.3.4. Protocolos de comunicación de datos .....	24
2.3.5. Algoritmos de ordenamiento numérico .....	30
2.4. CONCLUSIONES .....	32
<b>3 FUNCIONAMIENTO GENERAL DEL INVERSOR .....</b>	<b>33</b>
3.1. DESCRIPCIÓN DEL SISTEMA A UTILIZAR .....	34
3.2. SIMULACIÓN DEL SISTEMA .....	39
3.2.1 Matlab.....	39
3.2.2 Simulink .....	41
3.2.3 Sistema implementado en Simulink .....	41
3.3. COMPOSICIÓN ELECTRÓNICA DE UN SM .....	45
3.4. CONCLUSIONES.....	47
<b>4 TOPOLOGÍA MCU-MCU .....</b>	<b>48</b>
4.1. FUNCIONAMIENTO .....	49
4.2. EXPERIMENTACIÓN .....	50
4.2.1. Protocolo de comunicación de datos SPI.....	53
4.2.2 Algoritmo de ordenamiento y modulación staircase con voltajes constantes.....	55
4.2.3 Algoritmo de ordenamiento y modulación staircase con voltaje variable .....	57
4.2.4 Algoritmo de ordenamiento e inserción de SM .....	58
4.2.5 Algoritmo de ordenamiento e inserción de SM con modulación staircase .....	59
4.3 CONCLUSIONES .....	60
<b>5 TOPOLOGÍA FPGA-SOLO .....</b>	<b>61</b>
5.1 FUNCIONAMIENTO .....	62
5.2 EXPERIMENTACIÓN .....	64
5.2.1 Algoritmo de ordenamiento y modulación staircase con voltajes constantes.....	65
5.2.2 Algoritmo de ordenamiento y modulación staircase con voltaje variable .....	66
5.2.3 Algoritmo de ordenamiento e inserción de SM con modulación staircase .....	68
5.2.4 Algoritmo de ordenamiento e inserción de SM con modulación staircase y voltaje variable ....	69
5.3 TOPOLOGÍA FPGA-MCU .....	71
5.4. CONCLUSIONES .....	71

<b>6 CONCLUSIONES Y TRABAJOS FUTUROS</b>	<b>72</b>
6.1. CONCLUSIONES GENERALES .....	73
6.2. CONTRIBUCIONES.....	76
6.3. TRABAJOS FUTUROS .....	76
6.4. ACTIVIDADES REALIZADAS EN LA MAESTRÍA EN INGENIERÍA ELÉCTRICA .....	77
6.5. PUBLICACIONES REALIZADAS .....	77
<b>BIBLIOGRAFÍA</b>	<b>79</b>

## LISTA DE TABLAS

TABLA 2.1. REPRESENTACIÓN ESQUEMÁTICA DE UN MMC .....	124
TABLA 3.1. TOPOLOGÍAS DE UN SM.....	137

## LISTA DE FIGURAS

FIGURA 2.1. REPRESENTACIÓN ESQUEMÁTICA DE UN MMC .....	12
FIGURA 2.2. TOPOLOGÍAS DE UN SM.....	13
FIGURA 2.3. PRINCIPIO DE OPERACIÓN DE LA MODULACIÓN PWM. ....	15
FIGURA 2.4. DIAGRAMA DE ESPACIO DE VECTORES.....	1617
FIGURA 2.5. VOLTAJE DE SALIDA EN LA STAIRCASE MODULATION.....	17
FIGURA 2.6. PASOS PARA LLEVAR A CABO LA CONVERSIÓN ANÁLOGA-DIGITAL .....	19
FIGURA 2.7. DIAGRAMA A BLOQUES DE UN MICROCONTROLADOR ATMEL, ATMEGA328P. ....	20
FIGURA 2.8. ARQUITECTURA TÍPICA DE UN FPGA. ....	22
FIGURA 2.9. DIAGRAMA DE BLOQUES DEL FUNCIONAMIENTO DE UN DAS.....	23
FIGURA 2.10. COMUNICACIÓN DE DATOS PARALELA.....	25
FIGURA 2.11. ESQUEMA DEL PROTOCOLO I2C.....	26
FIGURA 2.12. TIPOS DE CONEXIONES EN EL PROTOCOLO SPI .....	28
FIGURA 2.13. SEÑALES DE COMUNICACIÓN DE DATOS DEL PROTOCOLO SPI.....	28
FIGURA 3.1. DIAGRAMA DESCRIPTIVO DEL SISTEMA A IMPLEMENTAR .....	34
FIGURA 3.2. SEÑAL DE SALIDA DESEADA PARA UN MMC DE 4 SUBMÓDULOS.....	35
FIGURA 3.3. CONEXIÓN DE DOS SMS EN EL MMC .....	36
FIGURA 3.4. NIVELES DE VOLTAJES DE LOS SMS.....	38
FIGURA 3.5. ENTORNO DE PROGRAMACIÓN DE MATLAB. ....	40
FIGURA 3.6. SIMULACIÓN DEL SISTEMA. ....	41
FIGURA 3.7. COMPOSICIÓN DE CADA UNO DE LOS SM DEL SISTEMA SIMULADO.....	43

FIGURA 3.8. IMPLEMENTACIÓN DE LA STAIRCASE MODULATION EN EL SISTEMA A SIMULAR .....	43
FIGURA 3.9. IMPLEMENTACIÓN DEL ALGORITMO DE ORDENAMIENTO EN LA SIMULACIÓN DEL SISTEMA.....	44
FIGURA 3.10. VISTA SUPERIOR DE UN PROTOTIPO DE SM PARA UN MMC.....	46
FIGURA 3.11. VISTA INFERIOR DE LA TARJETA PROTOTIPO DE SM PARA UN MMC. ....	46
FIGURA 4.1. PROTOTIPO DE TOPOLOGÍA MCU-MCU. ....	51
FIGURA 4.2. DISPOSITIVO UCL .....	51
FIGURA 4.3. GRÁFICAS DE LAS SEÑALES REQUERIDAS PARA EL EXPERIMENTO CON VOLTAJES CONSTANTES...	52
FIGURA 4.4. SEÑALES REQUERIDAS PARA LA EXPERIMENTACIÓN CON VOLTAJE VARIABLE .....	53
FIGURA 4.5. SEÑALES DEL PROTOCOLO SPI. ....	54
FIGURA 4.6. ACERCAMIENTO DE LAS SEÑALES DEL PROTOCOLO SPI. ....	54
FIGURA 4.7. VELOCIDAD DE TRANSMISIÓN DE DATOS EN EL PROTOCOLO SPI INCLUIDO EN EL ATMEGA1284..	55
FIGURA 4.8. SEÑALES DE VOLTAJE UTILIZADAS EN EL EXPERIMENTO.....	56
FIGURA 4.9. SEÑALES DE CONTROL OBTENIDAS AL APLICAR EL EXPERIMENTO.....	56
FIGURA 4.10. SEÑALES COMPLEMENTARIAS DE CONTROL EN UN SM.....	57
FIGURA 4.11. SEÑALES DE VOLTAJE DEL EXPERIMENTO A REALIZAR.....	57
FIGURA 4.12. SERIE DE TRANSICIONES EN LAS SEÑALES DE CONTROL DE LOS SMS .....	58
FIGURA 4.13. SEÑALES DE CONTROL GENERADAS A RAÍZ DEL EXPERIMENTO .....	59
FIGURA 4.14. SEÑALES GENERADAS POR EL ALGORITMO DE ORDENAMIENTO.....	59
FIGURA 4.15. SEÑALES GENERADAS POR EL ALGORITMO DE ORDENAMIENTO. ....	60
FIGURA 5.1. DIAGRAMA DE LA TOPOLOGÍA FPGA SOLO. ....	63
FIGURA 5.2. DISPOSITIVO UTILIZADO PARA IMPLEMENTAR LA TOPOLOGÍA FPGA-SOLO. ....	64
FIGURA 5.3. SEÑALES GENERADAS POR EL FPGA .....	65
FIGURA 5.4. ACERCAMIENTO DE LAS SEÑALES DE CONTROL PARA EL MMC. ....	66
FIGURA 5.5. SEÑALES DE CONTROL GENERADAS. ....	67
FIGURA 5.6. CAMBIOS OBSERVADOS EN LAS SEÑALES DE CONTROL PARA EL MMC. ....	67
FIGURA 5.7. SEÑALES DE CONTROL GENERADAS POR EL SISTEMA.....	68
FIGURA 5.8. ACERCAMIENTO DE LAS SEÑALES DE CONTROL GENERADAS POR EL SISTEMA.....	69
FIGURA 5.9. SEÑALES DE CONTROL PARA EL MMC AL IMPLEMENTAR LOS ALGORITMOS .....	69
FIGURA 5.10. SEÑALES DE CONTROL PARA EL MMC. ....	70

## **Dedicatoria**

Este trabajo de investigación es dedicado a la persona más importante de mi vida, aquella mujer que vio por mi bienestar en todo momento mientras tuvo oportunidad. Martha Barrón Navarro.

## **Agradecimientos**

Agradezco a mi familia y mi novia por haberme dado el apoyo necesario para alcanzar mis metas profesionales y académicas.

También al Instituto Tecnológico de Cd. Madero (I.T.C.M), por haber sido mí casa de estudios, así como todos los docentes de esta institución por brindarme la mejor formación profesional y los más adecuados consejos.

Al Consejo Nacional de Ciencia y Tecnología por el apoyo brindado a través de la beca de manutención otorgada para la realización de este trabajo de investigación.

A mi director de tesis, el Dr. Pedro Martín García Vite, por compartir los conocimientos necesarios y la retroalimentación oportuna durante el desarrollo de este proyecto

# **ANÁLISIS E IMPLEMENTACIÓN DE ESTRUCTURAS DE COMUNICACIÓN DE DATOS PARA EL CONTROL DE UN CONVERTIDOR MODULAR MULTINIVEL**

Presenta: Ing. Jesús Eduardo Pedraza Barrón

Director de tesis: Dr. Pedro Martín García Vite

Programa: Maestría en Ingeniería Eléctrica

Los MMC mitigan las desventajas de los inversores de voltaje convencionales debido a que al incluir distintos submódulos, los requerimientos del filtrado en la señal de salida son menores, se facilita el control del sistema de potencia dentro del convertidor y a su vez se aumenta considerablemente la calidad de la señal de salida. Sin embargo, los MMCs tienen como desventaja que al incluir más niveles en el convertidor, el control de voltaje de salida se vuelve más complejo y requiere de un sistema de adquisición, comunicación y control de datos para monitorear las señales eléctricas dentro del sistema y facilitar el control de las mismas sin importar el número de niveles del MMC. El siguiente trabajo muestra la implementación de diversas estructuras de comunicación de datos para controlar un MMC. Estas estructuras se componen de diversos dispositivos de control digitales. Mediante el análisis de las estructuras se busca implementar cualquier algoritmo de control para un MMC cubriendo la necesidad del balance de los voltajes.

**Palabras clave:** Convertidor modular multinivel, comunicación de datos, protocolo SPI.

# **ANALYSIS AND IMPLEMENTATION OF DATA COMMUNICATION STRUCTURES FOR THE CONTROL OF A MULTILEVEL MODULAR CONVERTER**

Presents: Ing. Jesús Eduardo Pedraza Barrón

Thesis director: Dr. Pedro Martín García Vite

Program: Master In Electric Engineering

MMCs mitigate the disadvantages of conventional voltage inverters since, as the number of SM increases, the filtering requirements are less, and the output signal quality is considerable increased. However, MMCs have the disadvantage that by including more levels in the converter, the output voltage control becomes more complex and requires a system of acquisition, communication and data control to monitor the electrical signals within the system and facilitate the control of them regardless of the number of levels of the MMC. The following work shows the implementation of various data communication structures to control an MMC. These structures are composed of various digital control devices. Through the analysis of the structures it is sought to implement any control algorithm for an MMC covering the need of the balance for the voltages.

**Keywords: Modular Multilevel Converter, Data communication, SPI protocol.**

# Capítulo

# 1

---

## Introducción

Este capítulo centra su contenido en diversos tópicos fundamentales para el desarrollo del presente trabajo de investigación, se destacan las ventajas de los convertidores modulares multinivel (MMC, Modular Multilevel Converter) sobre los inversores de voltaje convencionales. La necesidad de idear estrategias de comunicación y control de datos para el MMC, resultado de la complejidad de su composición. Las propuestas de implementación de estructuras de comunicación de datos para controlar un MMC, centrandó el estudio en dos dispositivos como los microcontroladores y los FPGA. A su vez se hace mención a objetivos, alcances y limitaciones presentes durante la elaboración de la investigación y se genera una hipótesis centrada en la propuesta de solución para la problemática principal del tema de investigación.

## 1.1. ANTECEDENTES

El buen aprovechamiento de la energía es uno de los temas con mayor relevancia en la sociedad científica actual, las estrategias de obtención de energías limpias y renovables va tomando fuerza día con día, por lo tanto es necesario implementar sistemas que sean capaces de utilizar, almacenar y adaptar esta energía para que pueda usarse en el mayor número de aplicaciones posibles con el fin de evitar el deterioro del planeta y la escasez de recursos naturales no renovables.

Los inversores de voltaje son muy utilizados debido a que convierten la energía de una fuente fija de corriente directa (cd) a un voltaje de corriente alterna (ca), siendo la salida controlada en magnitud, fase y frecuencia [1]. Esta característica sitúa a estos inversores en distintas aplicaciones, sobre todo en el área automovilística, en las energías renovables, donde destaca su uso en paneles solares y aerogeneradores, y en la calidad de energía, por citar algunos ejemplos. En sistemas con un estricto requerimiento de calidad de potencia y/o con cargas sensibles, es necesario abandonar los inversores de voltaje convencionales debido a que generan únicamente dos niveles de voltaje en la salida del sistema e implementar topologías de convertidores multinivel. Además, los inversores de voltaje convencionales presentan otras desventajas como el alto contenido armónico en la señal de salida del inversor, lo cual reduce la calidad de ésta y requiere de un gran filtro capacitivo para mitigar este problema [1].

Hoy en día, una de las opciones más utilizadas para mejorar la calidad de la señal de voltaje de ca en un sistema donde la conversión cd-ca es requerida es el uso de convertidores modulares multinivel (MMC, del inglés *Modular Multilevel Converter*) [1], esta categoría de convertidores es muy llamativa dado que se compone por SMs que al interconectarse ofrecen distintos niveles en la salida del convertidor [1]. La composición interna de dichos submódulos consiste en un capacitor en la salida y dos interruptores conectados conforme a la topología de medio puente [1]. Estas características mitigan las desventajas de los inversores de voltaje convencionales debido a que al incluir distintos submódulos se reduce el filtro de salida, se facilita el control del sistema de potencia dentro del convertidor y a su vez se aumenta considerablemente la calidad de la señal de salida

gracias a la inclusión de nuevos niveles de voltaje. Sin embargo, una de las desventajas que tienen los MMCs es que al incluir más niveles en el convertidor, el control de voltaje de salida se vuelve más complejo y requiere de un monitoreo individual para cada nivel, por lo tanto es necesario incluir un sistema de adquisición, comunicación y control de datos para monitorear las señales eléctricas dentro del sistema y facilitar el control de las mismas sin importar el número de niveles del MMC [1].

Además, la tecnología actual de semiconductores permite, por un lado, tener mayor precisión en las mediciones y, por otro lado, incluir algún tipo de inteligencia o autonomía en los transductores [2]. Siendo ejemplos de esto los microcontroladores (MCU, Micro Controller Unit) y los arreglos de compuertas programables en campo (FPGA, *Field Programmable Gate Array*), aunque los primeros están más destinados a tareas de instrumentación y control. Algunas tecnologías son capaces de integrar al sensor y a la inteligencia en un único encapsulado conocido como integración monolítica, generando así los llamados sensores inteligentes. Todo ello permite el desarrollo de Sistemas de Adquisición de Datos (DAS, *Data Acquisition System*), que son usados ampliamente en tareas como la medición de parámetros y el control de sistemas. Actualmente, el uso de sistemas digitales para analizar y procesar las señales está muy extendido. Esto es debido a las múltiples ventajas que presentan como son: bajo coste, mayor precisión y facilidad de implementación, por mencionar algunas. El uso de MCU es común en muchas industrias para el control de procesos. Una de las mayores virtudes de los sistemas digitales es su capacidad de procesamiento de la información. Como ejemplos de procesamiento de las señales, se puede mencionar: combinar las medidas de varios parámetros diferentes, extraer medidas de un conjunto y calcular correlaciones entre señales [2].

Cabe mencionar que otra de las mayores virtudes que presentan estos sistemas es la flexibilidad de la transmisión de datos entre dispositivos electrónicos de control debido a que la gran mayoría de controladores cuentan con interfaces de comunicación entre las que se encuentran la comunicación directa en paralelo, el protocolo UART (*Universal Asynchronous Receiver Transmitter*) [3], el protocolo I2C (*Inter-Integrated Circuit Protocol*) [4] y el protocolo SPI (*Serial Peripheral Interface*) [5]. Esto presenta una gran

oportunidad para el monitoreo y control de variables en un sistema electrónico en un tiempo relativamente corto.

Un MCU es un circuito integrado con una escala de integración muy grande que internamente contiene una Unidad Central de Procesamiento, memoria de código, memoria para datos, temporizadores, fuentes de interrupción y otros recursos necesarios para el desarrollo de aplicaciones, por lo general con un propósito específico [6].

Un FPGA es una estructura regular de celdas o módulos lógicos que se encuentra en total control del usuario; esto significa que se puede diseñar, programar y hacer cambios a un circuito en cualquier momento. Lo cual abre puertas a posibilidades infinitas en cuanto a diseño de circuitos lógicos se refiere.

Un sistema digitalizado permite la automatización de un sinnúmero de sistemas que requieren funcionar correctamente la mayor cantidad de tiempo posible sin la interferencia obligatoria de un ser humano para llevar a cabo la toma de decisiones y la gestión del funcionamiento del sistema en sí.

## **1.2. PLANTEAMIENTO DEL PROBLEMA**

Al agregar submódulos en un MMC se tiene una mejor calidad en la señal de salida, sin embargo el inconveniente recae en que cada submódulo requiere un muestreo y control de señales individual. Existe otra problemática en los MMCs y es el hecho de que los voltajes en los capacitores de los SMs tienden a desbalancearse conforme pasa el tiempo de funcionamiento en el sistema, esto genera una señal de voltaje de salida indeseada y desbalanceada, lo cual puede traer fallas en el funcionamiento del sistema y afectar a la carga del mismo ocasionando averías.

### **1.3. PROPUESTA DE SOLUCIÓN**

Se propone utilizar una topología de comunicación y control de datos compuesta por un FPGA y/o diversos MCUs para el monitoreo y control de variables del MMC. El FPGA tiene su funcionamiento centrado en el procesamiento de datos debido a su alto desempeño para este tipo de tareas. Aunado a esto, su composición cuenta con un número abundante de puertos de entrada y salida programables. Los MCUs tienen la ventaja de contar con un convertidor Análogo-Digital (ADC, analog-digital converter) de alta velocidad de conversión y alta resolución dentro de sí mismos. Esta característica es indispensable para transformar las señales eléctricas sensadas en datos y posteriormente procesarlas de manera digital, facilitando en gran manera el control de variables y la aplicación de estrategias de conmutación en el MMC.

### **1.4. JUSTIFICACIÓN**

Es menester establecer la mejor estructura para la comunicación de datos en un MMC con el fin de optimizar los tiempos de censado y control de variables con el fin de balancear los voltajes de los capacitores del MMC y consecuentemente obtener una calidad óptima en la salida del convertidor.

### **1.5. OBJETIVOS**

#### **1.5.1. Objetivo general**

Evaluar distintas estructuras de comunicación en un convertidor modular multinivel de datos con el fin de resaltar las ventajas y desventajas de cada una, ofreciendo diversas alternativas de solución para la problemática expuesta.

### **1.5.2. Objetivos específicos**

Este trabajo de tesis pretende alcanzar el análisis de diferentes estructuras de comunicación de datos para evaluar las ventajas y desventajas de cada una. Se contempla la implementación de tres estructuras, la MCU-MCU, la FPGA solo y la FPGA MCU. Otro objetivo incluye la adquisición de diversas variables dentro del MMC como la corriente y el voltaje en los SMs con cada una de las estructuras de comunicación y control de datos. A su vez se busca realizar la simulación digital del sistema con el fin de comprobar su funcionamiento en un entorno informático y en la implementación física. Reuniendo lo anteriormente explicado se puede concluir que los objetivos específicos son los siguientes:

- Implementación estructura MCU-MCU.
- Estructura FPGA-solo.
- Estructura FPGA-MCU.
- Implementación del MMC monofásico.
- Simulación del sistema.

### **1.6. HIPÓTESIS**

Tomando como referencia un método de modulación conocido como el staircase, se puede establecer una estructura de comunicación con diferentes configuraciones, empleando MCUs y FPGA, con el fin de hacer uso de sus principales ventajas.

### **1.7. ALCANCES Y LIMITACIONES**

#### **1.7.1. Alcances**

Los alcances de este tema de investigación incluyen la determinación de la mejor estructura para la comunicación y control de datos en un MMC dependiendo de las necesidades de implementación, la comunicación mediante el protocolo SPI dentro de la estructura MCU-MCU y MCU-FPGA, la adquisición de variables en los SM del MMC, la implementación de un FPGA para el control totalmente centralizado del MMC y también

monitorear las variables necesarias del sistema para garantizar un excelente funcionamiento.

### **1.7.2. Limitaciones**

Dada la construcción del convertidor a utilizar, el número de submódulos por brazo en los que se implementará la comunicación se limitará a cuatro, dicho convertidor se encuentra en las instalaciones del Tecnológico de Ciudad Madero.

## **1.8. CONCLUSIONES**

El contenido del presente capítulo incluyó conceptos básicos sobre los inversores de voltaje convencionales y una breve introducción a los MMC y las ventajas que presentan como alternativa y solución a las problemáticas encontradas con otras topologías de inversores y convertidores. Se Abordó una solución a las diversas problemas que a su vez presentan los MMC y se proponen diversas topologías de comunicación y control de datos para el balanceo de los voltajes de los SMs del MMC. Se incluyeron también alcances y limitaciones para este trabajo de investigación.

# Capítulo 2

---

## *Marco Teórico*

En este capítulo se realiza una revisión teórica de todos los elementos involucrados en la realización del proyecto de investigación; tales como el funcionamiento de un convertidor modular multinivel (MMC), diversas técnicas de modulación para el mismo, topologías de los submódulos (SM) de un MMC, la problemática del desbalanceo de los voltajes de los capacitores de los SM, se mencionan diversos tipos de dispositivos de control y comunicación de datos haciendo énfasis en el funcionamiento y protocolos de comunicación y a su vez se menciona el funcionamiento de un sistema de adquisición de datos.

## 2.1. INVERSORES DE VOLTAJE CONVENCIONALES

Como se mencionó en el Capítulo 1, los inversores de voltaje cambian un voltaje de entrada de cd a un voltaje de ca con una frecuencia y magnitud previamente establecidas dependiendo de la necesidad de la aplicación. Los convertidores de potencia de dos niveles de voltaje generalmente son empleados en aplicaciones industriales, sin embargo presentan desventajas tales como las pérdidas por conmutación y la necesidad de grandes filtros capacitivos en el sistema [1].

Para solventar estas problemáticas se han propuesto diversas topologías de inversores multinivel pero a su vez éstas presentan diversas limitantes como el desequilibrio de los capacitores del inversor al tratar de generar más de tres niveles en la salida del convertidor, se requiere de un control más complejo y se genera un alto nivel de distorsión armónica total en el sistema (THD del inglés, total Harmonic Distortion) [1].

## 2.2. CONVERTIDOR MODULAR MULTINIVEL

Propuestos por Marquardt T. y Lesnicar A. en 2002, los MMCs sobresalen de entre un sinnúmero de topologías de convertidores multinivel debido a diversas características que se mencionan más adelante [10]. Un gran número de trabajos de investigación se ha centrado en el estudio del MMC, comparándolo con las topologías de punto neutro anclado, diodo anclado y capacitor volante [11], dando como resultado que los MMC se hayan convertido en la topología de convertidores multinivel más atractiva para aplicaciones de mediana y alta potencia. Especialmente para sistemas de transmisión de alto voltaje en cd en comparación con otras topologías de convertidores multinivel, las características más importantes de un MMC incluyen [11]:

- Modularidad y escalabilidad para cubrir cualquier requerimiento de nivel y calidad de voltaje.
- Es de alta eficiencia, lo que es de significativa importancia para aplicaciones de alta potencia.
- Su rendimiento superior de armónicos, especialmente en aplicaciones de alto voltaje donde un gran número de SM idénticos con rangos pequeños de voltaje

son acumulados, por lo que el tamaño de los filtros pasivos de salida puede ser reducido.

- Ausencia de capacitores de enlace.

Los MMCs se encuentra hoy en día en un periodo de rápido desarrollo y se ha ampliado el campo de investigación centrado en ellos gracias a su aplicación en los sistemas de potencia. Grandes resultados han sido obtenidos gracias a que diversas estrategias de modulación, conexiones con sistemas de potencia, la mejora de topologías continúa y el control del balance de voltaje en los capacitores se han llevado a cabo desde que los MMCs fueron propuestos [10]. Generalmente se integra un gran número de componentes en la composición de un MMC, incluyendo un gran número de capacitores y dispositivos semiconductores vulnerables. Cada componente puede ser considerado como el precursor a una falla, lo que amenaza la operación normal del convertidor. Por lo tanto, la eficiencia se convierte en uno de los retos más importantes en la implementación de un MMC. Para incrementar la eficiencia del sistema, es necesario incluir estrategias de diagnóstico de rápida respuesta y tolerancia a las fallas para un MMC [11].

En los últimos años ha habido un esfuerzo significativo en detectar retos técnicos asociados a la operación y control del MMC, así como ampliar sus aplicaciones. Una de las áreas de oportunidad más relevantes radica en la adquisición de variables en todos los SM del MMC debido a que al aumentar los niveles que puede generar es necesario implementar estrategias de comunicación de datos con el fin de alcanzar una gestión de información en el sistema para implementar estrategias de control y corrección en tiempo real de manera autónoma siempre que sea requerido.

### 2.2.1. Principio de funcionamiento de un MMC

La Figura 2.1 muestra un diagrama esquemático de un MMC con un voltaje de alimentación  $V_{cd}$  en la entrada. El MMC se compone de tres piernas o fases y de dos brazos para fase. Cada uno de los brazos posee una conexión en serie de SMs totalmente idénticos con un inductor  $L_o$  y teóricamente es posible conectar un número ilimitado de submódulos. Mientras los SMs son controlados para generar un voltaje de cd requerido, el inductor de los brazos suprime los componentes de armónicos de bajo orden y componentes de alta frecuencia en el brazo. Los brazos superiores son representados en la Fig.1 con el subíndice “p” y los inferiores con el subíndice “n”.

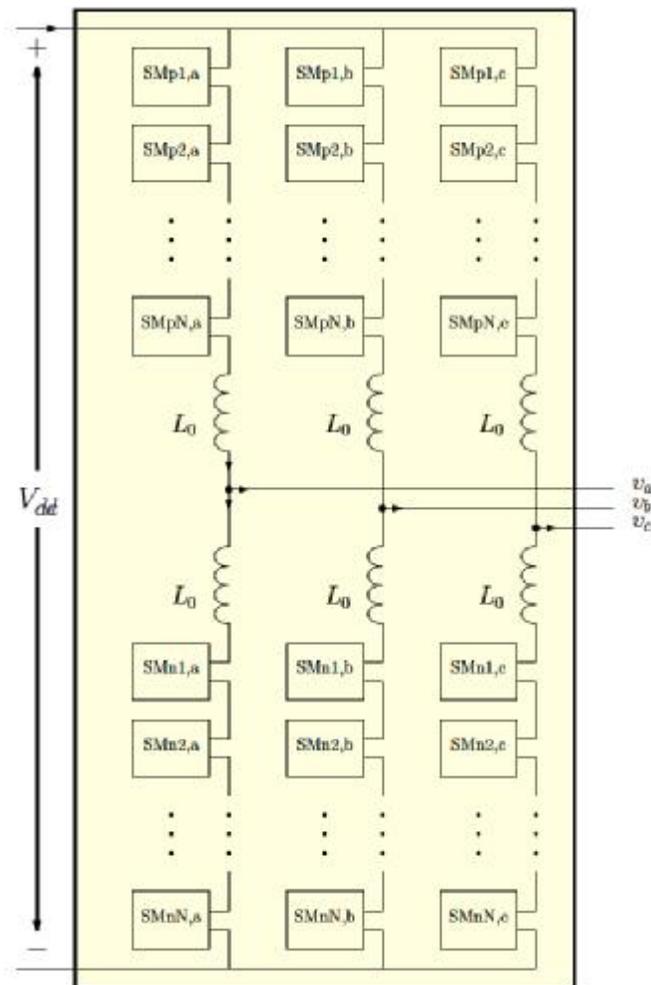
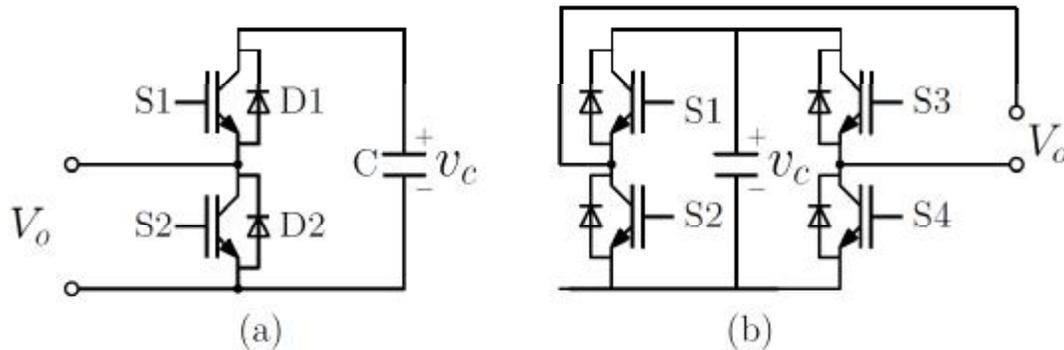


Figura 2.1. Representación esquemática de un MMC [10].

Los SMs pueden componerse de diversos circuitos, entre los cuales se encuentran los siguientes:

1. El circuito de medio puente, como se muestra en la Figura 2.2(a), el voltaje de salida de un SM de medio puente puede ser igual al voltaje  $v_c$  del capacitor o igual a cero, dependiendo de los estados de conmutación de los pares de transistores, S1 y S2.
2. En el circuito de puente completo mostrado en la Figura 2.2(b), el voltaje de salida es igual al voltaje  $\pm v_c$  o igual a cero, dependiendo de los estados de los cuatro transistores. Dado que el número de dispositivos semiconductores en un SM de puente completo es el doble de un SM de medio puente, las pérdidas de potencia y el costo de un MMC basado en SMs de puente completo son significativamente mayores que un MMC basado en SMs de medio puente [11].



**Figura 2.2.** Topologías de SM a) topología de medio puente b) topología de puente completo [10].

Es necesario tomar en cuenta que los SMs compuestos por medio puente deben regirse por ciertos estados para su buen funcionamiento, esto es mostrado en la Tabla 2.1 donde se muestran los voltajes de salida para los SMs con topología de medio puente en su composición.

**Tabla 2.1.** Estados de conmutación y salida de voltaje para SM compuestos por interruptores conectados como medio puente.

S1	S2	V <sub>o</sub>
0	0	0
0	1	0
1	0	V <sub>c</sub>
1	1	C.C.

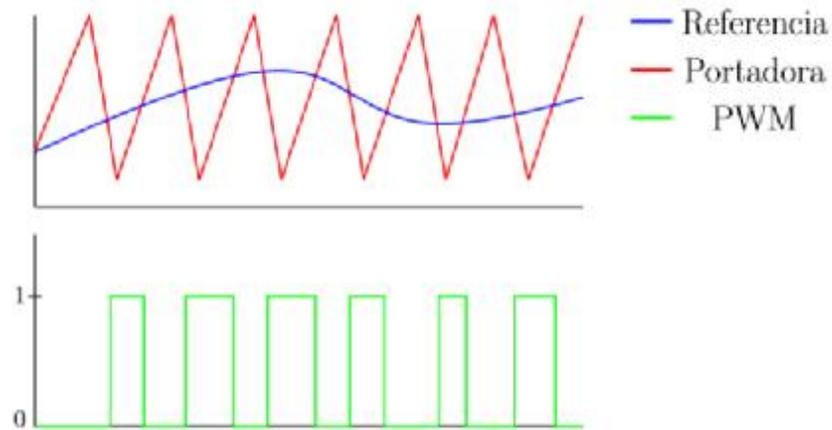
Como puede observarse en la Tabla 2.1 es necesario evitar conectar ambos interruptores del SM al mismo tiempo dado que generan un corto circuito (c.c) en el capacitor.

La diferencia principal entre implementar un SM compuesto por medio puente o por puente completo radica principalmente en el número de dispositivos incluidos en el sistema y a su vez en los estados de conmutación permitidos, complicando la implementación de estrategias de control. Debe tomarse en cuenta que mientras más dispositivos haya en un MMC mayor es la probabilidad de fallas en el sistema.

### 2.2.2. Técnicas de modulación para MMC

Una parte fundamental para el buen funcionamiento de un MMC es tener definida una buena estrategia para la conmutación con el fin de generar los pulsos de encendido de los interruptores de potencia; a través de una buena estrategia puede minimizarse la presencia de armónicos en los voltajes y corrientes de salida del convertidor. La modulación por ancho de pulso es una de las técnicas de conmutación más utilizadas en los MMC con resultados exitosos [12]. Este método compara una señal de referencia o moduladora con una señal de tipo triangular o diente de sierra portadora de alta frecuencia, como se indica en la Figura 2.2, para generar señales de encendido y apagado en los interruptores del inversor. Para un inversor de  $n$  niveles deben tenerse disponibles  $(n - 1)$  señales portadoras con la misma frecuencia y la misma amplitud para que las bandas que ocupen sean contiguas. La estrategia PWM se caracteriza por su simplicidad, contenido

armónico reducido, el hecho de que algunos niveles del inversor no se emplean cuando el índice de modulación es bajo y porque ofrece buenos resultados en operación sobremodulación.



**Figura 2.3.** Principio de operación de la modulación PWM.

Algunas técnicas de modulación de ancho de pulso para la conmutación de un MMC son [12]:

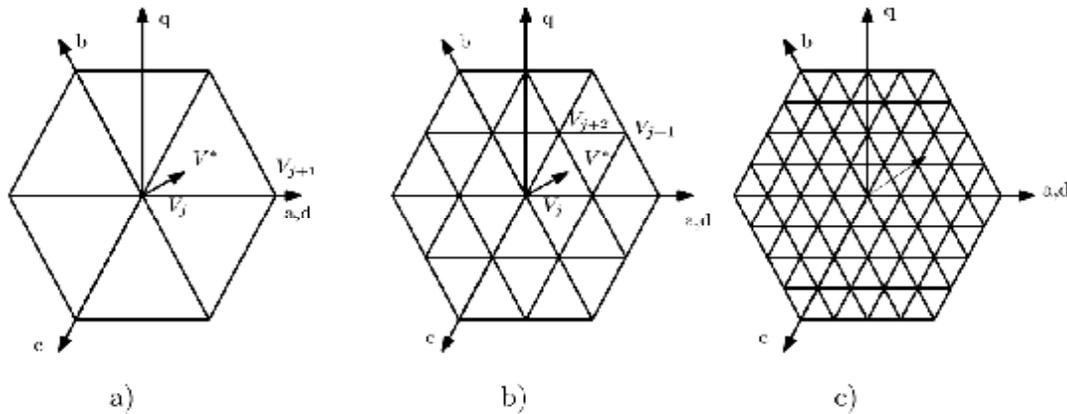
- 1.- PWM senoidal (SPWM).
- 2.- Eliminación selectiva de armónicos (SHEPWM).
- 3.- PWM de rizado mínimo de corriente (MRCPWM).
- 4.- PWM con control de corriente por banda de histéresis.
- 5.- PWM de vector espacial (SVM)
- 6.- Staircase modulation.

Para aplicaciones de pequeña o mediana potencia la corriente controlada por un PWM ha probado ser ventajosa. En aplicaciones de gran potencia con baja frecuencia de conmutación el control de voltaje presenta mayores ventajas. Para sistemas de alta potencia la técnica SVM es mejor porque se basa totalmente en el estudio de sistemas trifásicos.

La estrategia de modulación por vector espacial (SVM, Space-Vector Modulation) difiere mucho de la PWM, debido a que no existe una comparación entre dos señales sino que basa su funcionamiento en una secuencia preestablecida respecto a una tabla de estados resultante de un análisis previo [13].

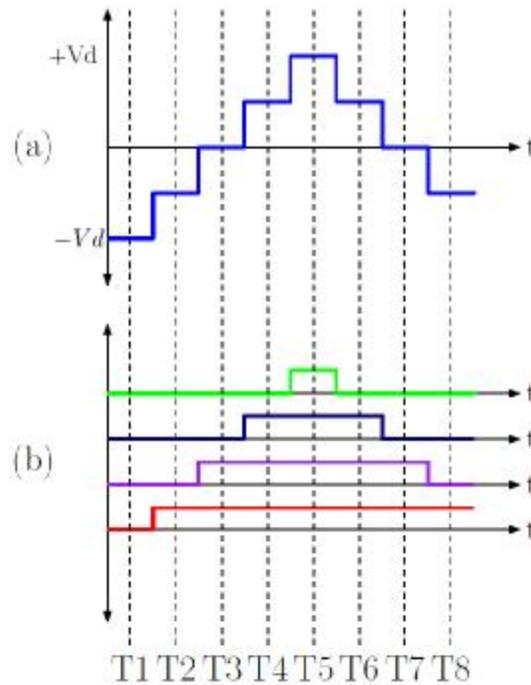
La Figura 2.4 muestra un espacio de vectores para los convertidores tradicionales de dos, tres y cinco niveles. Estos diagramas de vectores son universales a pesar del tipo de convertidor multinivel. Los tres vectores adyacentes pueden sintetizar un vector de voltaje deseado al computar el ciclo de trabajo ( $T_j, T_{j+1}$  y  $T_{j+2}$ ) para cada vector (1) [14,15].

$$V^* = \frac{T_j V_j + T_{j+1} V_{j+1} + T_{j+2} V_{j+2}}{T} \dots\dots (1)$$



**Figura 2.4.** Diagrama de espacio de vectores; a) inversor de dos niveles, b) tres niveles, c) cinco niveles.

La modulación en escalera (del inglés staircase modulation) tiene una gran ventaja en aplicaciones de baja frecuencia de conmutación en MMC de gran número de niveles al reducir el estrés en los interruptores de los SM debido al gran manejo de potencia [20]. Esta estrategia de conmutación generalmente realiza conmutaciones en los interruptores de los SMs del MMC durante un ciclo de la salida de voltaje, generando una onda con forma de escalera (Figura 2.5). La idea principal de este método consiste en conectar un número de SMs combinados para generar un nivel específico de voltajes en un determinado momento, dando como resultado un voltaje de salida multinivel [20].



**Figura 2.5.** (a) Voltaje de salida en la staircase modulation (b) señales de conmutación en los SMs .

Las variaciones de voltaje y los ángulos de disparo en los que se activan los interruptores determinan la distorsión armónica total del voltaje de salida. Al incrementarse el número de niveles en el MMC se reduce la THD gracias a la generación de más escalones de voltaje en la salida [20]. Cabe mencionar que un gran número de niveles produce problemas de balanceo de voltaje e incrementa la complejidad en el control del sistema.

### 2.2.3. Balanceo de voltaje en los capacitores de un MMC

Como se citó en el Capítulo 1, la topología MMC tiene un sinnúmero de ventajas que opacan las capacidades de los inversores de voltaje convencionales, sin embargo los MMCs cuentan con desventajas que se han convertido en un área de oportunidad para la mejora y desarrollo de nuevas estrategias de control con el fin de mitigarlas. El problema de desbalanceo de los voltajes de los capacitores de los SM del MMC se presenta al incluir

más niveles dentro de la topología y es derivado a su vez cuando la frecuencia de conmutación en los interruptores es baja, por lo tanto es requerida una estrategia de control que tenga entre sus objetivos mantener el balance de los voltajes de los SM, reducir la THD y eliminar lo mayor posible las pérdidas por conmutación con el fin de asegurar una salida óptima en el sistema [16].

En la actualidad existen un sinnúmero de algoritmos que se han implementado con excelentes resultados al cubrir la problemática del balanceo de voltajes en los SMs del MMC. Una de las soluciones se basa en la medición de los voltajes de cada capacitor y su posterior ordenamiento, después tomando en cuenta la polaridad de la corriente se decide el cual capacitor será insertado o desconectado del sistema para cargar los capacitores con menor voltaje deseado y descargar aquellos que presenten un voltaje superior al establecido.

La propuesta de solución de este trabajo de investigación incluye el monitoreo y control de los voltajes de los capacitores de los SM con el fin de aplicar un algoritmo que decida cuántos y cuáles SMs deben ser encendidos o insertados en el momento preciso para corregir un nivel de voltaje alto o bajo en el capacitor de cada SM tomando en cuenta el sentido de la corriente. Una de las posibles soluciones al problema del balanceo de los voltajes en los SMs del MMC se encuentra en implementar dispositivos de control y comunicación de datos con el fin de monitorear los niveles de los voltajes y permitir la implementación de un algoritmo para corregir esa problemática.

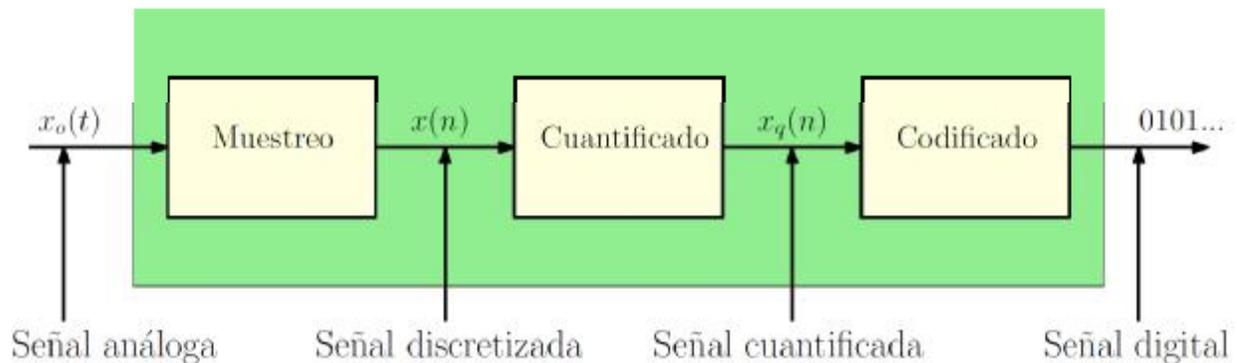
## **2.3. DISPOSITIVOS DE CONTROL Y COMUNICACIÓN DE DATOS**

### **2.3.1. Microcontrolador Atmel**

Los MCUs son utilizados en un sinnúmero de sistemas presentes en la vida diaria, como pueden ser: juguetes, electrodomésticos, computadoras, sistemas automotrices, sistemas de control de procesos industriales y sistemas de medición de todo tipo de variables [6]. Si bien, un MCU incluye prácticamente los elementos necesarios para ser considerado como

una computadora en un circuito integrado, frecuentemente no es tratado como tal, ya que su uso típico consiste en el desempeño de funciones de control interactuando con el mundo real para monitorear condiciones y en respuesta a ello, encender o apagar dispositivos [7].

Como se mencionó en la Introducción de este trabajo de investigación, los MCUs tienen un sinnúmero de aplicaciones que influyen directamente en la vida diaria facilitando un gran número de tareas. Muchas de las señales de interés práctico son analógicas, para procesar esas señales en un entorno digital es necesario convertirlas para que sean aptas para usar en este medio, esto significa tomar la información de la señal analógica y convertirla en una secuencia de números teniendo una precisión finita. Este procedimiento es conocido como Conversión Análogo-Digital (Figura 2.6). Esta conversión consta fundamentalmente de tres pasos que son descritos a continuación:



**Figura 2.6.** Pasos para llevar a cabo la conversión Análogo-Digital.

- 1.- **Muestreo.** Esto se refiere a la conversión de una señal de tiempo continuo en una señal de tiempo discreto mediante la toma de muestras en tiempos precisamente establecidos y de una duración mínima.
- 2.- **Cuantificado.** En este paso se convierte la señal de tiempo discreto y valor continuo obtenida en el paso anterior en una señal de tiempo y valor discreto. El valor de cada muestra es representado por un valor seleccionado en un juego finito de posibles valores.
- 3.- **Codificado.** En el proceso de codificado, cada valor discreto es representado por una secuencia binaria de bits.

Gracias al avance de la tecnología implementada en un MCU es posible contar con esta ventaja dado que incluye un ADC en su composición, lo que facilita la adquisición de información relevante para el control de una variable. Otra de las grandes ventajas con las que un MCU cuenta es la capacidad para realizar operaciones lógicas, lo que permite una mejora en el procesamiento y toma de decisiones dentro de un sistema de aplicación. A su vez tiene implementados dentro de su composición interna (Figura 2.7) temporizadores y contadores fundamentales para la sincronización entre dispositivos y a su vez son utilizados en el control, muestreo y comunicación de datos [5].

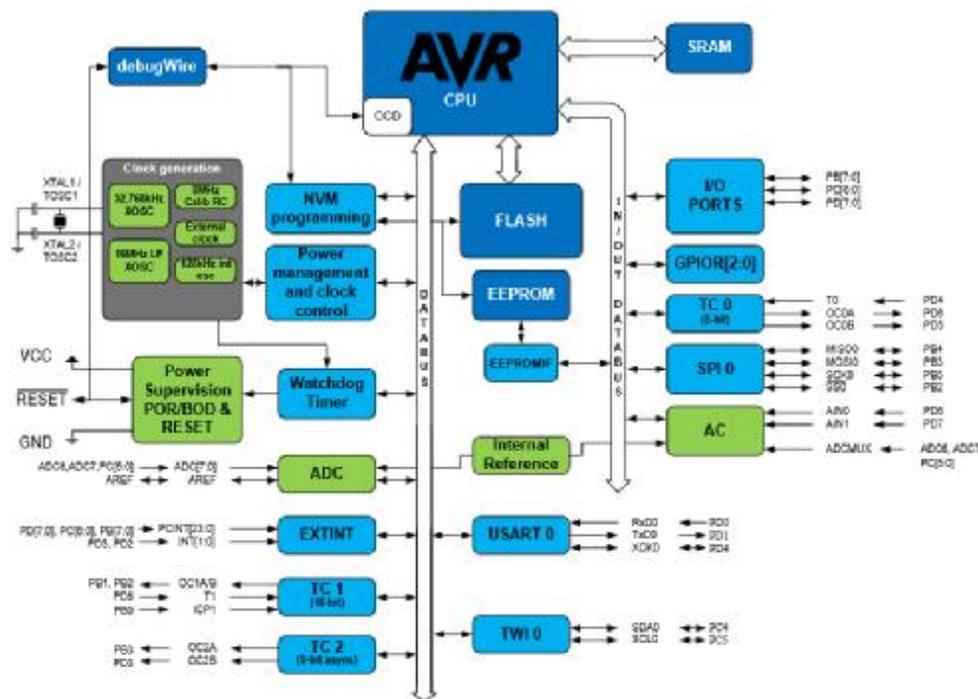


Figura 2.7. Diagrama de bloques de un microcontrolador ATMEL, ATMEGA328P.

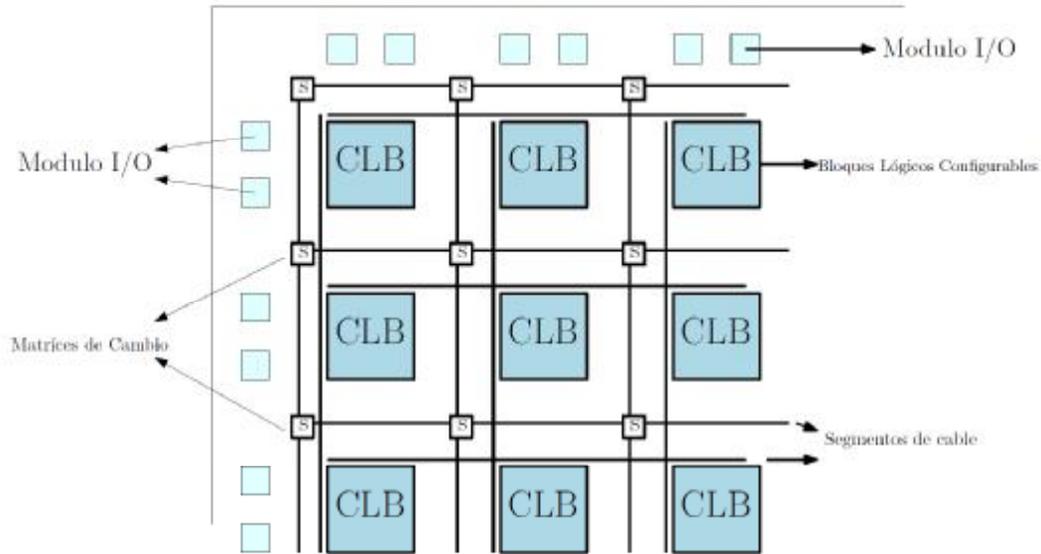
Estas características permiten contar con un gran número de estrategias de control de procesos utilizando solo un circuito integrado permitiendo implementar cualquier técnica de modulación dentro de un MMC y mejorar su funcionamiento al incluir la detección de fallas, el procesamiento de la información y la solución de problemas dentro del convertidor, así como el inicio y apagado automático del sistema en caso de ser necesario sin requerir la presencia de un operador.

### 2.3.2. Field Programmable Gate Array

Hay 2 tipos básicos de FPGA: los reprogramables basados en SRAM y los programables de un solo uso. Estos dos tipos de FPGA difieren en la implementación de la celda lógica y en el mecanismo usado para hacer las conexiones en el dispositivo. El tipo dominante de FPGA es el reprogramable dado que ofrece al usuario la capacidad de reusar el dispositivo en diversas aplicaciones [8].

La tecnología FPGA es considerada por un creciente número de diseñadores como una de las opciones definitivas para la solución de problemas en varios campos de aplicación como las telecomunicaciones, procesamiento de señales e imágenes, equipo médico, robótica, automotriz, sistemas embebidos de control en campos aeroespaciales y sistemas eléctricos de control industrial. Los FPGAs han sido utilizados con gran éxito en un sinnúmero de aplicaciones en sistemas eléctricos como los convertidores de control PWM, inversores, correctores de factor de potencia, MMCs, control de movimiento, redes neuronales, control de motores de inducción y mediciones de alta velocidad. Todo esto debido a que los controladores implementados en FPGA superan retos actuales y futuros en todos los campos y aplicaciones mencionadas anteriormente [9].

Un FPGA se compone principalmente por tres elementos: bloques lógicos configurables (CLBs, *Configurable Logic Blocks*), recursos de direccionamiento y módulos de entrada y salida, mostrado en la Figura 2.8. Los CLBs son el recurso básico para implementar los circuitos secuenciales y los combinacionales. Los recursos de direccionamiento consisten en segmentos de cable y matrices de cambio programables prefabricadas [9].



**Figura 2.8.** *Arquitectura típica de un FPGA.*

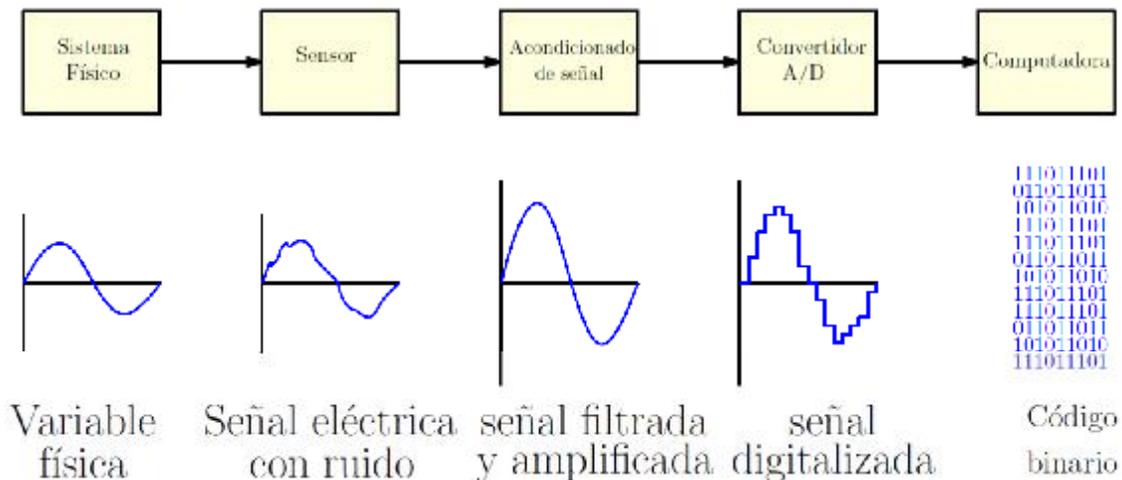
Actualmente los sistemas basados en FPGA ofrecen un gran número de ventajas entre las que se incluyen, desarrollo rápido de ciclos, gran flexibilidad y reusabilidad, costos moderados, fácil mejoramiento; por lo que un FPGA puede contar con todas las características de un procesador típico, incluyendo la implementación interna de un ADC que permite el control en tiempo real de un sistema mediante la inclusión de sensores. La escritura de código en VHDL es bastante sencilla de implementar y permite que diversos programadores puedan modificar el mismo código.

Además de las virtudes mencionadas anteriormente, el uso de FPGA en los procesos de diseño tiene tres ventajas que son dignas de hacer mención: primero, la mayoría de los proveedores de FPGA facilitan herramientas de diseño electrónico que son poderosas y fáciles de usar, excelente documentación y soporte personal. Segundo, las aplicaciones no involucran costos altos de fabricación, los cuales son comparables con los sistemas basados en MCUs. Tercero, se pueden implementar ajustes y modificaciones en cualquier momento dentro del proceso de diseño incluso en el campo [9].

Las ventajas antes mencionadas favorecen el desarrollo de proyectos donde se requiere una centralización de la información importante de las variables de un proceso de aplicación, gracias a su composición interna el FPGA tiene la capacidad de procesar y comunicar instrucciones de control en un tiempo muy reducido y con un alto rendimiento.

### 2.3.3. Sistema de adquisición y comunicación de datos.

En los sistemas de control, monitoreo e investigación es de vital importancia el almacenamiento de diversas variables físicas en forma de datos, tales sean presión, temperatura, aceleración, voltaje, corriente, entre otras; es necesario establecer un registro para estos datos con el fin de analizarlos y procesarlos para la toma de decisiones dentro de un proceso [7]. Los DAS, como se mencionó anteriormente, cumplen con esta función mediante el uso de transductores, que convierten una magnitud física en otra equivalente para su posterior uso, generalmente la magnitud a convertir es traducida en una señal eléctrica, que puede ser almacenada en forma de datos y después de procesar la información contenida en estos datos se puede llevar a cabo la toma de decisiones automatizada gracias a la tecnología desarrollada en los MCU o en los FPGA (Figura 2.9).



**Figura 2.9.** Diagrama de bloques del funcionamiento de un DAS.

Sin embargo, mientras más variables físicas influyan en el sistema, la complejidad para implementar un DAS aumenta y por lo tanto el número de MCUs se vuelve cada vez más grande. Esto puede significar un problema grave, dado que la información relevante para el control de variables puede encontrarse en distintas partes del sistema y esto dificultaría en gran manera el monitoreo de la misma, por lo cual se opta por dirigir el flujo de datos a un procesador que tomará la tarea de monitorear y dar las instrucciones a cada uno de los demás procesadores para que ellos lleven a cabo el control de la variable que le fue asignada; es decir, un procesador A se encarga de recoger la información de una variable física y la envía a un procesador B para que éste la analice y decida si es necesario alterar dicha variable, por lo cual decide que instrucción darle al procesador A con el fin que lleve a cabo el control de la misma.

La comunicación entre dispositivos electrónicos de control se ha convertido en una parte primordial para asegurar el funcionamiento óptimo de sistemas complejos donde se requiera el monitoreo y manipulación de variables físicas. Esto trae como resultado diversas ventajas entre las que se encuentra la centralización de información relevante en un solo punto y una mejoría en los tiempos de monitoreo y control dado que las tareas que cada microprocesador debe realizar son menores. Una de las ventajas que se obtienen al implementar un sistema de comunicación de datos es la automatización de todo el sistema y la gestión de decisiones de manera automática con el fin de garantizar una buena gestión en la toma de decisiones y en la selección de opciones para resolver problemáticas del sistema o el apagado del mismo al generarse un problema crítico sin necesidad de supervisión humana.

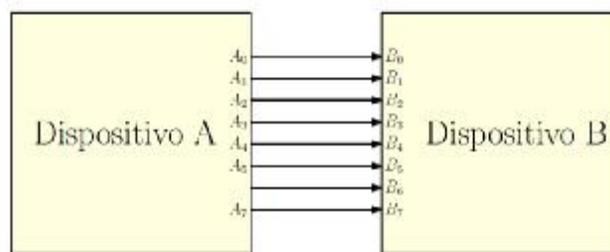
#### **2.3.4. Protocolos de comunicación de datos**

Como se mencionó anteriormente, los DAS y la comunicación de datos son una opción con las que los MCU y los FPGA pueden contar para controlar, monitorear, procesar y comunicar distintas variables en un tiempo muy reducido. Sin embargo, deben seguirse protocolos y técnicas de comunicación adecuadas al tipo de aplicación en el que se

utiliza el DAS con el fin de tener un rendimiento óptimo en el funcionamiento del sistema a desarrollar.

#### 2.3.4.1 Comunicación paralela

En telecomunicaciones e informática, la comunicación paralela es un método para transmitir un gran número de bits de manera simultánea. A diferencia con la comunicación serie, la cual solo transmite un bit cada vez; esta es una de las características básicas que distinguen a los tipos de comunicaciones. La diferencia básica entre un canal de comunicación en serie y uno en paralelo radica en el número de conductores eléctricos usados en la capa física para transmitir bits. La comunicación en paralelo implica el uso de más de uno de estos conductores. Esto quiere decir que cada bit de información se comunica por una sola línea datos, lo que hace que el bus de transmisión de datos sea de un tamaño considerable y limita en gran manera el número de pines para utilizar en otros procesos de relevancia, como se indica en la Figura 2.10.



**Figura 2.10.** Comunicación de datos paralela.

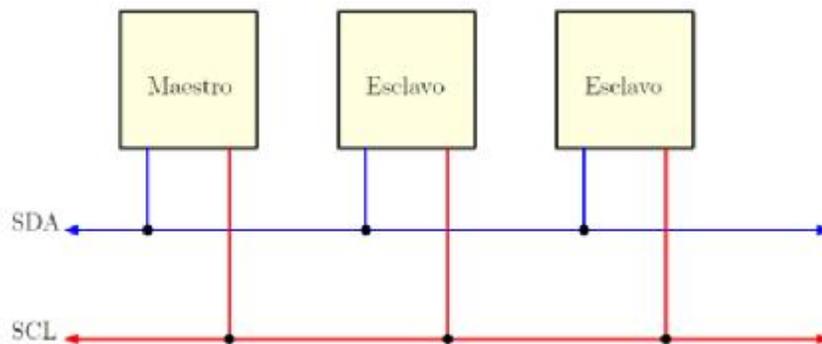
#### 2.3.4.2 Protocolo UART

UART (del inglés de Universal Asynchronous Receiver-Transmitter) es el dispositivo que controla los puertos y dispositivos serie. Se encuentra integrado en la placa base o en la tarjeta adaptadora del dispositivo. El controlador del UART es el componente clave del subsistema de comunicaciones series de una computadora. El UART toma bytes de datos y transmite los bits individuales de forma secuencial. En el destino, un segundo UART reensambla los bits en bytes completos.

El protocolo UART establece que la comunicación ocurre en una frecuencia predefinida. Los dispositivos generan sus frecuencias de forma independiente y los eventos llegan de forma asíncrona al reloj local, mientras la información se transmite en una sola línea. Esto requiere que el bus de datos se encuentre en un muestreo continuo para asegurar la fiabilidad incluso cuando las frecuencias de los dispositivos varíen un poco. Esto generalmente se logra a través de un reloj local interno con una frecuencia significativamente alta en comparación con el rango de muestreo [3].

#### 2.3.4.2 Protocolo I2C

Por su parte el protocolo I2C se compone por dos líneas de datos, de las cuales una es una señal común de reloj y la otra es la línea de transmisión de datos, lo que quiere decir que la transmisión se realiza de forma síncrona. El protocolo I2C puede incluir distintos dispositivos de comunicación con un solo bus de datos, incluyendo distintas configuraciones en las que solo haya un dispositivo maestro (el que dirige la comunicación mediante la señal de reloj) y uno o más esclavos (los que siguen la señal de sincronización para cumplir su función) u otras configuraciones donde haya varios dispositivos maestros (Figura 2.11) [13].



**Figura 2.11.** Esquema del protocolo I2C.

#### 2.3.4.2 Protocolo SPI

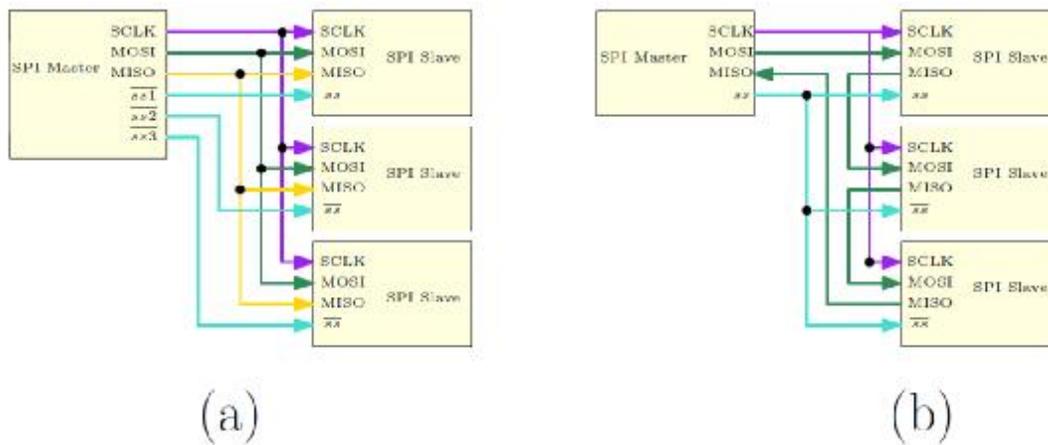
El protocolo SPI (Serial Peripheral Interface) permite una transferencia de alta velocidad de datos entre diversos dispositivos de control. Este protocolo está basado en la arquitectura Maestro-Eslavo, como su nombre lo indica el dispositivo Maestro se encarga de controlar la transferencia de datos seleccionando a un Esclavo en específico y sincronizando todo el sistema mediante una señal de reloj [5].

Los datos son enviados de forma serial mediante las líneas que conforman al bus:

- **MOSI** (*Master Output Slave Input*), línea que transfiere los datos del Maestro al Esclavo.
- **MISO** (*Master Input Slave Output*), encargada de transferir los datos del Esclavo al Maestro.
- **SCLK** (*CLOCK*), señal de reloj generada por el Maestro que sincroniza a todos los dispositivos.
- **$\overline{SS}$**  (*Slave Selection*), controlada por el Maestro cuando se requiere transferir datos utilizando varios esclavos.

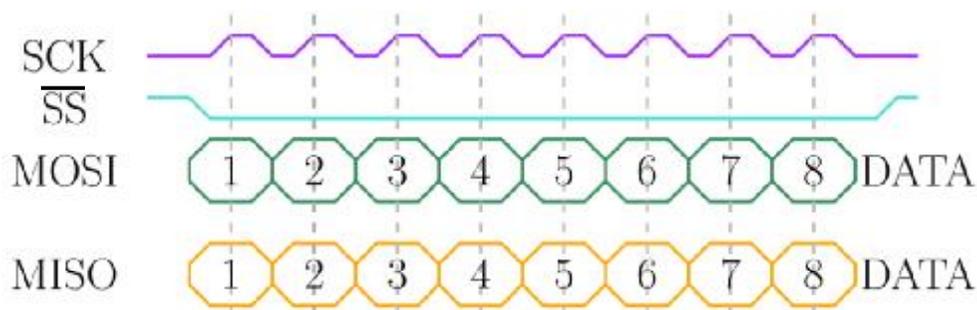
Estas características sitúan al protocolo SPI como una alternativa satisfactoria ante la latente necesidad de comunicar, almacenar y procesar datos en un sistema electrónico digital.

En el protocolo SPI existen dos maneras de comunicar datos entre diversos dispositivos, una de ellas es la conexión de esclavos independientes, indicada en la Figura 2.12(a), en la cual el Maestro recibe y transfiere datos a cada Esclavo de forma independiente. La otra manera es la conexión en cascada [Figura 2.12(b)], en la cual el Maestro habilita a todos los dispositivos a la vez y las salidas de datos de los Esclavos se conectan en cascada con la entrada de datos del siguiente Esclavo, así el Maestro enviará los datos al primer Esclavo y podrá recibir respuesta del último Esclavo mediante el primero.



**Figura 2.12.** Tipos de conexiones en el protocolo SPI; (a) conexión de esclavos independientes (b) conexión en cascada.

La transferencia de datos se realiza bit por bit (Figura 2.13), el Maestro realiza una selección del Esclavo con el que se querrá comunicar mediante la línea  $\overline{SS}$  y tomando como referencia los cambios de estado la señal de reloj SCLK para transferir un bit a la vez. Esta transferencia se realiza al mismo tiempo de Maestro a Esclavo y viceversa. El protocolo no especifica un límite para los bits a transferir, aunque generalmente se utilizan ocho bits para la transmisión de datos.



**Figura 2.13.** Señales de comunicación de datos del protocolo SPI.

Una manera sencilla de explicar el funcionamiento del protocolo SPI radica en la siguiente lista de pasos a realizar tanto por el Maestro como por los Esclavos.

Pasos a realizar por el Maestro:

1. Seleccionar un esclavo para realizar la comunicación de datos por medio de la terminal  $\overline{ss}$ .
2. Enviar los datos al Esclavo seleccionado por la terminal MOSI.
3. Recibir los datos del Esclavo por la terminal MISO.
4. Pasar al siguiente esclavo una vez terminada la comunicación.
5. Repetir el proceso de manera indefinida.

Pasos a realizar por cada Esclavo

1. Esperar a recibir la indicación del Maestro para comenzar la comunicación de datos por medio de la terminal  $\overline{ss}$ .
2. Recibir los datos del Maestro por la terminal MOSI.
3. Enviar los datos al Maestro por medio de la terminal MISO.
4. Repetir el proceso siempre y cuando se le indique por la terminal  $\overline{ss}$ .

La comunicación de datos es necesaria en sistemas electrónicos que requieren una velocidad de procesamiento elevada dado que la toma de decisiones debe ser de manera casi inmediata para cubrir las necesidades de la aplicación que este implementándose en un sistema en específico. Cabe resaltar que la comunicación por el protocolo SPI mediante la topología de esclavos independientes presenta un retraso generado por la secuencialidad y el orden del flujo de información entre cada Esclavo y el master con el fin de asegurar una transmisión de datos idónea.

Cada estrategia de comunicación de datos presenta diversas ventajas y desventajas frente a las demás pero esto no es limitante para cada una de ellas dado que todas pueden implementarse de manera adecuada en un sistema que requiera específicamente de las características que rigen a cada una de ellas.

### 2.3.5. Algoritmos de ordenamiento numérico

El orden es uno de los factores más utilizados en el desarrollo de sistemas, sobre todo en la gestión y procesamiento de datos tanto físicos como digitales, cabe mencionar que independientemente de la naturaleza de dichos datos el orden es fundamental para dar sentido a la organización de un sistema en específico.

Generalmente, en una base de datos de cualquier tipo los componentes de dicha base se encuentran en desorden, por lo tanto los algoritmos de ordenamiento numérico tienen una invaluable importancia en el área de la informática dado que al combinarlos con diversas funciones como la búsqueda, clasificación y mezcla de datos constituye una de las partes más importantes del funcionamiento de una computadora, ahorrando tiempo de búsqueda y automatizando la organización de cualquier base de datos [17]. En el presente trabajo es menester utilizar un algoritmo de ordenamiento con el fin de considerar la magnitud de los voltajes de los SM de un MMC y a su vez tener presente el orden de los voltajes de forma ascendente o descendente.

Uno de los tantos algoritmos de ordenamiento numérico que existen es el conocido como algoritmo del Gnomon (del inglés, gnome-sort algorithm), inventado por Hamid Sarbazi-Azad, (profesor de la Universidad de Sharif, Irán) quien lo desarrolló en el año 2000 y al que llamó *Stupid sort* (Ordenamiento estúpido). Dick Grune lo reinventó y documentó, no halló evidencias de que existiera y lo llamó como el algoritmo más simple debido a su simplicidad en programación y la fácil manera de entenderse. El funcionamiento del algoritmo se explica en el pseudocódigo mostrado a continuación y se basa totalmente en la comparación de un par de números y en su ordenamiento inmediato de forma ascendente o descendente según la preferencia del programador [17].

Pseudocódigo algoritmo de ordenamiento del gnomo:

```
i = 1
Mientras que  $i \leq$  longitud de los datos - 1
  Sí "dato actual"  $\leq$  "dato siguiente"
    i = i+1
  Si no
    "intercambio" = "dato siguiente"
    "dato siguiente" = "dato actual"
    "dato actual" = intercambio
    i = i-1
  sí i=0
    i = 1
  fin sí
Fin sí
Fin mientras
```

La implementación del algoritmo de ordenamiento del Gnomo permite a cualquier sistema digital llevar a cabo una correcta gestión de datos tomando en cuenta la magnitud del mismo desde un análisis numérico. Al darle orden a una serie de datos, independientemente del tamaño de la misma se obtiene una mejor organización en los mismos y se facilita en gran manera la búsqueda, procesamiento, transmisión y análisis del conjunto de datos involucrados. Otra ventaja consecuente de la implementación del algoritmo del gnomo resulta en que no consume mucho tiempo de computo dado que compara y ordena todos los datos sin tomar mucho tiempo de procesamiento del sistema digital. Por lo tanto el algoritmo del gnomo es una de las opciones más sencillas de programar, explicar y entender con el fin de ordenar una serie de datos sin comprometer la rapidez del sistema en gran manera.

## **2.4. CONCLUSIONES**

Este capítulo centró su contenido en recopilar toda la información bibliográfica necesaria para abarcar todos los temas de relevancia para la elaboración del presente trabajo de investigación partiendo desde los MMCs incluyendo su funcionamiento, composición y diversas estrategias de control para los mismos. A su vez se menciona la composición interna y características fundamentales de los MCUs y los FPGAs y las diversas aplicaciones de cada uno de ellos. Se realiza una revisión de los contenidos referentes a los sistemas de adquisición de datos centrándose en su funcionamiento y en los diversos protocolos de comunicación electrónica de datos entre los que se menciona al protocolo SPI.

---

## *Funcionamiento general del inversor*

En el presente capítulo se explica de manera detallada el funcionamiento del sistema a implementar, se realiza una revisión de las topologías de comunicación y control del MMC, resaltando y explicando las diferencias de cada una de ellas, así como las ventajas que cada una presenta y sus limitaciones. A su vez se menciona el funcionamiento del algoritmo de ordenamiento de los voltajes de los capacitores de los MMC teniendo en cuenta la composición electrónica del sistema.

### 3.1. DESCRIPCIÓN DEL SISTEMA A UTILIZAR

El diagrama mostrado en la Figura 3.1 explica de manera gráfica la forma en que se compone el sistema a utilizar. El protocolo de comunicación de datos utilizado es el SPI, toda la información de los voltajes de los submódulos fluye de forma secuencial (un esclavo a la vez) a través de las líneas MOSI y MISO. Las líneas SCK y SEL son líneas de sincronización y selección de esclavos respectivamente.

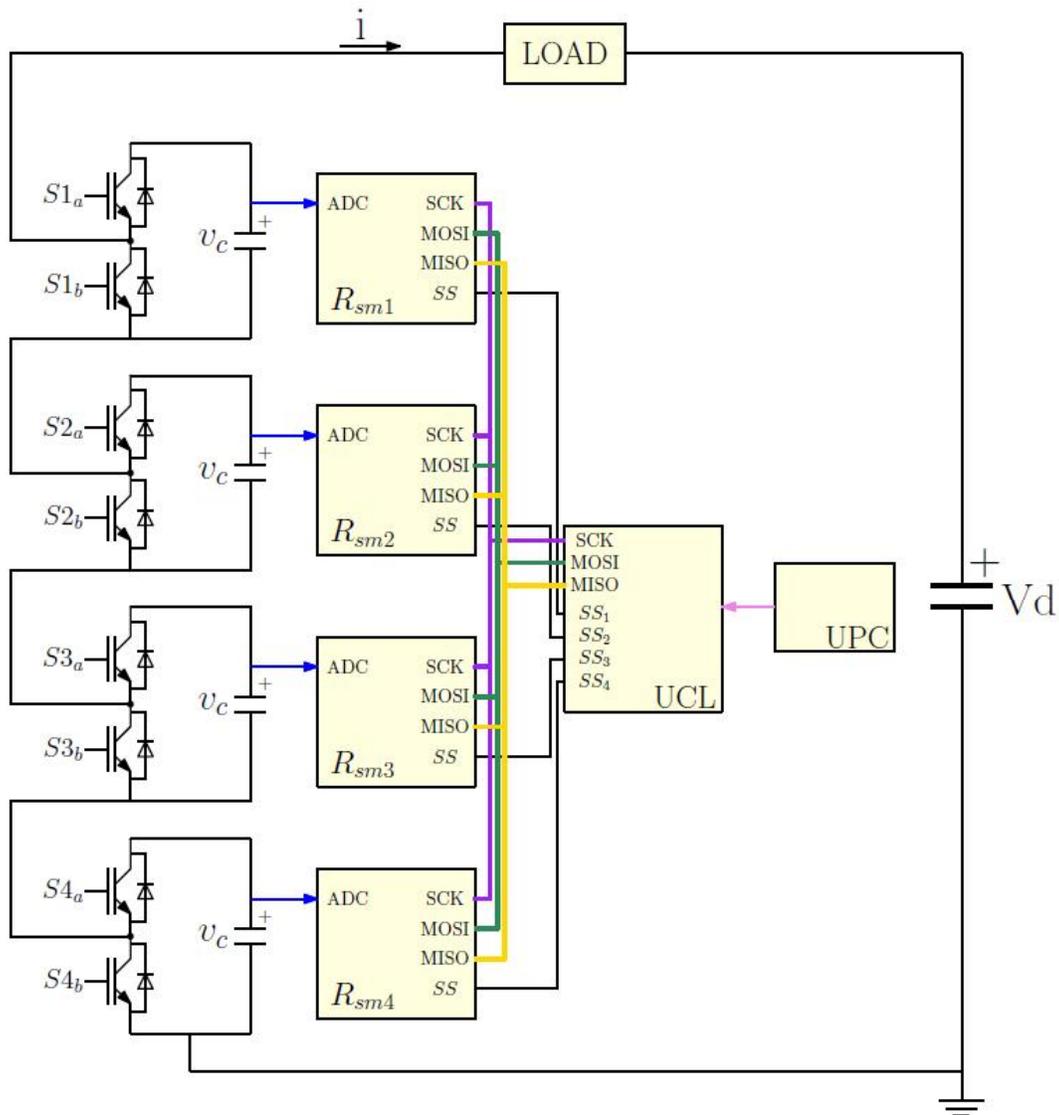
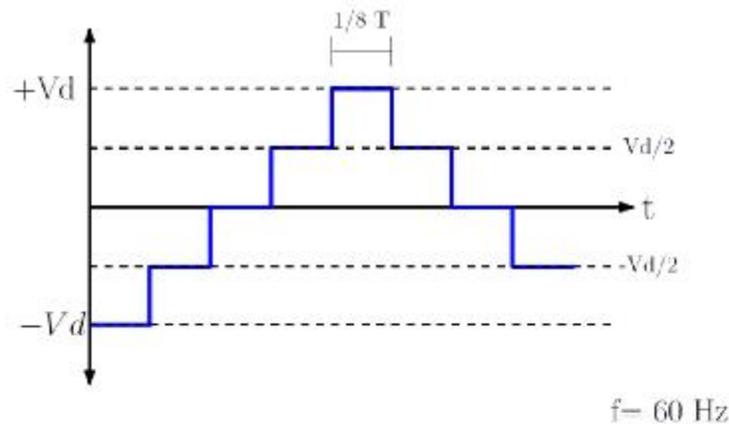


Figura 3.1. Diagrama descriptivo del sistema a implementar.

Cabe mencionar que en la Figura 3.14 no se incluye la línea que lleva la señal de control para cada interruptor, sin embargo se entiende que las señales de control provienen de cada dispositivo de control correspondiente, por ejemplo el Rsm3 solo controla las señales S3a y S3b. La unidad de procesamiento central (UPC) se encarga del algoritmo de decisión de inserción o desconexión de los submódulos enviando información a la unidad de procesamiento local (UCL), también conocida como Master (en la topología del protocolo SPI) se encarga de recibir los datos referentes a los voltajes de todos y cada uno de los esclavos, dicho voltaje proviene de la salida de cada submódulo. Además de recibir los datos, el Master decide el momento de conexión y desconexión de los submódulos (encendido/apagado) y envía la instrucción de insertar o desconectar los SM a cada uno de los slaves (Rsm) con el fin de generar la señal de voltaje alterna correspondiente a la función del MMC (Figura 3.2).

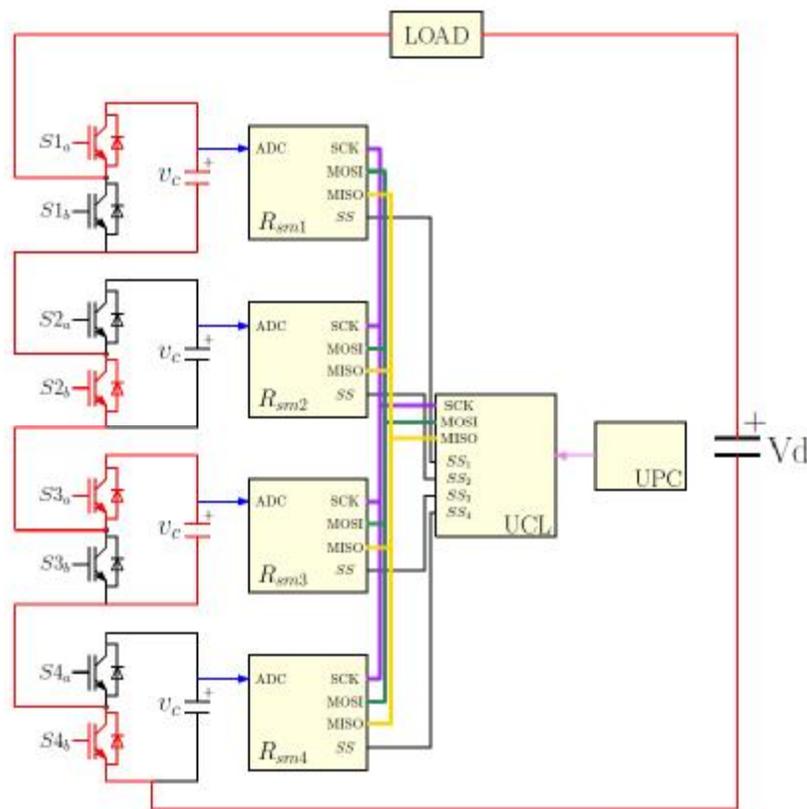


**Figura 3.2.** Señal de salida deseada para un MMC de 4 submódulos.

Generar una señal alterna de voltaje en un MMC es bastante sencillo de obtener, sin embargo se presenta una problemática que puede generar fallas en el sistema y afectar la calidad de la señal de salida del convertidor, esta situación es consecuencia del desbalanceo de los voltajes de cada SM, es por ello que se necesita mantener un monitoreo sobre los mismos y decidir de qué manera se llevará a cabo la selección de los submódulos que serán insertados (encendidos) en un momento determinado.

La Figura 3.3 muestra de forma gráfica el diagrama para llevar a cabo las pruebas del algoritmo, consta de cuatro SMs y una carga puramente resistiva conectada a una fuente de corriente directa ( $V_d$ ) el arreglo indica que independientemente del orden de inserción siempre se obtendrá un mismo voltaje de salida dependiendo de cuántos SM se encuentren conectados en ese momento, dando como consecuencia una alternativa de solución a la problemática del balanceo de voltajes dado que se puede decidir cuáles submódulos pueden ser insertados en distintos tiempos. Cabe destacar que la técnica de conmutación implementada es la staircase.

Una muestra de lo anteriormente explicado se presenta a continuación; al conectar dos submódulos al mismo tiempo, independientemente de cuáles submódulos, el voltaje en la carga siempre será una diferencia entre los voltajes de los capacitores y el voltaje de alimentación del circuito (Figura 3.16)



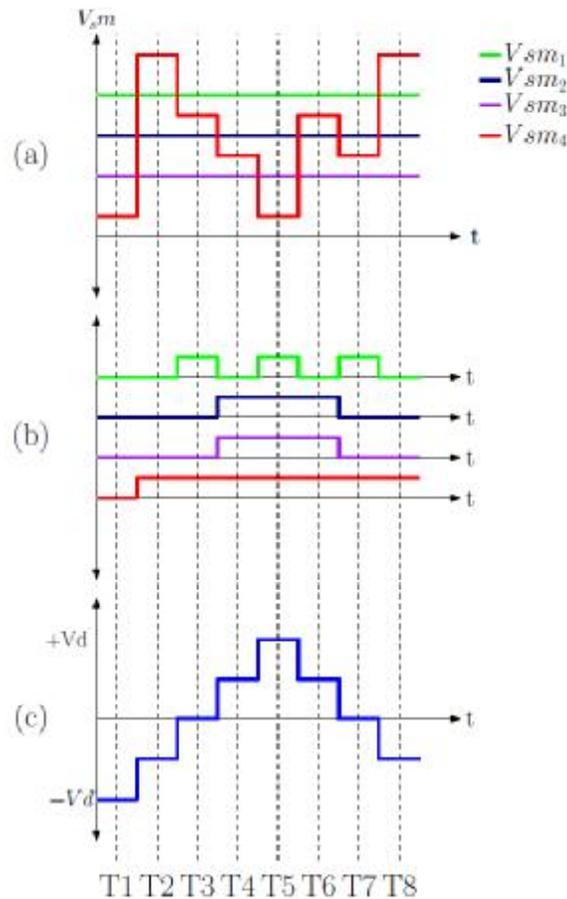
**Figura 3.3.** Conexión de dos SMs en el MMC. Cabe destacar que en este caso solo el SM1 y el SM 3 se encuentran insertados y los restantes se encuentran desconectados.

Una manera de explicar el comportamiento del sistema con respecto a cuántos submódulos se inserten en determinado tiempo se muestra en la Tabla 3.1. Todo esto tomando en cuenta que el voltaje de los capacitores de los SMs debe ser igual a la mitad del voltaje de alimentación del sistema. El algoritmo a implementar cubre la necesidad del balanceo del voltaje de los submódulos, tomando en cuenta la salida de voltaje de cada SM y a su vez el sentido de la corriente de salida, se lleva a cabo un ordenamiento numérico utilizando el “Gnome Sort Algorhythm”.

Teniendo en cuenta la Figura 3.4 y la Tabla 3.1 puede entenderse el funcionamiento correcto del algoritmo de manera sencilla.

**Tabla 3.1.** Relación entre tiempos y estados de inserción de los submódulos del MMC.

Momento	Estado corriente	SMs insertados	Condición	Salida
T1	$i < 0$	0	Ninguno	$-V_d$
T2	$i < 0$	1	El más cargado	$\frac{-V_d}{2}$
T3	$i = 0$	2	Los dos más cargados	0
T4	$i > 0$	3	Los tres menos cargados	$\frac{V_d}{2}$
T5	$i > 0$	4	Todos	$V_d$
T6	$i > 0$	3	Los tres menos cargados	$\frac{V_d}{2}$
T7	$i = 0$	2	Los dos más cargados	0
T8	$i < 0$	1	El más cargado	$\frac{-V_d}{2}$



**Figura 3.4.** a) Niveles de voltajes de los SMs suponiendo que el voltaje del submódulo 4 se mantiene variable y los demás estáticos b) señales de control de los submódulos del MMC c) señal de salida deseada del MMC.

Después del ordenamiento de los valores de voltaje es menester que el master verifique el momento de acción actual y el sentido de la corriente para insertar o no insertar los SMs pertinentes. Por ejemplo, suponiendo que el momento de acción presente en el sistema es el denominado como “T6”, en ese instante el sentido de la corriente en la carga es positivo ( $i > 0$ ), por lo tanto la corriente va a entrar al capacitor de carga del SM y es necesario insertar los SM que tengan menor voltaje, se seleccionan los tres SM con menor voltaje para que sean cargados. Sometiendo el sistema al momento de acción “T7” se tiene que el sentido de la corriente es negativo ( $i < 0$ ), dando como resultado la descarga del capacitor de los SM’s seleccionados, por lo tanto deben insertarse aquellos que tengan mayor voltaje.

Otro enfoque del funcionamiento del sistema general se muestra en la siguiente lista de pasos a seguir:

- 1.- Realizar lectura de los voltajes de cada SM del MMC.
- 2.- Realizar el ordenamiento de los voltajes.
- 3.- Comprobar el momento a implementarse y verificar el estado de la corriente.
- 4.- Insertar o no insertar los SM necesarios.

### **3.2. SIMULACIÓN DEL SISTEMA**

Todo sistema físico debe diseñarse tomando en cuenta el funcionamiento de los componentes del mismo, sin embargo cabe destacar que en muchas ocasiones hay no es viable el implementar pruebas o experimentos en un sistema debido a los riesgos que implica y las fallas que pueden presentarse al experimentar generando pérdidas de material que en muchas ocasiones es difícil conseguir de manera sencilla. Cuando se habla de sistemas electrónicos, muchos de estos dispositivos son muy sensibles a fallas y tienden a dejar de funcionar de manera adecuada si no se realiza una implementación idónea para el mismo. Por ello es necesario llevar a cabo un análisis del sistema desde un entorno que permita someter a los sistemas electrónicos a un sinnúmero de situaciones sin necesidad de arriesgar material físico evitando pérdidas económicas y de tiempo de desarrollo de los sistemas. Las simulaciones aportan solución a las problemáticas anteriormente mencionadas utilizando el modelado matemático y digital de los dispositivos electrónicos-

#### **3.2.1. Matlab**

Matlab es el nombre abreviado de “MATrix LABoratory”. Es un programa que permite realizar cálculos numéricos con vectores y matrices, por lo tanto puede trabajar con números escalares, cadenas de caracteres y con estructuras de información más complejas. Utiliza un lenguaje de alto rendimiento para cálculos técnicos dado que es al mismo tiempo un entorno y un lenguaje de programación. Uno de sus puntos fuertes radica en que permite construir herramientas reutilizables para cada usuario de manera independiente, a su vez

ofrece la posibilidad de crear funciones propias y programas específicos para diversas aplicaciones (Figura 3.5) [21].

Matlab consta de diversas partes fundamentales, entre las que destacan tres [22]:

1. Entorno de desarrollo. Se trata de un conjunto de utilidades que permiten el uso de funciones y ficheros en general en el entorno de Matlab.
2. Librería de funciones matemáticas de Matlab. Consiste en un amplio conjunto de algoritmos de cálculo.
3. Gráficos. Matlab dispone de un conjunto de utilidades destinadas a visualizar vectores y matrices en forma de gráficos. Ofrece una gran posibilidad para ajustar el aspecto de gráficos.

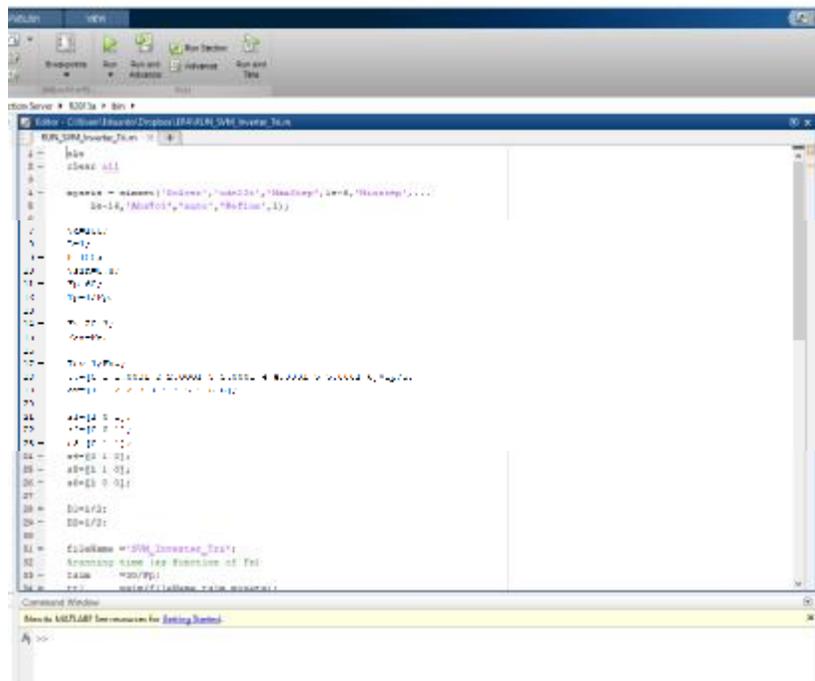


Figura 3.5. Entorno de programación de MATLAB.

### 3.2.2. Simulink

Simulink es una aplicación que permite construir y simular modelos de sistemas físicos y sistemas de control mediante diagramas de bloques. El comportamiento de dichos sistemas se define mediante funciones de transferencia, operaciones matemáticas, elementos de MATLAB y señales predefinidas de todo tipo. Dispone de una serie de utilidades que facilitan la visualización, análisis y guardado de los resultados de simulación. A su vez se emplea grandemente en ingeniería de control [22].

### 3.2.3. Sistema implementado en Simulink

Un diagrama de simulación del sistema realizado en Simulink es mostrado en la Figura 3.6; la simulación se centra en la generación de las señales para el control del MMC propuesto en este trabajo teniendo como punto de partida la modulación staircase y posteriormente aplicar el algoritmo que se muestra en la Tabla 3.1. Así mismo es necesario tomar en cuenta las formas de onda de la Figura 3.4.

El sistema se compone de 4 bloques llamados Sm, una carga resistiva con un monitoreo de voltaje para su posterior análisis y una fuente de voltaje de 10 volts de cd.

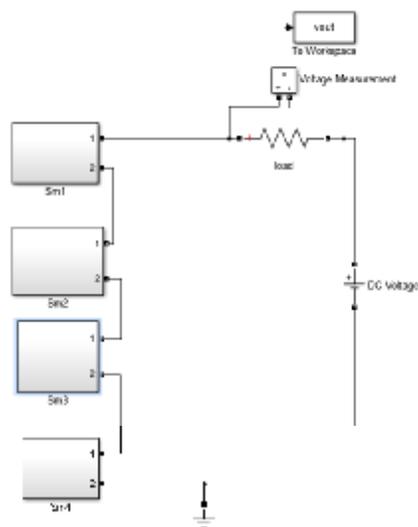


Figura 3.6. Simulación del sistema.

Cada uno de los SMs de la simulación se compone exactamente por los mismos elementos y la misma conexión entre ellos (Figura 3.7). Cada uno de los componentes se explica a continuación:

**Bloque Repeating Sequence:** Cumple la función de generar una secuencia determinada establecida previamente por el usuario y es capaz de repetirse de manera indefinida si así se desea. Este bloque es el encargado de generar las señales de control para cada uno de los SMs del sistema implementado en la simulación.

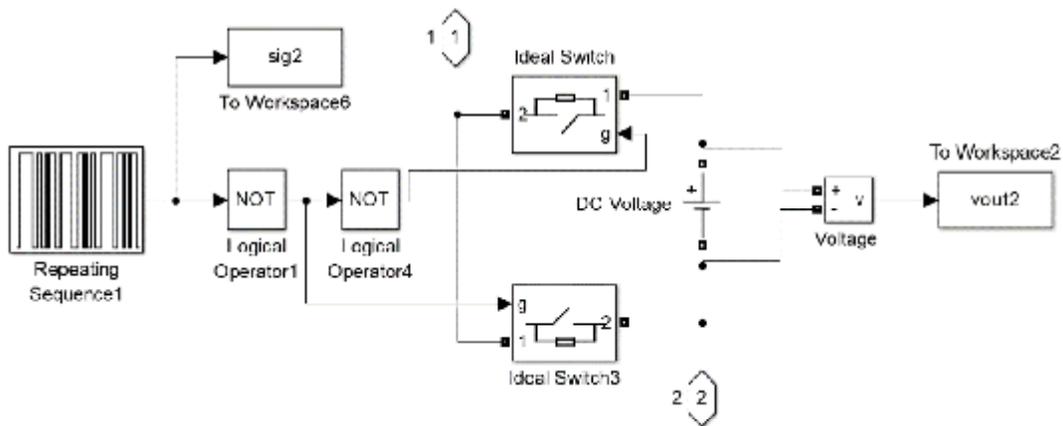
**To Workspace:** Este bloque lleva a cabo la función de exportar datos desde el entorno de Simulink al entorno de programación de Matlab, facilita en gran manera el análisis y graficado de diversos datos de un sistema simulado.

**Logical Operator:** Lleva a cabo la función de generar una señal complementaria para evitar que ambos interruptores del SM se conecten al mismo tiempo ocasionado un corto circuito en el sistema.

**Bloque Ideal Switch:** Este bloque cumple la misma función que un interruptor electrónico, cabe destacar que la configuración implementada para la simulación llevada a cabo en este capítulo es la de medio puente.

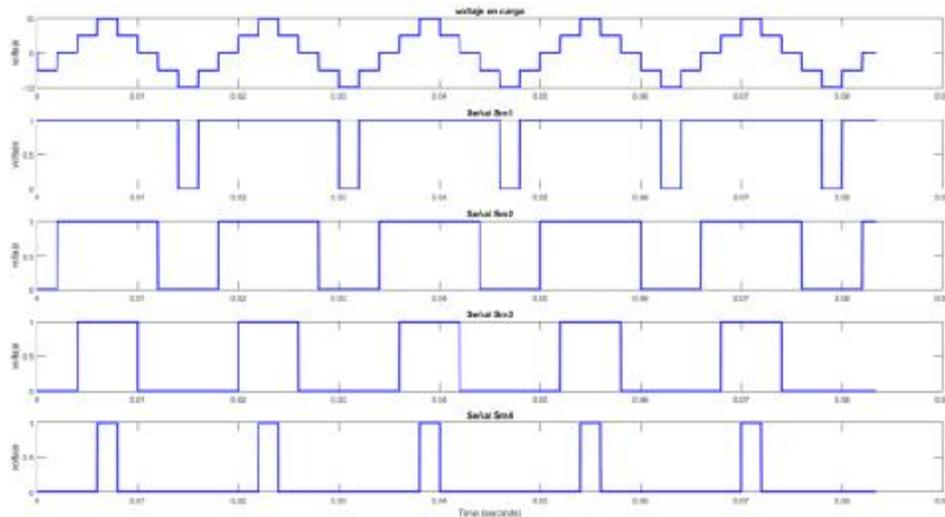
**DC voltage:** Simula la función de los capacitores de cada SM del MMC. La medida de voltaje de este bloque debe ser exactamente la mitad que el mostrado en la Figura 3.6.

**Voltage:** actúa como interfaz para la obtención de datos de voltaje de la salida de cada SM del MMC con el fin de monitorear este dato para eventualmente implementar un algoritmo de ordenamiento en un entorno simulado.



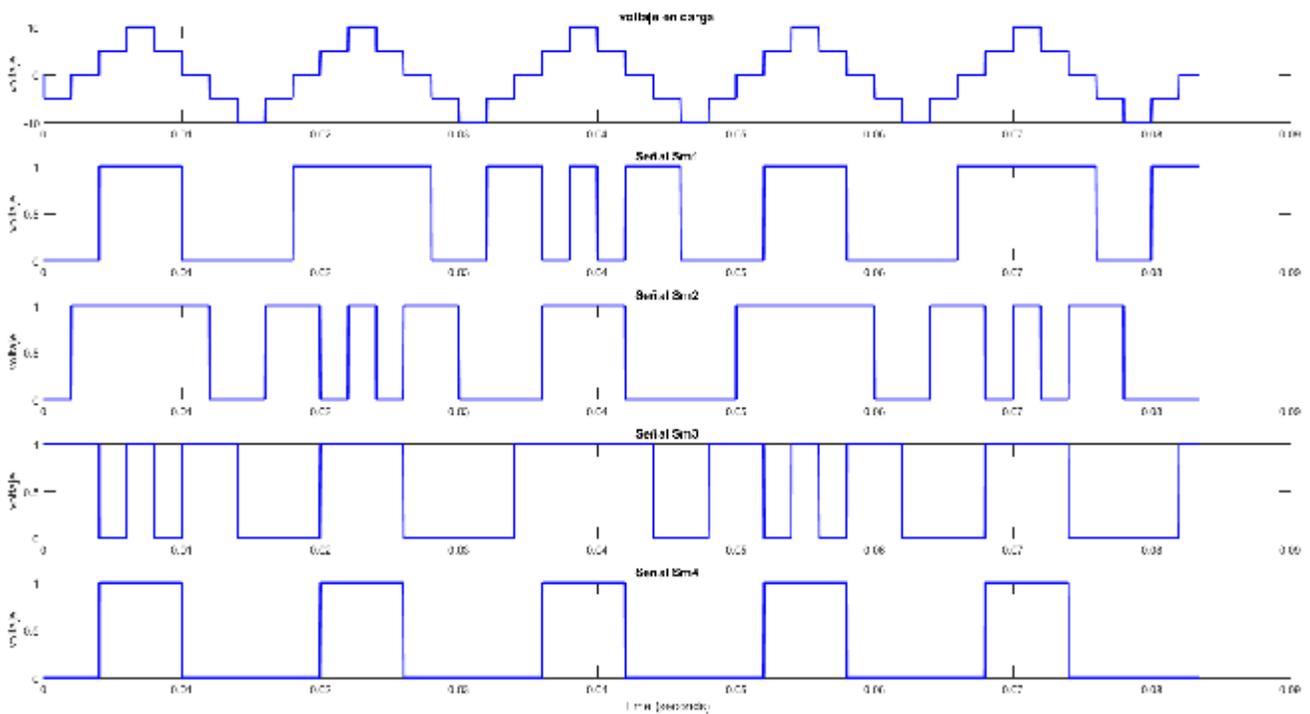
**Figura 3.7.** Composición de cada uno de los SM del sistema simulado.

Cabe destacar que en la Figura 3.7 se incluye la adquisición de datos mediante el bloque “voltage” que realiza la función de voltímetro. Realizando la implementación de la modulación staircase en el sistema y graficando tanto las señales de control de cada SM con la señal de voltaje encontrada en la carga se obtiene como resultado lo mostrado en la Figura 3.8. Cabe mencionar que la implementación de la modulación sin la generación de señales propuestas en el algoritmo cumple el propósito de comprobar el buen funcionamiento del sistema.



**Figura 3.8.** Implementación de la staircase modulation en el sistema a simular, pueden notarse las diferentes señales de control para cada SM y el voltaje en la carga que se forma con las respectivas señales.

Al implementar el algoritmo se tiene como resultado lo mostrado en la Figura 3.9, las señales de control de cada SM son diferentes al caso mostrado en la Figura 3.8, sin embargo en este caso se toma en cuenta la necesidad del balanceo de voltajes en cada SM y se comprueba que las señales pueden cambiar repentinamente sin alterar el funcionamiento del sistema, el cambio de las señales de control para el balanceo de voltajes debe ser simultaneo en todos los Sm con el fin de garantizar el buen funcionamiento del MMC y obtener una salida de voltaje alterno exactamente igual al de la modulación stair-case en la carga.



**Figura 3.9.** Implementación del algoritmo de ordenamiento en la simulación del sistema, puede destacarse que independientemente del cambio en las señales de control, el voltaje en la carga no se ve afectado siempre y cuando se cumpla con la condición de que el intercambio de señales sea simultaneo en todos los SMs del MMC.

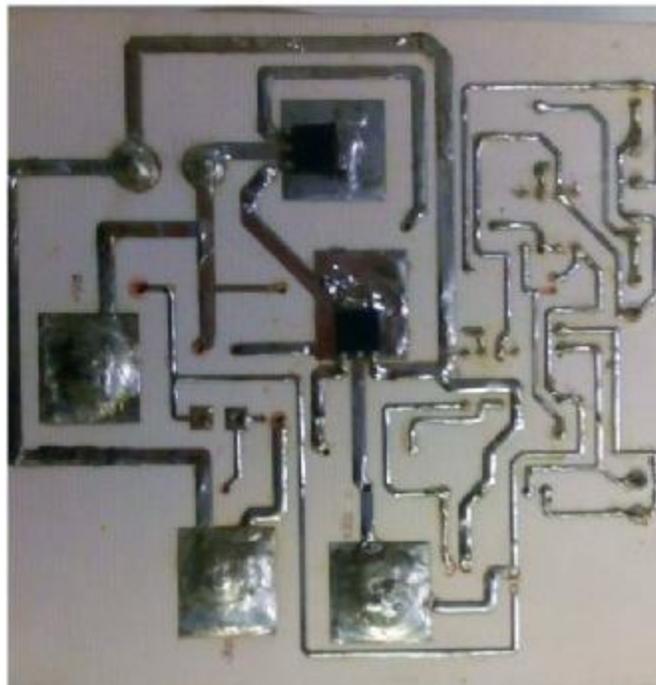
### **3.3. COMPOSICIÓN ELECTRÓNICA DE UN SM**

La composición interna de los SMs mencionados en este capítulo consta de dos interruptores conectados por la topología de medio puente y llevan a cabo la tarea de insertar o desconectar cada SM. Sin embargo dado que en la simulación se implementan dispositivos y condiciones ideales es necesario comprender que los dispositivos físicos pueden variar en funcionamiento con respecto a los dispositivos simulados. Un ejemplo de lo anteriormente mencionado puede observarse en la Figura 3.10, donde es evidente que hay más dispositivos incluidos que los utilizados en la simulación. Esto es consecuencia de que la gran mayoría de dispositivos electrónicos requieren de una conexión específica para funcionar de manera adecuada.

En el diseño de prototipos electrónicos muchas veces es necesario implementar protecciones para diversos sistemas digitales. Una falla en un sistema controlado por un MCU o un FPGA puede presentar un riesgo para el dispositivo de control y por lo tanto requieren de medidas de protección. A su vez es menester tener en cuenta que los interruptores utilizados en el SM mostrado en la Figura 3.10 necesitan de un voltaje de alimentación mayor al que puede ofrecer un sistema digital convencional, por ende debe implementarse un circuito electrónico que permita que el interruptor sea encendido o apagado con las señales de control generadas por el dispositivo digital sin presentar un riesgo para la integridad de todo el sistema. Para dar solución a esta problemática se implementa una conexión utilizando un optoacoplador y un regulador de voltaje; el primero brinda la protección necesaria al dispositivo de control aislándolo del SM del MMC. El regulador de voltaje cumple la función de generar el voltaje necesario para que los interruptores puedan activarse de manera adecuada (Figura 3.11).



**Figura 3.10.** Vista superior de un prototipo de SM para un MMC. Pueden observarse los optoacopladores y los reguladores de voltaje en la parte inferior de la tarjeta.



**Figura 3.11.** Vista inferior de la tarjeta prototipo de SM para un MMC. Pueden observarse los interruptores que se utilizan para insertar o desconectar un SM.

### **3.4. CONCLUSIONES**

Es posible implementar un algoritmo de ordenamiento de voltajes y el control de los SMs de un MMC mientras se realiza la modulación staircase, dando como resultado la solución a la problemática del desbalanceo de voltajes sin descuidar la generación de la señal de salida y permitiendo que haya cambios en las señales de control de los SMs sin afectar los dispositivos que lo componen ni comprometer la integridad del sistema. La implementación del algoritmo permite incluir tantos SMs en el MMC como sea posible sin tener en mente la problemática del desbalanceo de voltajes dado que permite insertar el número de SMs necesarios en el momento adecuado teniendo en cuenta el nivel de voltaje deseado y el voltaje en el capacitor del SM. La simulación fue llevada en el entorno Simulink de Matlab y la generación de señales, así como la obtención de las gráficas se realizó por medio de código escrito. Todos los dispositivos utilizados en esta simulación fueron ideales con el fin de mostrar el mejor funcionamiento del sistema.

# Capítulo 4

---

## Topología MCU- MCU

En el presente capítulo se explica el funcionamiento de los dispositivos involucrados en la topología MCU-MCU, así como la generación de las señales de control mediante el algoritmo de ordenamiento tomando como punto de partida lo establecido en la simulación del capítulo anterior mediante diversos experimentos previamente establecidos con el fin de comprobar que las tareas de cada dispositivo se lleven a cabo de manera satisfactoria y definir que el funcionamiento del sistema es apropiado para su aplicación.

## **4.1 FUNCIONAMIENTO**

La primera topología a analizar se compone por seis MCUs ATMEGA1284P. La topología se relaciona directamente con la Figura 3.3 de tal manera que un MCU hace la función de implementar el algoritmo de inserción, esto se refiere a indicar la cantidad de SMs que deben ser insertados en cada momento (UPC), otro ATMEGA1284P realiza la función de ordenar los voltajes de los SM y comunicar el estado de cada SM para cada momento (UCL) y los cuatro restantes llevan la función de obtener los voltajes de los SM mediante el ADC que viene incluido dentro de ellos mismos, enviar la información a la UCL y recibir el estado de los SM desde la UCL para implementarlo directamente en los interruptores correspondientes, dando como resultado la inserción correcta de cada SM en el tiempo preciso, obteniendo una salida correcta para cada estado del MMC. A continuación se explica paso a paso la tarea realizada por cada tipo de dispositivo en el sistema

Pasos a seguir por la UPC:

- 1.- Verificar estado de la corriente.
- 2.- Enviar a la UCL la cantidad de SM que deben insertarse en ese momento.
- 3.- Repetir el proceso de forma indefinida.

Pasos a seguir por la UCL:

- 1.- Recibir la información referente a los voltajes proveniente de los slaves de manera independiente, es decir, en orden (pin MISO).
- 2.- Ordenar los voltajes de manera descendente.
- 3.- Recibir el dato de la cantidad de SM que deben insertarse de la UPC.
- 4.- Enviar a los slaves el estado para cada SM (insertado o desconectado) mediante el pin MOSI.
- 5.- Repetir el proceso de forma indefinida.

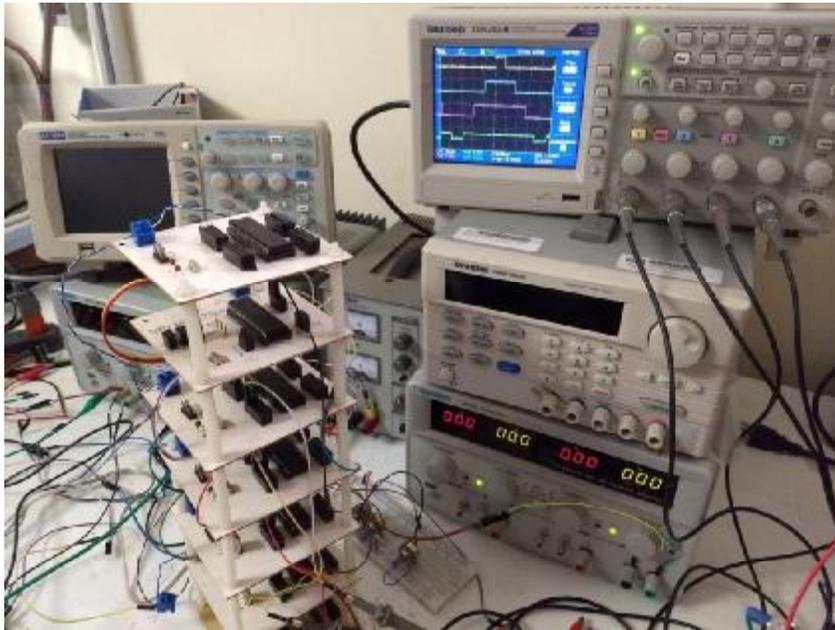
Pasos a seguir para cada slave:

- 1.- Realizar la lectura del voltaje de su SM correspondiente mediante el PIN AD0.
- 2.- Esperar a que la UCL le indique el momento para enviar y recibir información
- 3.- Enviar el dato del voltaje mediante el PIN MISO a la UCL.
- 4.- Recibir el estado del SM que le corresponde controlar.
- 5.- Repetir el proceso de forma indefinida.

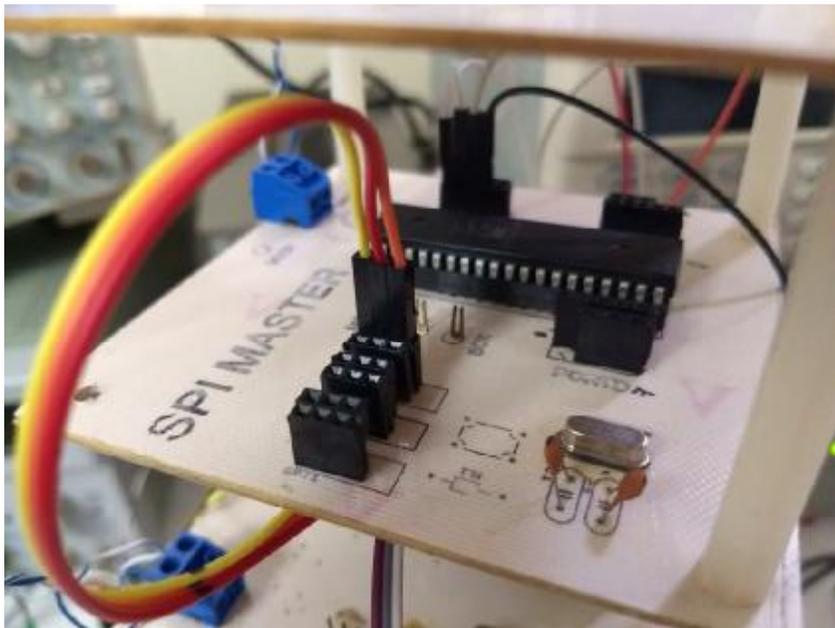
Una de las desventajas de utilizar múltiples esclavos radica en que solo puede seleccionarse un esclavo a la vez para realizar la comunicación, por lo tanto debe tenerse en cuenta que para que un Slave envíe información actualizada al Master debe esperar su turno, por lo tanto esto genera un inevitable atraso en el sistema.

## **4.2 EXPERIMENTACIÓN**

El prototipo a implementar en la experimentación se muestra en la Figura 4. 1 y consiste en una torre que contiene todos los dispositivos necesarios para darle funcionamiento al sistema generando las señales de control para los SMS, recabando los voltajes de cada SM, implementando el algoritmo de ordenamiento y a su vez implementando los cambios pertinentes en las señales de control. Los dispositivos utilizados en esta topología son del mismo modelo: ATmega1248P del fabricante ATMEL y cuentan con una velocidad máxima de 20 MHz, esta velocidad es utilizada en el desarrollo de todos y cada uno de los dispositivos independientemente de su función.

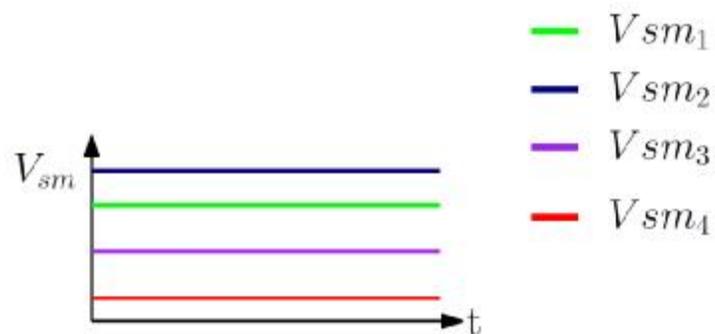


**Figura 4.1.** Prototipo de topología MCU-MCU. Cabe destacar que dispositivo superior es la UPC, el segundo dispositivo es el UCL y los demás son los slaves encargados de controlar cada SM del MMC.



**Figura 4.2.** Dispositivo UCL, la tablilla utilizada para este dispositivo es de diseño exclusivo con el fin de diferenciarla, dado que se requiere tener especial conocimiento de las terminales del mismo.

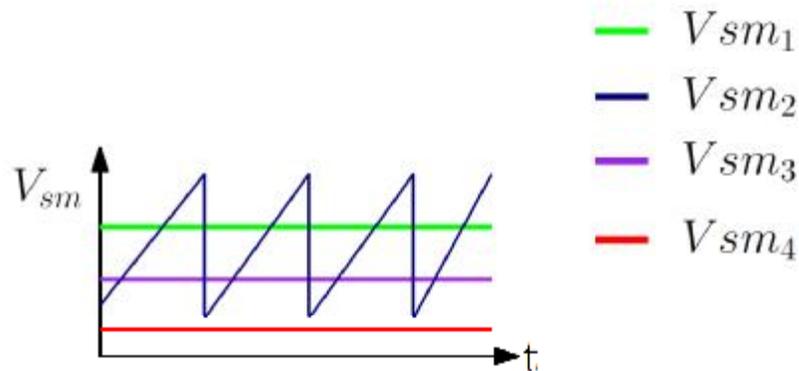
Las pruebas implementadas para comprobar el buen funcionamiento de la topología y el algoritmo son propuestas en las Figuras 4.3 y 4.4. La primer figura hace mención a las señales de entrada del primer experimento, se trata de cuatro señales de voltaje diferentes que al ser recopiladas por el sistema simplemente alteran el ancho de pulso de una señal que es asignada a cada dispositivo dependiendo del nivel de voltaje que se le ha asignado mediante el algoritmo de ordenamiento, siendo el dispositivo con un voltaje mayor en su entrada aquel que presenta en su salida un ancho de pulso más grande y así de manera descendente para los demás.



**Figura 4.3.** Gráficas de las señales requeridas para el experimento con voltajes constantes.

Este primer experimento tiene como objetivo el comprobar el ordenamiento de los voltajes recopilados por cada MCU en la salida de cada SM del MMC.

La Figura 4.4 incluye una modificación en el experimento anterior manteniendo tres voltajes estables y un voltaje variable con el fin de comprobar que se está realizando un correcto ordenamiento de los voltajes.



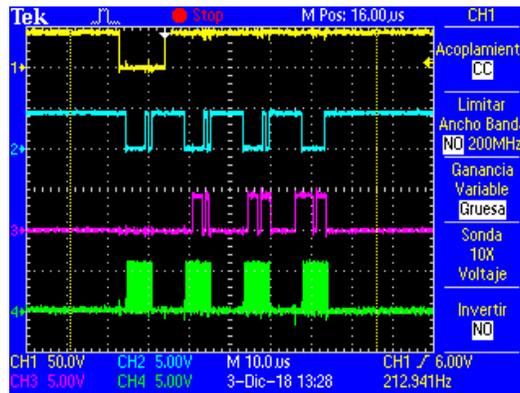
**Figura 4.4.** Señales requeridas para la experimentación con voltaje variable.

Es menester comprender que las pruebas antes mencionadas son necesarias para cada topología con el fin de comprobar su funcionamiento al compararlo con los resultados obtenidos en la simulación mostrada en el capítulo anterior, esta comprobación se realiza antes de implementar el algoritmo de ordenamiento así como la modulación staircase.

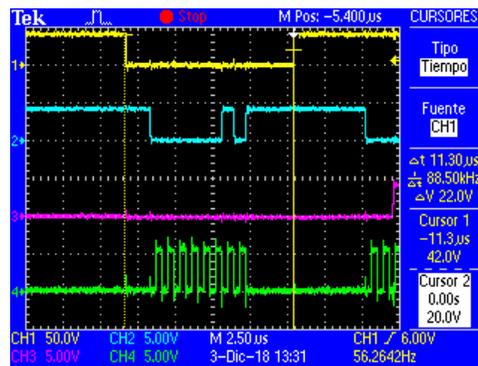
#### 4.2.1 Protocolo de comunicación de datos SPI

Para dar un buen funcionamiento al sistema es necesario implementar un protocolo de comunicación de datos entre los slaves y la UCL con el fin de centralizar la información en un dispositivo y poder implementar el algoritmo de ordenamiento de los voltajes de cada SM. En la Figura 4.5 se muestran las señales referentes a los datos enviados y recibidos por el protocolo SPI para cada dispositivo de control, la primer señal hace referencia a la selección individual para cada esclavo, esta selección se hace de manera secuencial y automática por lo tanto es indispensable comprender que habrá un retraso forzoso en el sistema debido a esta característica del protocolo SPI (Figura 4.6) [5]. La segunda señal que se observa es referente a la información enviada desde la UCL a cada uno de los dispositivos encontrados a la salida de los SM, esta señal de datos se traduce en el estado de inserción o no inserción para cada SM del MMC. La tercer señal es el flujo de datos que se

da desde los slaves hasta la UCL e indica el nivel de voltaje en la salida de los SMs. Por último, la señal inferior es una señal de sincronización para que los datos sean enviados de manera eficiente con el fin de asegurar un buen funcionamiento en la comunicación de datos.



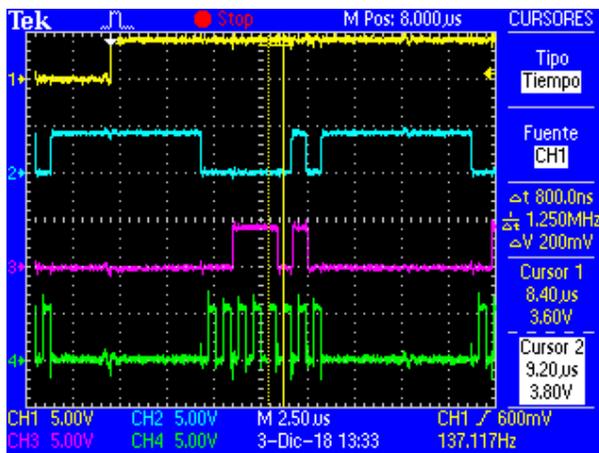
**Figura 4.5.** Señales del protocolo SPI, la primera señal se encuentra en la terminal SS, la segunda en la señal MOSI, la tercera en la terminal MISO y la última en la terminal SCK.



**Figura 4.6.** Acercamiento de las señales del protocolo SPI para un esclavo seleccionado, se debe precisar este retraso forzoso en el sistema para evaluar si es necesaria su implementación.

En el protocolo SPI es importante la sincronización de dispositivos con el fin de garantizar un flujo de información constante y eficiente en todo el sistema en la Figura 4.6 se observa que la velocidad de transmisión para cada dato es de 800 ns para cada dato, esta velocidad puede observarse directamente en la señal de sincronización. Es necesario tener en cuenta la velocidad de transmisión de datos y el número de datos a transmitir, así como el número de dispositivos involucrados en la transmisión de datos para comprender el

retraso que se genera en el sistema de manera obligatoria debido a la secuencialidad y orden de transmisión de la información entre la UCL y los slaves de cada SM.

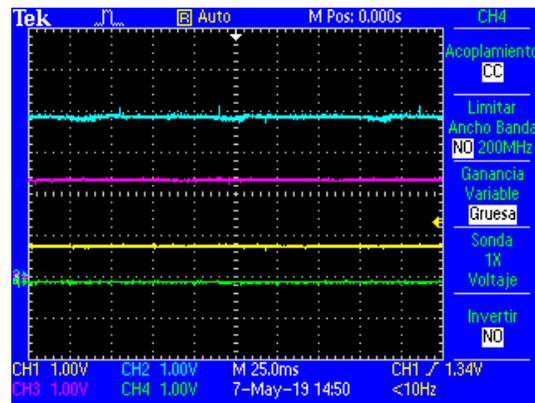


**Figura 4.7.** Velocidad de transmisión de datos en el protocolo SPI incluido en el ATmega 1284.

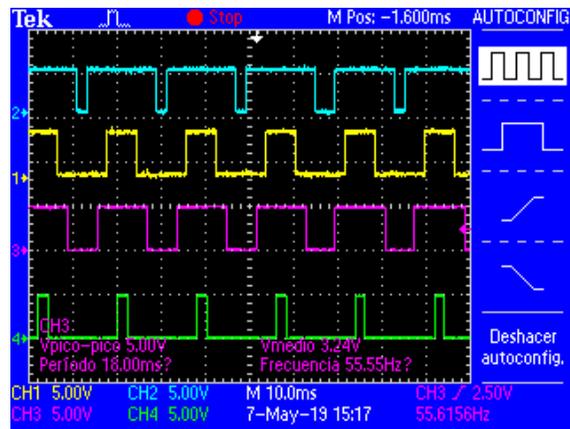
Cabe destacar que para sistemas de potencia que incluyen frecuencias de conmutación bajas la problemática del retraso que se presenta en el protocolo SPI puede llegar a ser despreciable siempre y cuando los dispositivos utilizados sobrepasen la frecuencia de conmutación requerida en los SMs del MMC por mucho.

#### 4.2.2 Algoritmo de ordenamiento y modulación stair-case con voltajes constantes

Como se mencionó en el capítulo anterior, el primer experimento consiste en aplicar la modulación staircase al sistema junto con el algoritmo de ordenamiento para comprobar que en realidad el sistema funciona de manera idónea al ordenar los datos al variar el ancho de pulso de la señal de control de cada SM. Cabe destacar que el SM que presenta un mayor voltaje en su salida tendrá para este experimento la señal con más ancho de pulso y así mismo de manera sucesiva hasta llegar al de menor voltaje, el cual tendrá el menor ancho de pulso en su señal de control. Todos los voltajes de este experimento son voltajes constantes (Figura 4.8) en un primer momento para comprobar la generación de señales en el sistema.

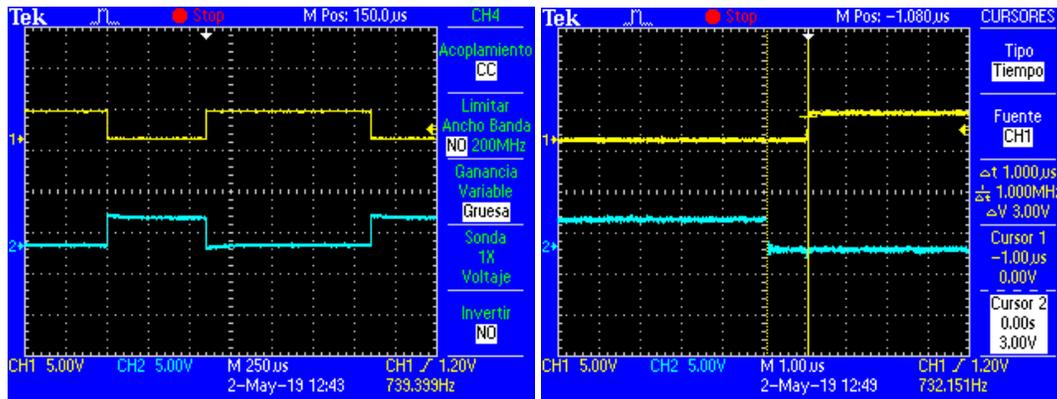


**Figura 4.8.** Señales de voltaje utilizadas en el experimento para comprobar el funcionamiento del sistema.



**Figura 4.9.** Señales de control obtenidas al aplicar el experimento. La primera señal hace referencia al control del SM2, la siguiente al SM1, SM3 y SM4 respectivamente.

Dada la composición de cada SM es necesario implementar 2 señales de control complementarias (Figura 4.10), una para cada interruptor; entre la transición de estados en ambas señales es necesario tener en cuenta un tiempo muerto para evitar cortos circuitos en el sistema debido a que estamos trabajando con dispositivos no ideales y tienen un tiempo entre el cambio de transiciones, si este dato no se toma a consideración es posible que se presenten fallas en el sistema.

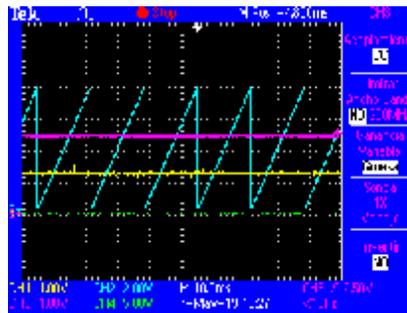


**Figura 4.10.** Señales complementarias de control en un submódulo, a la derecha puede apreciarse el tiempo muerto entre los cambios de estado.

Las señales generadas por el sistema indican que el algoritmo de ordenamiento funciona a la perfección al variar el ciclo de trabajo de todas las señales con respecto al voltaje detectado por cada MCU en la topología sometida a este experimento.

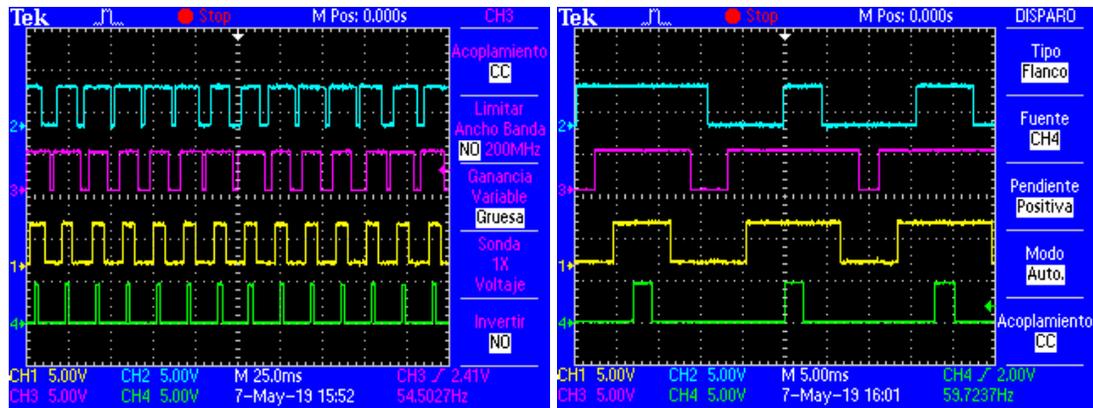
#### 4.2.3 Algoritmo de ordenamiento y modulación stair-case con voltaje variable

El segundo experimento consiste en mantener tres voltajes constantes y un voltaje variable, en este caso se implementa un voltaje variable en el SM2 con el fin de comprobar el funcionamiento del algoritmo al variar el ciclo de trabajo como en el experimento anteriormente mencionado (Figura 4.11).



**Figura 4.11.** Señales de voltaje del experimento a realizar, siguen el mismo orden de señales para todos y cada uno de los experimentos, es necesario mencionar que el voltaje en el SM4 se mantiene en nivel cero para tenerlo como referencia y comprobar el funcionamiento del sistema de forma más precisa.

Las señales de control generadas como resultado de este experimento pueden observarse en la Figura 4.12, donde se destaca el cambio en el ciclo de trabajo de todas las señales de manera simultánea, tal como se destacó anteriormente en este trabajo de investigación.



**Figura 4.12.** A la izquierda puede observarse una serie de transiciones en las señales de control de los SMs donde se destaca un cambio en el ciclo de trabajo dependiendo de su nivel de voltaje, en la parte de la derecha se realiza un acercamiento a estos cambios para destacar el aumento y decremento de los ciclos de trabajo de las señales de control.

#### 4.2.4 Algoritmo de ordenamiento e inserción de SM con modulación staircase y voltajes constantes

En este experimento se mantienen los voltajes constantes de la Figura 4.8 pero se implementa el algoritmo de inserción o desconexión de los SM indicados en la Tabla 3.1 y simulados en la Figura 4.13. Se mantienen los tiempos muertos y las señales complementarias para cada SM.

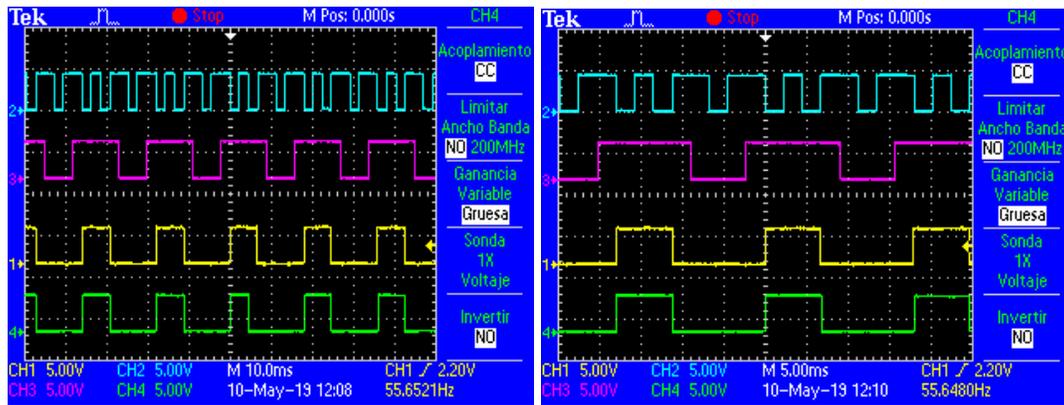


Figura 4.13. Señales de control generadas a raíz del experimento.

#### 4.2.5 Algoritmo de ordenamiento e inserción de SM con modulación stair-case y voltaje variable

En la Figura 4.14 se destacan las señales de voltaje a utilizar en este experimento, consiste en tres voltajes constantes y uno variable para comprobar el funcionamiento del algoritmo de ordenamiento y la inserción adecuada de los SMs del MMC. Si se realiza una comparativa con la simulación puede comprobarse que el comportamiento del sistema es adecuado conforme a los niveles de voltajes detectados por el sistema.

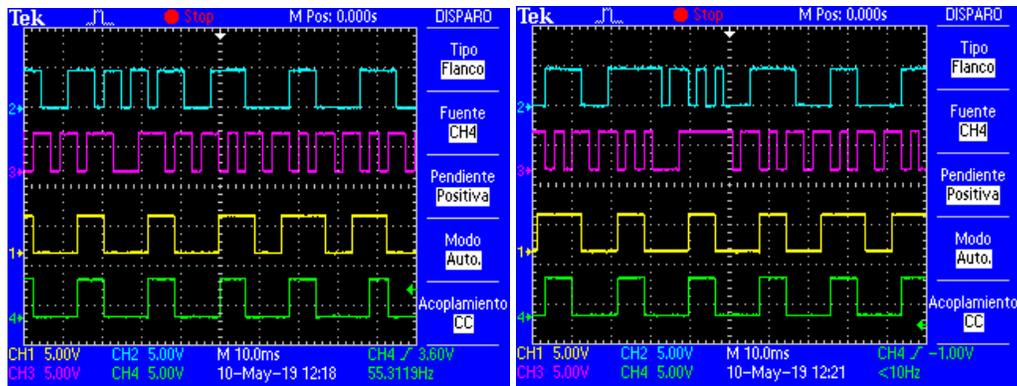
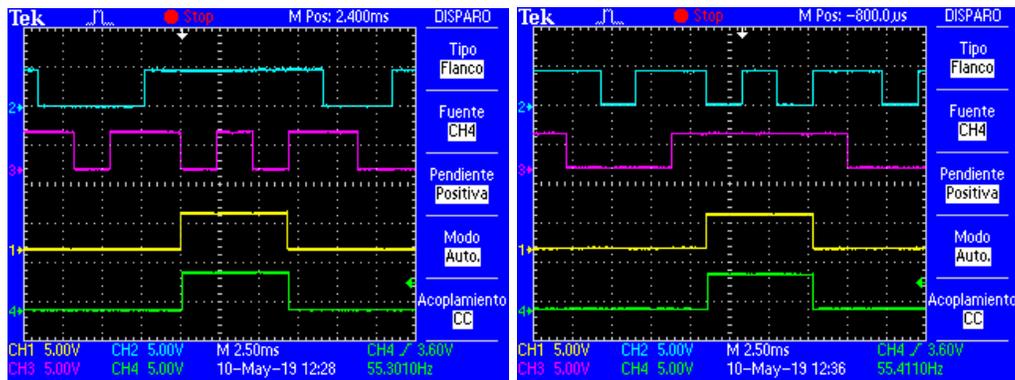


Figura 4.14. Señales generadas por el algoritmo de ordenamiento y la inserción y desconexión de voltajes en el sistema.

Realizando un acercamiento en la generación de señales (Figura 4.15) puede comprobarse que se rige bajo el mismo funcionamiento explicado en el Capítulo 3 y funciona exactamente como la simulación lo estipula anteriormente.



**Figura 4.35.** A la derecha puede observarse que la señal en color violeta es aquella que se encuentra con el mayor voltaje y a la izquierda puede observarse un cambio en el estado de las dos señales superiores, lo que deja en evidencia un cambio en el nivel del voltaje y por lo tanto un cambio en las señales de control.

### 4.3 CONCLUSIONES

Los experimentos realizados para la topología MCU-MCU destacan el buen funcionamiento del sistema tomando como punto de partida lo demostrado en la simulación del capítulo anterior. La topología MCU-MCU cuenta con diversas ventajas a destacar: la primera consiste en la simplicidad para implementar la programación adecuada para cada dispositivo dado que los microcontroladores ATMEL tienen un sinnúmero de aplicaciones en sistemas de adquisición de datos. Otra ventaja digna de mención es que el protocolo SPI permite la inclusión de un número considerable de dispositivos y la única limitante presente radica totalmente en el número de terminales de entrada y salida programables de la UCL, es menester considerar que mientras más dispositivos se encuentren en el sistema el atraso va en aumento y es necesario tenerlo en cuenta para realizar aplicaciones de esta topología. Una última ventaja a listar de esta topología es la robustez y precio accesible de todos los componentes a utilizar.

---

## Topología FPGA-solo

En el presente capítulo se somete a prueba la segunda topología a implementar en este trabajo de investigación, el funcionamiento del sistema recae totalmente en un dispositivo de control que realiza el procesamiento de datos y generación de señales de control para un MMC. Los experimentos implementados en esta topología siguen los mismos parámetros que los realizados en el capítulo anterior y se toma como referencia el comportamiento presentado en la simulación del sistema del Capítulo 3.

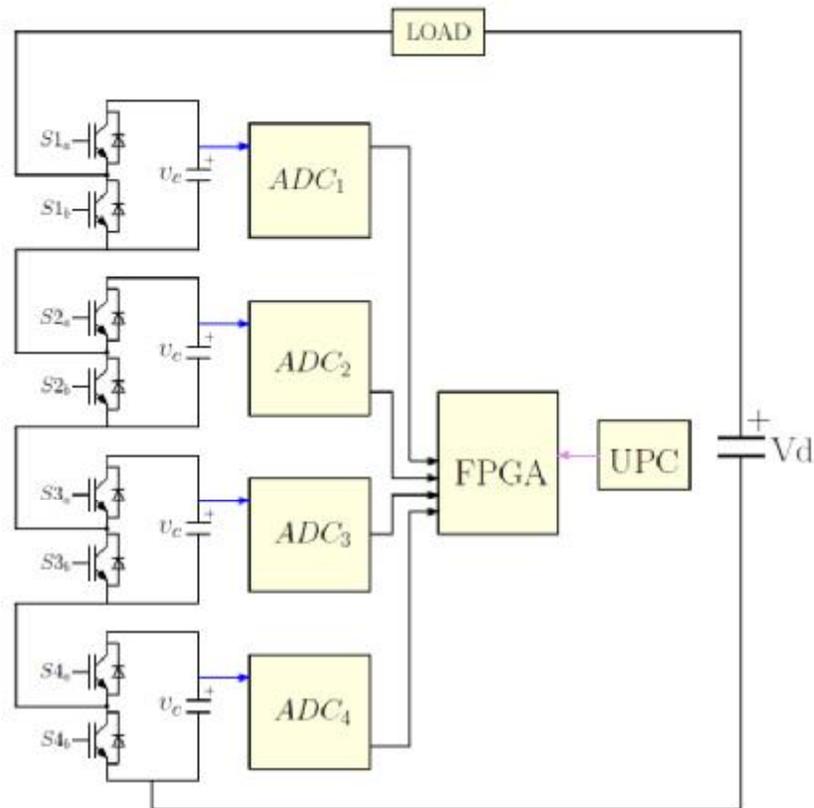
## **5.1 FUNCIONAMIENTO**

El análisis de la topología denominada FPGA-solo se lleva a cabo mediante el uso de un FPGA, éste se encarga de recibir y ordenar los voltajes obtenidos de un ADC debido a que el FPGA utilizado en esta topología no cuenta con los convertidores ubicados en su composición. A su vez el FPGA realiza la tarea de insertar o desconectar los SM del MMC, dejando todas las tareas complejas a un solo dispositivo de control.

La familia Spartan 3E de FPGAs del fabricante XILINX está específicamente diseñada para atender las necesidades de aplicaciones electrónicas con alta densidad de componentes y precios accesibles. Los cinco miembros de la familia ofrecen densidades de entre 100,000 a 1.6 millones de compuertas de sistema. La familia Spartan 3 es una alternativa superior en muchos aspectos dado que principalmente permiten las mejoras en el campo de trabajo sin necesidad de realizar el reemplazo de hardware [18].

El SPARTAN XC3S500E cuenta con un total de 232 entradas/salidas programables y con una frecuencia máxima de trabajo de 300 MHz (3.33 ns por orden) y muchas otras herramientas que favorecen el desarrollo de diversos proyectos. Como se mencionó anteriormente, este FPGA no cuenta con un módulo ADC incluido, sin embargo éste puede ser implementado mediante los MCUs de los experimentos anteriormente mencionados. El resto de la circuitería permanece como se mencionó en la descripción del sistema a utilizar [19].

El funcionamiento de esta topología es exactamente el mismo que la topología anterior, sin embargo en lugar de utilizar diferentes dispositivos para el envío de la información de los datos de los voltajes de cada SM, solo se requieren cuatro ADC conectados al FPGA para que todas las funciones del sistema recaigan en el SPARTAN XC3S500E (Figura 5.1).



**Figura 5.1.** Diagrama de la topología FPGA solo. Con fines ilustrativos no se incluye la línea que lleva la señal de control para cada interruptor, sin embargo se entiende que las señales de control provienen directamente del FPGA dado que todo está centralizado en ese dispositivo.

Las tareas realizadas por el sistema pueden resumirse de la siguiente manera:

a) Pasos a seguir por la UPC:

- 1.- Verificar estado de la corriente.
- 2.- Enviar al FPGA la cantidad de SM que deben insertarse en ese momento.
- 3.- Repetir el proceso de forma indefinida.

Pasos a seguir por el FPGA:

- 1.- Recibir la información referente a los voltajes proveniente de los ADCs dado que el FPGA no cuenta con una adquisición analógica de señales incluida en su composición.
- 2.- Ordenar los valores de voltaje adquiridos de manera descendente.
- 3.- Recibir el dato de la cantidad de SM que deben insertarse de la UPC.
- 4.- Generar las señales de control para los SM y realizar cambios en todas las señales de manera simultánea dependiendo del orden de los voltajes y las indicaciones del a UPC si es requerido.
- 5.- Repetir el proceso de forma indefinida.

## 5.2 EXPERIMENTACIÓN

A diferencia del capítulo anterior todos y cada uno de los experimentos se realizan tomando un solo dispositivo con la tarea de adquirir, almacenar, procesar los datos y generar las señales de control de cada SM del MMC, sin embargo es menester mencionar que las pruebas a realizar son las mismas que la topología MCU-MCU tanto en niveles de voltaje como en la estructura del experimento (Figura 5.2).

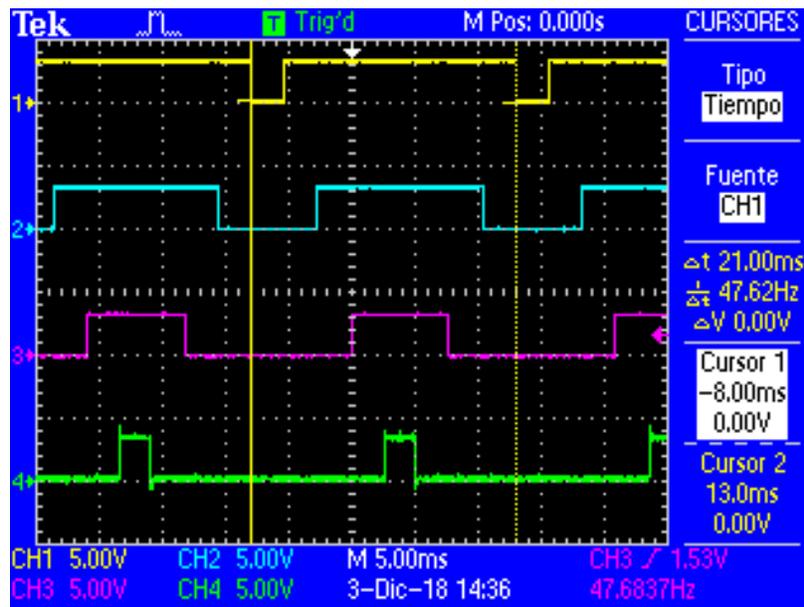


**Figura 5.2.** Dispositivo utilizado para implementar la topología FPGA-solo.

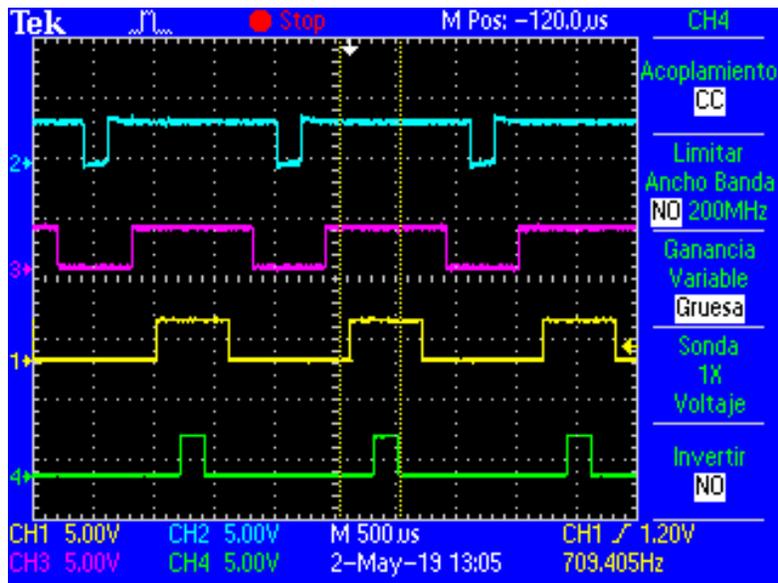
El FPGA utilizado en estos experimentos (Figura 5.2) carece de una composición para la adquisición de datos de manera análoga, por lo tanto es necesario incluir dispositivos externos para mencionar tal carencia en el sistema, sin embargo todas las operaciones necesarias se realizan en un solo lugar y esto facilita en gran manera la implementación de cualquier topología de control y reduce en gran manera el número de dispositivos en el sistema cubriendo posibles fallas y centralizando toda la información pertinente en un solo lugar.

### 5.2.1 Algoritmo de ordenamiento y modulación staircase con voltajes constantes en la topología FPGA-solo

El experimento presentado consiste en ingresar al sistema cuatro voltajes constantes (Figura 4.8) con el fin de comprobar que el algoritmo de ordenamiento está funcionando de manera adecuada al ampliar el ciclo de trabajo de una señal PWM dependiendo de su nivel de voltaje. El SM que tenga el mayor voltaje en su salida será el que tenga una señal de control con un mayor ciclo de trabajo y así respectivamente para cada SM del MMC (Figura 5.3).



**Figura 5.3.** Señales generadas por el FPGA al someterlo al experimento con voltajes constantes y algoritmo de ordenamiento.

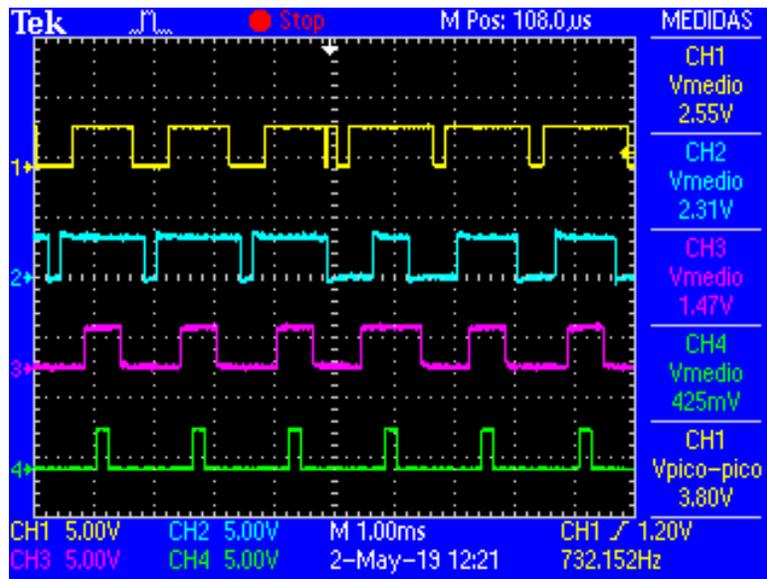


**Figura 5.4.** Acercamiento de las señales de control para el MMC.

Las señales obtenidas como resultado del experimento dejan en evidencia el buen funcionamiento del mismo dado que las señales están ordenadas dependiendo del nivel de voltaje asignado a cada SM del MMC y varían su ciclo de trabajo con respecto al voltaje sentido por el sistema.

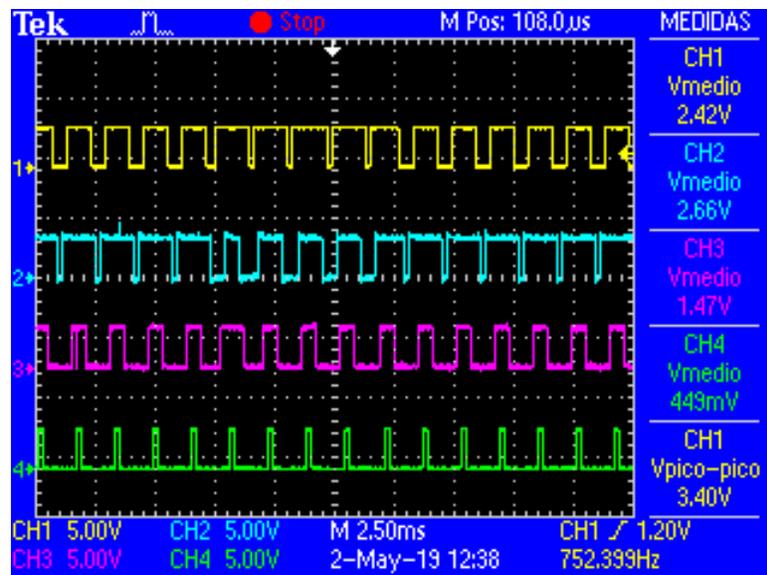
### 5.2.2 Algoritmo de ordenamiento y modulación staircase con voltaje variable en la topología FPGA-solo

Según lo mostrado en la Figura 4.11 el experimento consiste en tres niveles de voltaje constante y un voltaje variable, esto con el fin de corroborar el correcto ordenamiento de voltajes en el sistema y el cambio simultáneo en las señales de control para cada SM (Figura 5.5).



**Figura 5.5.** Señales de control generadas al implementar en el sistema tres voltajes constantes y uno variable.

Puede observarse en la Figura 5.6 el cambio en todas las señales de control del sistema dependiendo del nivel de voltaje detectado por el FPGA. El ancho de pulso de cada señal varía dependiendo directamente del nivel de voltaje detectado, esta variación en el ciclo de trabajo se realiza al mismo tiempo en todas las señales.

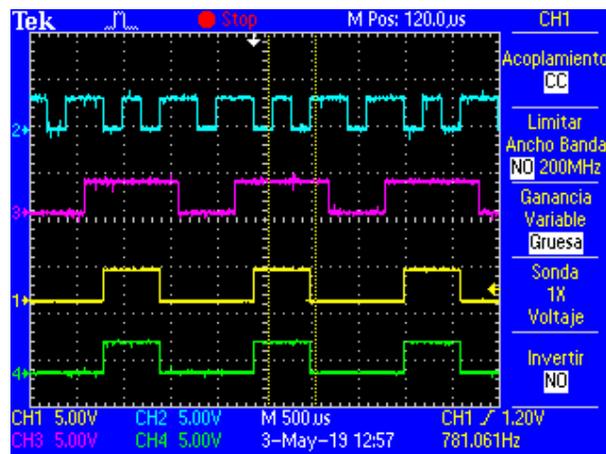


**Figura 5.6.** Cambios observados en las señales de control para el MMC.

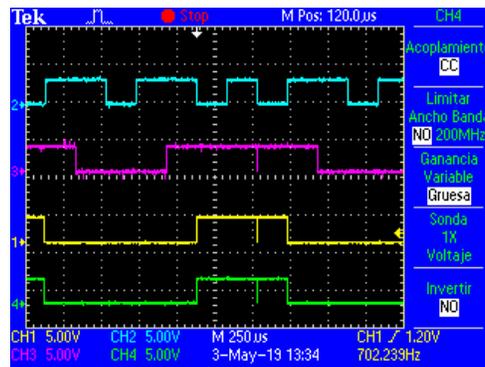
Cabe destacar que los cambios realizados en la generación de señales de control se llevan a cabo de manera simultánea para garantizar el buen funcionamiento del sistema una vez que se llegue a conectar a un MMC implementado físicamente. Los resultados obtenidos confirman el buen funcionamiento del algoritmo de ordenamiento y la generación de señales de control. Es necesario establecer que el sistema cuenta con una generación de señales complementarias para cada una de las señales de control generadas tomando como referencia el funcionamiento de la topología presentada en el Capítulo 4.

### 5.2.3 Algoritmo de ordenamiento e inserción de SM con modulación staircase y voltajes constantes en la topología FPGA-solo

El experimento se centra en la situación mostrada en la Figura 4.8 donde se incluyen cuatro voltajes constantes con el fin de implementar el algoritmo de inserción con el algoritmo de ordenamiento de voltajes para comprobar el funcionamiento del sistema tomando como referencia lo expuesto en las gráficas de simulación de la Figura 3.9.



**Figura 5.7.** Señales de control generadas por el sistema al implementar el algoritmo de ordenamiento de voltajes y la inserción de los SMs del MMC.

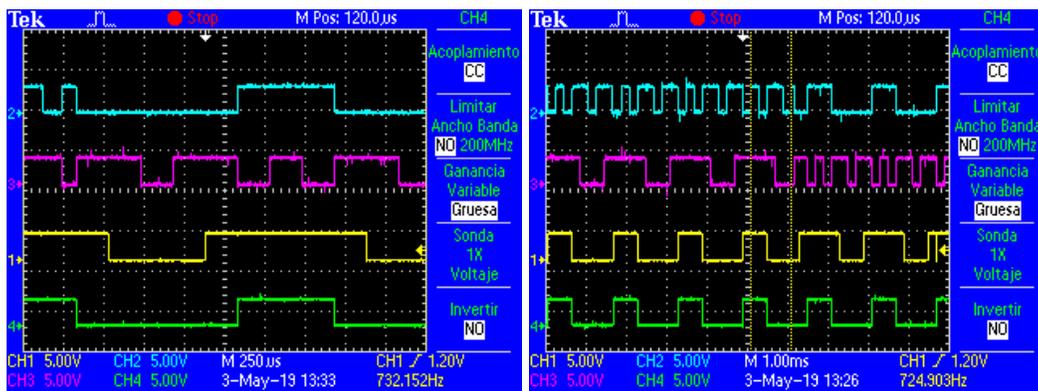


**Figura 5.8.** Acercamiento de las señales de control generadas por el sistema.

Las señales generadas corroboran lo expuesto en la simulación del Capítulo 3 y corresponden a los resultados del mismo experimento realizado con la topología MCU-MCU explicada en el Capítulo 4 de este trabajo de investigación. El buen funcionamiento del sistema indica que puede implementarse un algoritmo de ordenamiento en conjunto con la oportuna inserción de los SMs en un MMC que se modula por la estrategia staircase.

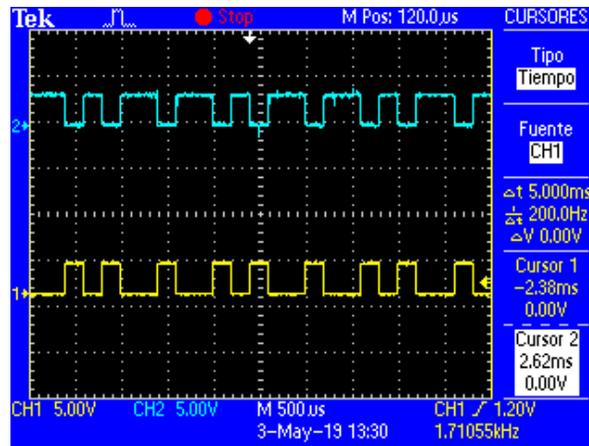
#### 5.2.4 Algoritmo de ordenamiento e inserción de SM con modulación staircase y voltaje variable en la topología FPGA-solo

Al incluir un voltaje variable en el sistema (Figura 4.11) junto con tres voltajes constantes puede implementarse el control para cada SM del MMC mediante el algoritmo de ordenamiento de voltajes y la inserción o desconexión de los SMs.



**Figura 5.9.** Señales de control para el MMC al implementar los algoritmos de inserción y ordenamiento de voltajes.

Cabe destacar que el cambio generado en las señales del FPGA en todos y cada uno de los experimentos se realiza de forma simultánea para todas las señales de control generadas por el sistema, a su vez el cambio se realiza en las señales complementarias y se incluye un tiempo muerto para evitar fallas por corto circuito en los SMs del MMC (Figura 5.10).



**Figura 5.10.** Señales de control para el MMC al implementar los algoritmos de inserción y ordenamiento de voltajes.

Tomando en cuenta los resultados de este experimento puede implementarse un correcto control de un MMC utilizando la estrategia de modulación staircase a la vez que se resuelve el problema del desbalanceo de los voltajes sin comprometer el funcionamiento adecuado del sistema, los cambios realizados en las señales de control para el MMC se realizan de manera simultánea en las señales mostradas en la Figura 5.44 y sus complementarias respectivamente, esto teniendo también en cuenta el tiempo muerto necesario para evitar fallas por corto circuito.

### **5.3 TOPOLOGÍA FPGA-MCU**

Para este análisis es necesario sustituir la UCL (Figura 3.15) utilizada en la topología MCU-MCU y en su lugar implementar el FPGA, la forma de comunicación de datos es exactamente igual, sin embargo cabe mencionar que el ATMEGA1284P configurado como Slave trabaja a una velocidad inferior a la que el FPGA es capaz de recopilar datos y comunicarlos, esto no es más que una limitante para el sistema, por lo tanto llevar a cabo el análisis limitará el funcionamiento del FPGA y solo mostrará los mismos resultados que la primer topología a llevarse a cabo; otro problema necesario de destacar se presenta al momento de intentar comunicar los datos entre un FPGA y un MCU debido a que debe implementarse el protocolo SPI de una forma totalmente distinta entre Master y Slave. Teniendo todo esto en cuenta se puede considerar innecesaria la implementación de esta topología para su análisis dado que no aporta resultados relevantes ni cambios en el funcionamiento del sistema.

### **5.4. CONCLUSIONES**

Es posible implementar un DAS con un FPGA para el control de un MMC, aplicando un algoritmo de ordenamiento junto con la selección de los SMs a insertar en un momento preciso para generar una señal de control que permita balancear los voltajes de un MMC, los experimentos siguen los mismos parámetros que la topología anterior y comprueban su funcionamiento con la simulación del sistema mostrada en el Capítulo 3. Una de las ventajas de utilizar la topología FPGA-solo radica totalmente en que todos los procesos del sistema recaen en un solo dispositivo y se reducen posibles problemáticas relacionadas a una falla en la comunicación de datos. Otro factor a tomar en cuenta es la gran cantidad de entradas y salidas digitales programables en el FPGA usado en la topología, esto permite generar un abundante número de señales de control y la velocidad del sistema como su composición interna favorecen el alcance de estas tareas.

# *Capítulo*

# 6

---

## Conclusiones y trabajos futuros

En el presente capítulo se exponen las conclusiones finales del presente trabajo de investigación y se mencionan las recomendaciones para trabajos futuros a desarrollar.

## 6.1. CONCLUSIONES GENERALES

El contenido del presente trabajo de investigación abordó las principales características y desventajas de los inversores de voltaje convencionales, así mismo una descripción de los MMC y las ventajas que presentan como alternativa y solución a las problemáticas encontradas con otras topologías de inversores y convertidores convencionales. Se citaron las problemáticas que los MMC presentan en su composición y se propuso una solución a ellas mediante diversas topologías de comunicación y control de datos.

Los MCUs y los FPGAs son dispositivos de control electrónico que cuentan con las características necesarias para implementar algoritmos de control y estrategias de modulación para un MMC. Por una parte los MCUs tienen la ventaja de contar con un DAS integrado que les permite obtener y convertir variables desde un sistema físico, además cuentan con un puerto de comunicación por el protocolo SPI integrado, que facilita la inclusión de diversos MCUs en el sistema, esto con el fin de cubrir la limitada cantidad de pines de entrada y salida programables que el MCU tiene en su composición. Los FPGAs cuentan con la ventaja de procesar una gran cantidad de datos de manera simultánea en un tiempo muy reducido y además tienen un número abundante de pines digitales de entrada y salida programables, lo que permite el control de grandes sistemas digitales.

Es posible implementar un algoritmo de ordenamiento de voltajes y el control de los SMs de un MMC mientras se realiza la modulación staircase, dando como resultado la solución a la problemática del desbalanceo de voltajes sin descuidar la generación de la señal de salida y permitiendo que haya cambios en las señales de control de los SMs sin comprometer la integridad del sistema.

Una simulación fue llevada en el entorno Simulink de Matlab y la generación de señales, así como la obtención de las gráficas se realizó por medio de código escrito. Los resultados obtenidos de esta simulación ofrecieron una visión del comportamiento del sistema al implementar el algoritmo de ordenamiento y la modulación staircase en el MMC.

Se realizaron 4 experimentos diferentes para cada una de las topologías dispuestas a ser estudiadas en este trabajo de investigación, el primer experimento consistió en comprobar el buen funcionamiento del algoritmo de ordenamiento de los voltajes al variar el ciclo de trabajo de cuatro señales de control para cada SM del MMC teniendo en cuenta que los cuatro voltajes se mantenían estables. El segundo experimento radicaba en variar uno de estos voltajes para comprobar el cambio del ciclo de trabajo simultáneo en todas las señales de control del sistema. El tercer experimento se basa totalmente en la utilización de cuatro señales de voltaje constante pero implementa la inserción y desconexión adecuada de los SMs del MMC junto con la modulación Stair-case y el algoritmo de ordenamiento. Tomando como referencia el tercer experimento se realiza la misma implementación de los algoritmos y la modulación stair-case pero uno de los voltajes se mantiene variable durante todo el procedimiento.

Los experimentos realizados para la topología MCU-MCU destacan el buen funcionamiento del sistema tomando como referencia lo obtenido en la simulación. Las ventajas de la implementación de esta topología radican totalmente en la fácil obtención y programación de los MCUs utilizados, a su vez es posible comunicar un sinnúmero de MCUs entre sí sin afectar el funcionamiento del sistema siempre y cuando se tome en cuenta que la frecuencia de comunicación de datos y el retraso del sistema presentado por la misma se mucho más rápida que la frecuencia de conmutación de los transistores y a su vez de la frecuencia de la señal de salida del MMC. Otra de las ventajas de los MCUs es que incluyen en su composición un convertidor análogo-digital que permite la obtención de señales de voltaje o corriente de un sistema, en este caso de la salida de voltaje de cada SM del MMC.

Al someter la topología FPGA-Solo a los experimentos anteriormente mencionados obtenemos que es posible implementar un FPGA para el control de un MMC, aplicando un algoritmo de ordenamiento junto con la selección de los SMs a insertar en un momento preciso para generar una señal de control que permita balancear los voltajes de un MMC. La ventaja de esta topología radica en que únicamente un dispositivo se encarga del ordenamiento y la inserción o desconexión de los SMs del convertidor aplicando la

modulación Staircase y descartando a su vez una posible problemática que podría presentarse al haber una falla en la comunicación de datos entre dispositivos electrónicos de control. La única desventaja de esta topología con respecto a la anterior se centra en que el FPGA utilizado en este trabajo de investigación no cuenta con un ADC en su composición interna, por lo tanto es necesario implementarlos para el funcionamiento de esta topología. Cabe destacar que los fabricantes de FPGAs están incursionando en la implementación de sistemas de adquisición de datos en sus tarjetas de control, sin embargo estos sistemas requieren de un acondicionamiento extra para las señales análogas obtenidas del sistema.

Una tercer topología fue propuesta al principio de este trabajo de investigación, sin embargo se descartó totalmente dado que complicaba la comunicación de datos entre un FPGA y un MCU y además los resultados serían los mismos que la topología MCU-MCU dada la conexión de los dispositivos.

Los resultados experimentales permitieron llegar a la conclusión de que es posible implementar diversas topologías de comunicación y control de datos para el MMC cubriendo el balanceo de voltajes del mismo y garantizando tanto el buen funcionamiento del sistema como la integridad de los dispositivos de control y la circuitería de potencia del MMC.

El implementar diversas topologías ofrece la capacidad de diversidad en las opciones a realizar para el control de un MMC, todo teniendo en cuenta las necesidades que el sistema precise para funcionar correctamente.

Un dato a tomar en cuenta es que la implementación de la topología MCU-MCU goza en gran manera de incluir un bajo costo en los MCUs, por otra parte el FPGA tiende a tener un costo más elevado en comparación al dispositivo mencionado anteriormente.

## 6.2. CONTRIBUCIONES

- Diseño e implementación de las tarjetas PCB de la topología MCU-MCU.
- Diseño del programador del ATmega 1284P y del ATmega 328.
- Diseño, implementación y pruebas de distintos sensores de voltaje y corriente.
- Colaboración en el desarrollo de pruebas de un MMC de cuatro SMs.
- Implementación de la topología FPGA-Solo.
- Simulación del sistema a implementar en Simulink y Matlab.

## 6.3. TRABAJOS FUTUROS

- Implementación de las topologías de comunicación y control de datos listadas en este trabajo en un MMC trifásico compuesto por un número abundante de MMCs.
- Implementación de dispositivos programables con características más potentes que permita aumentar la velocidad de funcionamiento del sistema en general.
- Incluir un mayor número de topologías de comunicación de datos y control para un MMC.
- Estandarizar cada topología con el fin de resaltar sus características y ofrecer opciones en el diseño de distintos MMCs.

#### 6.4. ACTIVIDADES REALIZADAS EN LA MAESTRÍA EN INGENIERÍA ELÉCTRICA

- Apoyo en el proyecto TecNM “Aplicaciones de las nuevas tecnologías de control y manejo de energías basadas en convertidores modulares multiniveles”, 2017.
- Apoyo en el proyecto TecNM “Implementación de convertidores de potencia para el control y manejo de una red inteligente a pequeña escala con fuentes renovables”, 2018.
- Participación en el 30 encuentro nacional de Investigación y Tecnológica del Golfo de México organizado por la Academia Tamaulipeca de Investigación Científica y Tecnológica A.C. el día 24 de mayo del 2018 con el proyecto “Estructura de Comunicación de Datos para el Control de un Convertidor Modular Multinivel”.

#### 6.4. PUBLICACIONES REALIZADAS

- **J. E. Pedraza-Barrón**, P. M. García-Vite, C. G. Torres-Orozco, M. del Rosario Rivera-Espinosa y A. Y. Alejandro-López, “Estructura de comunicación de datos para el control de un Convertidor Modular Multinivel”, *Transversalidad Científica Y Tecnológica Mex*, Ene 2018, pp. 168-174.
- Y. Alejandro-López, P. M. García-Vite, M. del Rosario Rivera-Espinosa, R. Castillo-Gutiérrez, R. Salas-Cabrera y **J. E. Pedraza-Barrón**, “Esquema de Regulación de Voltaje en los Submódulos de un Inversor Modular Multinivel”, *XIV Congreso Internacional sobre Innovación y Desarrollo Tecnológico CIINDET 2018*, Mar 2018.

- M. del Rosario Rivera-Espinosa, A. Y. Alejandro-López, **J. E. Pedraza-Barrón**, P. M. García-Vite, y H. R. Robles-Campos, “A high step-up DC-DC converter with MPPT for PV application”, 2017 IEEE *International Autumn Meeting on Power, Electronics and Computing (ROPEC)*, Nov 2017, pp. 1-6.

# Bibliografía

- [1] R. W. Erickson, "A New Family of Matrix Converters" *27th Annual Conference of the IEEE industrial electronics society*, 2002.
- [2] J. Aracil, *Introducción a Matlab y Simulink*, 2006.
- [3] M. J. Bosch, *Instrumentación Electrónica Avanzada, Instrumentación Inteligente*, Barcelona: Department d'Electrónica, Universitat de Barcelona, 2012.
- [4] D. Bhadra, *A low Power UART Desing Based on Asynchronus Techniques*, Utah: University of Utah, 2013.
- [5] J. Oberg, "Information Flow Isolation in I2C and USB," de *Design Automation Conference 48th ACM/EDA/IEEE*, 2011.
- [6] Hoja de datos del ATMEGA1284P [www.atmel.com](http://www.atmel.com).
- [7] F. Espinoza, *Los microcontroladores AVR de ATMEL*, Universidad Tecnológica de la Mixteca, 2012.
- [8] T. E. O. Pablo, *creación de un sistema de adquisición de datos para un prototipo de generación eléctrica limpia fotovoltaica*.
- [9] K. Paernell, *Programmable Logic Design Quick Start Handbook*, Xilinx.
- [10] M. N. C. E. Monmasson, "FPGA Design Methodology for Industrial Control Systems- A Review," *IEEE Trasactions of Industrial Electronics*, vol. 54, nº 4, 2007.
- [11] Z. Liu, "Improved Voltage Balancing Method Basen on MMC Nearest Level Modulation," de *36th Chinese Control Conference*, Dalian, China, 2017.

- [12] S. Debnath, "Operation, Control, and Applications of the Modular Multilevel Converter: A Review," *IEEE Transactions on Power Electronics*, vol. 30, n° 1, 2014.
- [13] j. guo, «Notice of Retraction the PWM Control of Modular Multilevel Converter,» *IEEE Power Engineering and Automation Conference*, vol. 2, n° 4, pp. 120-123, 2011.
- [14] K. Li, «Fault-Tolerant Control of MMC With Hot Reserved Submodules Based on Carrier Phase Shift Modulation,» *IEEE Transaction of Power Electronics*, vol. 32, n° 9, 2017.
- [15] S. Debnath, «Operation, Control, and Applications of the Modular Multilevel Converter: A Review,» *IEEE Transactions on Power Electronics*, vol. 30, n° 1, 2015.
- [16] H. Hang, «A New Realization of Time-to-Digital Converters Based on FPGA Internal Routing Resources,» *IEEE Transactions on Ultrasonics Ferroelectrics and Frequency Control*, 2013.
- [17] N. Janjamraj, «Review of Multilevel Converters/Inverters,» 2013.
- [18] L. J. Aguilar, *Fundamentos de Programación Algoritmos, Estructura de Datos y Objetos*, Mc Graw Hill, 2008.
- [19] Hoja de datos spartan XC3S500E <https://www.cs.uml.edu>
- [20] Hoja de datos de la familia Spartan-3E <https://www.xilinx.com>
- [21] A. Z. Hernandez, «Gating Signal Generator Design for MMC with Staircase Modulation,» de *IEEE International Autumn Meeting on Power Electronics and Computing (ROPEC 2016)*, Ixtapa, Mexico, 2016.
- [22] M. C. C. Fernández, *Manual Básico de MATLAB*, Servicios informáticos U.C.M.