



**EDUCACIÓN**  
SECRETARÍA DE EDUCACIÓN PÚBLICA



TECNOLÓGICO  
NACIONAL DE MÉXICO



**DEPARTAMENTO DE INGENIERÍA ELECTRÓNICA**

TÍTULO:

**DISEÑO Y SIMULACIÓN DE UN PSEUDO-RESISTOR  
DE PRECISIÓN EN CMOS DE 0.35 $\mu$ m.**

QUE PARA OBTENER EL TÍTULO DE:

**MAESTRO EN INGENIERÍA ELECTRÓNICA**

PARTICIPANTE:

**Ing. JACOB ELEAZAR MEZA AGUILAR**

DIRECTOR DE TESIS:

**DR. JESÚS EZEQUIEL MOLINAR SOLÍS**

CODIRECTOR DE TESIS:

**DR. RAMÓN CHÁVEZ BRACAMONTES**



**2022** *Ricardo*  
*Flores*  
*Año de* **Magón**  
PRECURSOR DE LA REVOLUCIÓN MEXICANA

Cd. Guzmán Jalisco, México, agosto de 2022.



EDUCACIÓN



TECNOLÓGICO NACIONAL DE MÉXICO

Instituto Tecnológico de Ciudad Guzmán  
DIVISIÓN DE ESTUDIOS DE POSGRADO E INVESTIGACIÓN

Ciudad Guzmán, Jalisco, **08/agosto/2022**  
Asunto: Autorización de impresión de Tesis

**ING. JACOB ELEAZAR MEZA AGUILAR**  
**CANDIDATO AL GRADO DE MAESTRO EN INGENIERÍA ELECTRÓNICA**  
**PRESENTE**

De acuerdo con los Lineamientos para la Operación de los Estudios de Posgrado en el Tecnológico Nacional de México y las disposiciones en este Instituto, habiendo cumplido con todas las indicaciones que la Comisión Revisora realizó con respecto a su Trabajo de Tesis titulado "**Diseño y simulación de un pseudo-resistor de precisión en CMOS de 0.35  $\mu$ m**", la División de Estudios de Posgrado e Investigación de este Instituto, concede la Autorización para que proceda a la impresión del mismo.

Sin otro particular, quedo de Usted.

**ATENTAMENTE**

*Excelencia en Educación Tecnológica®*

*"2022. AÑO DEL CINCUENTA ANIVERSARIO DEL INSTITUTO TECNOLÓGICO DE CIUDAD GUZMÁN"*



**MARÍA GUADALUPE SÁNCHEZ CERVANTES**  
**JEFA DE LA DIVISIÓN DE ESTUDIOS DE**  
**POSGRADO E INVESTIGACIÓN**



ccp. Archivo

MGSC/megg



<https://cdguzman.tecnm.mx/sgcicg/>

Av. Tecnológico #100 C.P. 49100 Ciudad Guzmán, Jal. Tel. (341) 5752050  
tecnm.mx | cdguzman.tecnm.mx



**2022** *Ricardo Flores*  
*Año de Magón*

## **AGRADECIMIENTOS.**

Este proyecto está dedicado a mi familia por el gran apoyo y amor que me brindan, en especial a mis padres por ser un ejemplo de honestidad, rectitud, constancia y dedicación al trabajo, además me impulsaron a seguir superarme cada día más para ser mejor persona y profesionista.

A mis hermanos por ser una fuente de inspiración y motivación, dándome palabras de aliento para seguir luchando por mis ideales, aunque hemos pasado momentos difíciles estos últimos años debemos seguir adelante con alegrías y tristezas.

A mi novia que me apoya a seguir adelante superándome en mi carrera profesional, por darme amor, cariño, comprensión y creer en mi capacidad para superar este reto que iniciamos.

A mi asesor, maestros y compañeros quienes sin esperar nada a cambio compartieron su conocimiento, experiencia, ayuda y amistad para lograr que este sueño se hiciera realidad.

Al Consejo Nacional de Ciencia y Tecnología (Conacyt) por apoyarme con la beca, así como al Instituto Tecnológico de Ciudad Guzmán por brindarme la formación académica y sus instalaciones para concluir este grado de estudio satisfactoriamente.

Gracias a todos.

*Ing. Jacob Eleazar Meza Aguilar.*

## **TABLA DE CONTENIDO.**

AGRADECIMIENTOS.	iii
TABLA DE FIGURAS.	vii
RELACIÓN DE TABLAS.	x
INTRODUCCIÓN	1
RESUME	2
CAPÍTULO I	3
1 INTRODUCCIÓN Y MARCO TEÓRICO	3
<b>1.1. TÍTULO</b>	4
<b>1.2. OBJETIVOS</b>	4
<b>1.2.1. OBJETIVO GENERAL.</b>	4
<b>1.2.2. OBJETIVOS ESPECÍFICOS.</b>	4
<b>1.3. JUSTIFICACIÓN</b>	4
<b>1.4. PLANTEAMIENTO DEL PROBLEMA</b>	6
<b>1.5. MARCO TEÓRICO</b>	6
<b>1.5.1 ESTRUCTURA DEL MOSFET.</b>	6
<b>1.5.2 REGIONES DE OPERACIÓN DE UN MOSFET.</b>	10
<b>1.5.3 DESCRIPCIÓN DEL EFECTO DE CUERPO.</b>	13
<b>1.5.4 DEFINICIÓN DE PSEUDO-RESISTENCIA.</b>	15
<b>1.6. HIPÓTESIS Y/O PREGUNTAS DE INVESTIGACIÓN</b>	16
CAPÍTULO 2	17
2 ESTADO DEL ARTE	17
<b>2.1 ANTECEDENTES</b>	18
<b>2.1.1 PSEUDO-RESISTENCIA CONTROLADA POR VOLTAJE.</b>	18

2.1.2	<b>PSEUDO-RESISTENCIA AJUSTABLE SIMÉTRICA.</b>	18
2.1.3	<b>PSEUDO-RESISTENCIA DE <math>V_{GS}</math> FIJO.</b>	19
2.1.4	<b>PSEUDO-RESISTENCIA CON SEGUIDOR DE NODO CON PAR DIFERENCIAL.</b>	21
2.1.5	<b>PSEUDO-RESISTENCIA FLOTANTE DE ALTO VALOR.</b>	22
2.1.6	<b>PSEUDO-RESISTENCIA AJUSTABLE CONTROLADA POR VOLTAJE.</b>	23
2.2	<b>DISTORSIÓN ARMÓNICA TOTAL Y RANGO DINÁMICO</b>	24
2.2.1	<b>DISTORSIÓN ARMÓNICA TOTAL.</b>	25
2.2.2	<b>RANGO DINÁMICO.</b>	25
CAPÍTULO 3		26
3	<b>DESARROLLO DEL PROYECTO</b>	26
3.1	<b>SIMULACIONES DE LAS DIFERENTES TOPOLOGÍAS DE PSEUDO-RESISTORES DE ALTO VALOR EXISTENTES.</b>	27
3.1.1	<b>PSEUDO-RESISTENCIA CON FUENTE DE VOLTAJE IDEAL.</b>	28
3.1.2	<b>PSEUDO-RESISTENCIA AJUSTABLE SIMÉTRICA CON ESPEJO DE CORRIENTE.</b>	30
3.1.3	<b>PSEUDO-RESISTENCIA CON <math>V_{GS}</math> FIJO.</b>	33
3.1.4	<b>PSEUDO-RESISTENCIA CON SEGUIDOR DE NODO CON PAR DIFERENCIAL.</b>	35
3.2	<b>PSEUDO-RESISTENCIA PROPUESTA.</b>	37
3.2.1	<b>PSEUDO-RESISTENCIA PROPUESTA (A).</b>	41
3.2.2	<b>PSEUDO-RESISTENCIA PROPUESTA (B).</b>	44
CAPÍTULO 4		49
4	<b>RESULTADOS DEL PROYECTO</b>	49
4.1	<b>RESULTADOS OBTENIDOS DE SUMILACIONES.</b>	50
4.2	<b>RESULTADOS DE LA DISTORSIÓN ARMÓNICA.</b>	50
4.3	<b>RESULTADOS DE LINEALIDAD.</b>	51

<b>4.4 RESULTADOS DE RESISTENCIA.</b>	52
CAPÍTULO 5	54
5 CONCLUSIONES	54
<b>5.1 CONCLUSIONES</b>	55
<b>5.2 RECOMENDACIONES</b>	55
<b>5.3 TRABAJOS FUTUROS</b>	56
CAPÍTULO 6	57
6 ANEXOS	57
<b>6.1 TABLAS DE CONSULTA</b>	58
<b>6.2 TECNOLOGÍA 0.35<math>\mu</math>m UTILIZADA</b>	59
<b>6.3 MEDICIÓN DE THD DE LA PROPUESTA A</b>	61
<b>6.4 MEDICIÓN DE THD DE LA PROPUESTA B</b>	63
<b>6.5 MOVILIDAD ESTUDIANTIL</b>	65
<b>6.6 ARTÍCULO PUBLICADO</b>	66
<b>6.7 REPORTE DE DETECCIÓN DE PLAGIO</b>	67
CAPÍTULO 7	68
7 BIBLIOGRAFÍA	68

# TABLA DE FIGURAS.

## Capítulo 1

Figura 1.1.	Estructura MOS.....	7
Figura 1.2.	Estructura MOSFET canal N.....	8
Figura 1.3.	MOSFET tipo N.....	8
Figura 1.4.	MOSFET tipo P.....	9
Figura 1.5.	Mosfet polarizado .....	9
Figura 1.6.	Región de corte.....	11
Figura 1.7.	Región de subumbral en escala logarítmica.....	11
Figura 1.8.	Región óhmica.....	12
Figura 1.9.	Región de saturación.....	13
Figura 1.10.	Dispositivo N-MOS con voltaje de sustrato negativo.....	13
Figura 1.11.	Variación de la carga en región de agotamiento con voltaje de sustrato.....	13

## Capítulo 2

Figura 2.1.	Pseudo-resistencia con fuente de voltaje.....	18
Figura 2.2.	Pseudo-resistencia ajustable simétrica, con los PMOS conectados en sus terminales bulk – drain.....	19
Figura 2.3.	Pseudo-resistencia de $V_{GS}$ fijo.....	20
Figura 2.4.	Pseudo-resistencia con seguidor de nodo con par diferencial... ..	22
Figura 2.5.	Pseudo-resistencia flotante de alto valor.....	23
Figura 2.6.	Pseudo-resistencia ajustable controlada por voltaje.....	24

## Capítulo 3

Figura 3.1.	Pseudo-resistencia de Tajalli con espejo de corriente.....	27
Figura 3.2.	Pseudo-resistencia con fuente de voltaje ideal .....	29

Figura 3.3.	Gráfica de corriente de fuente de voltaje ideal .....	29
Figura 3.4.	Gráfica de distorsión armónica de fuente de voltaje ideal.....	30
Figura 3.5.	Pseudo-resistencia ajustable simétrica con seguidor de voltaje	31
Figura 3.6.	Gráfica de corriente simétrica con seguidor de voltaje .....	32
Figura 3.7.	Gráfica de distorsión armónica del seguidor de voltaje .....	33
Figura 3.8.	Pseudo-resistencia con $V_{GS}$ fijo .....	33
Figura 3.9.	Gráfica de corriente con $V_{GS}$ fijo .....	34
Figura 3.10.	Gráfica de distorsión armónica con $V_{GS}$ fijo .....	35
Figura 3.11.	Pseudo-resistencia con seguidor de nodo con par diferencial ...	35
Figura 3.12.	Gráfica de corriente del seguidor de nodo con par diferencial ...	36
Figura 3.13.	Gráfica de distorsión armónica del seguidor de nodo con par diferencial .....	37
Figura 3.14.	Diferentes pseudo-resistencias ajustables a través del voltaje VSG. a) Tajalli et al. b) Kassiri et al. c) Pseudo-resistencia propuesta .....	39
Figura 3.15.	Seguidor y desplazador de nivel (level shifter) para ajuste de los $V_{SG}$ .....	39
Figura 3.16.	Grafica de Seguidor y desplazador de nivel para ajuste de los $V_{SG}$ .....	40
Figura 3.17.	Simulaciones eléctricas de la mitad del circuito del pseudo- resistor. a) Diagramas eléctricos con el bulk conectado al source/drain. b) Gráficas simuladas para el barrido $V_a$ , $I_D$ y resistencia dinámica.....	41
Figura 3.18.	Pseudo-resistencia propuesta (A) .....	42
Figura 3.19.	Gráfica de corriente de propuesta (A) .....	42
Figura 3.20.	Gráfica de distorsión armónica de la propuesta (A) .....	43
Figura 3.21.	Gráfica de entrada contra salida del seguidor de voltaje de la propuesta (A) .....	44
Figura 3.22.	Gráfica de corriente de propuesta (A) simétrica.....	44
Figura 3.23.	Pseudo-resistencia propuesta (B) .....	45



Figura 3.24. Gráfica de corriente de propuesta (B) .....	46
Figura 3.25. Gráfica de distorsión armónica de la propuesta (B) .....	47
Figura 3.26. Gráfica de entrada contra salida del seguidor de voltaje de la propuesta (B) .....	47
Figura 3.27. Gráfica de corriente de propuesta (B) simétrica.....	48

## Capítulo 4

Figura 4.1. Gráfica de comparación de corriente contra la resistencia de las propuestas A y B .....	50
Figura 4.2. Gráfica de comparación de corriente contra la resistencia de las propuestas A y B .....	53

## Anexos

Figura A.1. Gráfica de $I_d(M1)$ en AC de la propuesta A .....	62
Figura A.2. Gráfica de $I_d(M1)$ en AC de la propuesta B .....	64

## RELACIÓN DE TABLAS.

### Capítulo 3

Tabla 1.1.	Comparación de dimensiones de los CMOS .....	28
Tabla 1.2.	Resistencias y distorsiones armónicas de la fuente de voltaje ideal .....	30
Tabla 1.3.	Equivalencias de Fuente de corriente I1 para obtener los Voltajes $V_{GS}$ .....	31
Tabla 1.4.	Resistencias y distorsiones armónicas simétrica con seguidor de voltaje .....	32
Tabla 1.5.	Resistencias y distorsiones armónicas con VGS fijo. ....	34
Tabla 1.6.	Resistencias y distorsiones armónicas del seguidor de nodo con par diferencial .....	37
Tabla 1.7.	Resistencias y distorsiones armónicas de la propuesta (A) .....	43
Tabla 1.8.	Resistencias y distorsiones armónicas de la propuesta (B) .....	46

### Capítulo 4

Tabla 1.9.	Comparación de resistencias contra distorsiones armónicas...	51
Tabla 1.10.	Comparación de rango dinámico .....	52
Tabla 1.11.	Comparación de resistencias de las 2 propuestas .....	52

### Anexos

Tabla A.1.	Parámetros Médicos y Fisiológicos .....	58
Tabla A.2.	Comparación de características de las Pseudo-resistencias.....	59

# INTRODUCCIÓN

En este trabajo, un pseudo-resistor ajustable fue diseñado usando tecnología CMOS de 0.35  $\mu\text{m}$ . Se ha observado que la implementación de señales biomédicas tiene un gran campo de aplicación, uno de estos, es en las señales neuronales donde el rango de frecuencia va desde los 0.05Hz a 10kHz. Para poder trabajar en estos rangos de frecuencias tan pequeños se necesita crear filtros de micropotencia óptimos con resistencias de alto valor. Estas no pueden ser pasivas debido al gran espacio que consumen dentro del circuito integrado, por lo que en la literatura se proponen pseudo-resistencias (PR) basadas en la tecnología CMOS. Estos dispositivos se integran a amplificadores y equipos más complejos para realizar estudios como los Electroencefalogramas (EEG), los Electrocardiogramas (ECG), los Electrogastrogramas (EGG) y las Electromiografías (EMG), así como también se utilizan en equipos de audio analógico, [1]. La propuesta de este trabajo es utilizar desplazadores de nivel libres de efecto de cuerpo que están conectados a las terminales de compuerta (gate) de ambos transistores PMOS. Los cuales se encuentran configurados en serie con el fin de hacer una resistencia de alto valor y que presente una baja Distorsión Armónica Total (THD). La pseudo-resistencia se polariza en la región de subumbral para garantizar que siempre uno de los dos PMOS tenga una alta resistencia en un rango dinámico de -0.2V a 0.2V. Con esto mejoramos la linealidad de las propuestas anteriores. Se simularon dos circuitos la propuesta A y la propuesta B. La primera tiene un mejor rango dinámico de 0.4V, mejor linealidad y un rango de resistencia de 33G $\Omega$  a 86k $\Omega$ . La segunda tiene mejor rango de resistencia que va desde los 130G $\Omega$  a 180k $\Omega$ , pero su rango dinámico es de 0.3V, el cual, es menor a la anterior y con menor linealidad, por lo que recomendamos utilizar la propuesta A ya que entrega mejores prestaciones.

Palabras claves: CMOS, pseudo resistor, diseño de circuito.

## RESUME

In this work, a tunable pseudo-resistor was designed using 0.35  $\mu\text{m}$  CMOS technology. It has been observed that the implementation of biomedical signals has a wide field of application, one of these is in neural signals where the frequency range goes from 0.05Hz to 10kHz. To be able to work in such small frequency ranges it is necessary to create optimal micropower filters with high value resistors. These cannot be passive due to the large space they consume inside the integrated circuit, so pseudo-resistors (PR) based on CMOS technology are proposed in the literature. These devices are integrated into amplifiers and more complex equipment to carry out studies such as Electroencephalograms (EEG), Electrocardiograms (ECG), Electrogastrograms (EGG) and Electromyography (EMG), as well as being used in analog audio equipment, [1]. The proposal of this work is to use free body effect level shifters that are connected to the gate terminals of both PMOS transistors. Which are configured in series to make a high value resistance and present a low Total Harmonic Distortion (THD). The pseudo-resistor is biased in the subthreshold region to ensure that one of the two PMOS always has a high resistance over a dynamic range of -0.2V to 0.2V. With this we improve the linearity of the previous proposals. Two circuits were simulated, proposal A and proposal B. The first one has a better dynamic range of 0.4V, better linearity and a resistance range of 33G $\Omega$  to 86k $\Omega$ . The second has a better resistance range that goes from 130G $\Omega$  to 180k $\Omega$ , but its dynamic range is 0.3V, which is less than the previous one and with less linearity, so we recommend using proposal A since it provides better performance.

Keywords: CMOS, pseudo resistor, circuit design.

## 1 INTRODUCCIÓN Y MARCO TEÓRICO

1.1 Título.

1.2 Objetivos.

1.2.1 Objetivo General.

1.2.2 Objetivos Específicos.

1.3 Justificación.

1.4 Planteamiento del Problema.

1.5 Marco Teórico.

1.5.1 Estructura del MOSFET.

1.5.2 Regiones de Operación de un MOSFET.

1.5.3 Definición de Efecto de Cuerpo.

1.5.4 Definición de Pseudo-Resistencia.

1.6 Hipótesis y/o Preguntas de Investigación.

## **1.1. TÍTULO**

DISEÑO Y SIMULACIÓN DE UN PSEUDO-RESISTOR DE PRECISIÓN EN CMOS DE 0.35 $\mu$ m.

## **1.2. OBJETIVOS**

### **1.2.1. OBJETIVO GENERAL.**

Desarrollar un diseño original de un pseudo-resistor CMOS ajustable, controlado por voltaje y con una linealidad mejorada.

### **1.2.2. OBJETIVOS ESPECÍFICOS.**

1. Estudiar las propuestas de los pseudo-resistores CMOS ajustables controlados por voltaje que actualmente están siendo empleados.
2. Simular las diferentes topologías de pseudo-resistores de alto valor existentes.
3. Diseñar y desarrollar las simulaciones del modelo propuesto.
4. Comparar el pseudo-resistor propuesto por esta investigación contra los existentes en la literatura.

## **1.3. JUSTIFICACIÓN**

Los circuitos de señal mixta contienen en un solo circuito integrado, la combinación de circuitos digitales y circuitos analógicos. Estos circuitos integrados en sus inicios se utilizaban principalmente para la alimentación electrónica, convertidores analógicos-digital, módems y búfer digitales. En la actualidad el uso de circuitos de señal mixta en nuestra vida diaria es muy común, debido a que integran equipos que van desde un teléfono celular, un motor, hasta equipo médico de resonancia magnética, [2]. Aunque los circuitos digitales se consideran una parte dominante del

mundo tecnológico actual, algunos de los componentes más fundamentales de un sistema de señal mixta son en realidad de naturaleza analógica, [3].

Los filtros juegan un importante rol en la electrónica actual, tanto en áreas de comunicaciones, procesamiento de imágenes y control automático. Estos se pueden clasificar en filtros analógicos, digitales y de capacitor conmutado (híbrido, el cual contiene elementos análogos y digitales), [4]. Un filtro es un dispositivo de dos puertos capaz de transmitir una banda de frecuencias limitada. Estos pueden ser pasivos o activos. Los primeros, están contruidos en base a resistencias, bobinas y condensadores, mientras los activos están conformados por resistencias, condensadores y amplificadores operacionales, además tienen las características de tamaño reducido, elevada característica de aislamiento y proveer ganancia si se requiere, entre otras. De acuerdo con el criterio de selección de frecuencia de paso o de rechazo, existen cuatro tipos de filtros: Filtro pasa baja, Filtro pasa alta, Filtro pasa banda y Filtro de rechaza banda. El filtro pasa baja se utilizan para señales de biomedicina donde el rango de frecuencia va desde los 0.05Hz a 10kHz, [1]. Para poder trabajar en estos rangos de frecuencias tan pequeños se necesita crear un filtro de micropotencia óptimo con resistencias de alto valor. Estas no pueden ser pasivas debido al gran espacio que consumen dentro del circuito integrado, por lo que en la literatura se propone una pseudo-resistencias (PR) basadas en la tecnología CMOS.

Las pseudo-resistencias se compone principalmente de transistores PMOS conectados en serie que operan en la región de subumbral, en cooperación con un circuito ajustable. Este diseño ayuda a superar las variaciones de proceso de fabricación, logrando características simétricas de voltaje-resistencia, [3].

Es por este motivo que esta investigación propone diseñar una pseudo-resistencia variable en tecnología CMOS con valores cercanos a los  $G\Omega$  que cuente con las características de ser controlada por voltaje, tener baja distorsión armónica y por lo tanto mejor linealidad.

## **1.4. PLANTEAMIENTO DEL PROBLEMA**

La tecnología CMOS implementada como una resistencia activa a menudo opera en la región de subumbral. En algunas aplicaciones los sistemas de interfaz biomédicas y de audio analógico, requieren una resistencia muy grande para crear polos de baja frecuencia que filtren el ruido fuera de banda, [5]. Sin embargo, implementar valores de resistencia tan altos no es rentable, ya sea en componentes pasivos comerciales fuera del chip o en dispositivos integrados dentro del chip, debido a que consumen demasiada área dentro de este. Recientemente se ha demostrado una solución que implementa una resistencia de gran valor, por medio de un arreglo de transistores CMOS nombrado pseudo-resistencia. Aunque este tipo de implementación alcanza los valores de resistencia deseados, está sujeta a cambios de voltaje de entrada y, en consecuencia, hace que la resistencia caiga severamente debido al efecto de cuerpo, [5].

## **1.5. MARCO TEÓRICO**

Los circuitos integrados analógicos (IC's) modernos, a gran escala se componen esencialmente de transistores metal óxido semiconductor (MOS). A medida que la tecnología se reduce a dimensiones por debajo de la micra y el voltaje disminuye para reducir el consumo de energía, da como resultado circuitos analógicos más complejos que dependen aún más del comportamiento exacto de cada transistor.

### **1.5.1 ESTRUCTURA DEL MOSFET.**

La estructura de un MOS está definida por dos terminales y tres capas: Un sustrato de silicio, puro o poco dopado  $p$  o  $n$ , sobre el cual se genera una capa de óxido de silicio ( $\text{SiO}_2$ ) con características dieléctricas o aislantes, lo que presenta una alta impedancia de entrada, [6]. Se coloca una capa de metal (Aluminio o Polisilicio) sobre esta capa, con características conductoras. En la parte inferior se coloca un contacto óhmico unido eléctricamente a la capsula, como se muestra en la Figura 1.1. La compuerta (G) y cuerpo (B) actúan como un condensador de placas paralelas y el óxido es el aislante. Cuando el voltaje  $V_{GB}=0$ , el semiconductor está



en estado de equilibrio, es decir la carga acumulada es cero y la distribución de portadores es aleatoria, [6].

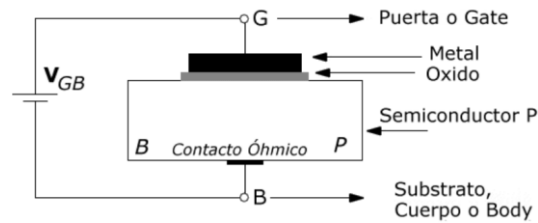


Figura 1. 1. Estructura MOS.

“Por otro lado, cuando  $V_{GB} > 0$ , se induce un campo eléctrico entre los terminales de compuerta y sustrato. La región del semiconductor  $p$  crea una región de empobrecimiento de cargas libres  $p^+$  (zona de agotamiento), de la misma forma que sucede en una región  $P$  de la unión  $PN$  cuando se polariza negativamente. Esta región de iones negativos aumenta con el voltaje  $V_{GB}$ . Cuando los iones negativos presentes en la zona semiconductor de empobrecimiento arriban la región del voltaje  $V_{GB}$ , no pueden compensar el campo eléctrico y se provoca una acumulación de cargas negativas libres ( $e^-$ ) atraídos por la terminal positiva. Esto se conoce como un cambio en la estructura de inversión débil a inversión fuerte”, [7]. El cambio de polaridad del sustrato se define como proceso de inversión. Se forma un canal de  $e^-$  libres en las cercanías de la terminal de compuerta (gate) en inversión fuerte y los huecos  $p^+$  se colocan en el extremo de la compuerta. La corriente de compuerta es  $I_G = 0$ , ya que, en corriente continua se comporta como un condensador ( $GB$ ). Lo que resulta prácticamente una impedancia infinita entre las terminales compuerta y sustrato, además  $I_G = 0$ , [6]. En la estructura de un MOS de cuatro terminales, el sustrato semiconductor es de tipo  $p$  poco dopado. En la interfase óxido-semiconductor se han colocado difusiones de material  $n$  fuertemente dopado ( $n^+$ ) en ambos lados. Existe una capa de óxido ( $SiO_2$ ) que impide el paso de corriente través de él bajo el terminal de compuerta (gate) y se controla por medio de tensión.

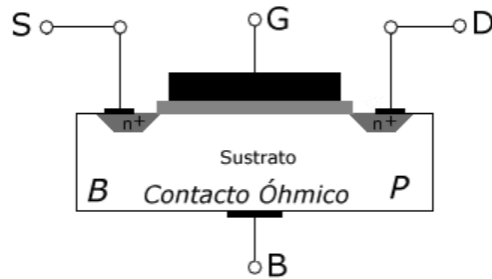


Figura 1. 2. Estructura MOSFET canal N.

En el MOSFET tipo *N*, cuando se aplica una tensión positiva al terminal de compuerta (gate), se crea un campo eléctrico bajo la capa de óxido que incide perpendicularmente en la superficie del semiconductor *P* y atrae a los electrones bajo la capa de óxido, por el contrario, repele los huecos hacia el sustrato. A medida que el campo eléctrico se intensifica crear en la superficie una región enriquecida de electrones, denominada canal *N*, por esta cruza la corriente de la fuente (source) al drenador (drain). Al aumentar la tensión de compuerta (gate) mayor será el campo eléctrico y por lo tanto más grande será el canal. La corriente atravesará el canal creado en cuanto una tensión positiva se aplique entre el drenador (drain y la fuente (source). Si la tensión de compuerta es nula no existe canal, el transistor se denomina de acumulación, [6].

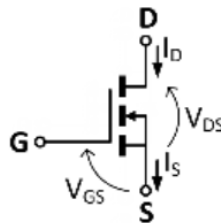


Figura 1. 3. MOSFET tipo N.

El MOSFET tipo *P*, funciona a la inversa, debido a que los portadores son huecos (cargas de valor positivas, el módulo de la carga del electrón). En este caso para exista conducción se crea un campo eléctrico bajo la capa de óxido que incide perpendicularmente en la superficie que atrae a los huecos bajo la capa de óxido, por el contrario, repele los electrones hacia el sustrato, esto crea un canal *P* porque la región se enriquece de huecos. A medida que aumenta la tensión negativa en la compuerta mayor será la corriente que atraviese el canal de la terminal drenador

(drain) a la fuente (source), con una tensión negativa. Si la tensión de compuerta es nula no existe canal, el transistor se denomina de vaciamiento, [6].

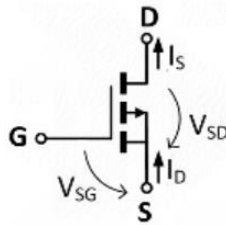


Figura 1. 4. MOSFET tipo P.

Cuando la tensión de compuerta produce el canal, a ese voltaje se le conoce como tensión umbral,  $V_{TH}$ . La terminal de sustrato sirve para controlar la tensión umbral del transistor, y normalmente su tensión es la misma que la terminal de la fuente (source). El transistor MOSFET es simétrico, es decir, las terminales de fuente (source) y drenador (drain) son intercambiables entre sí. En la Figura 1.5, el transistor MOS está configurado con 2 fuentes de tensión que polarizan las distintas terminales:  $V_{GS}$ ,  $V_{DS}$ . Las terminales de sustrato (bulk) y fuente (source) se conectan a  $GND$ , En este caso, el voltaje  $V_{SB}=0$  (tensión fuente-sustrato=0), por lo tanto, se dice que no existe efecto cuerpo, [6].

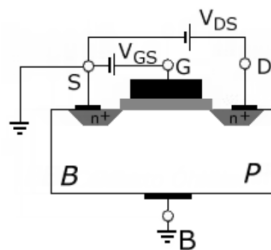


Figura 1. 5. Mosfet polarizado.

Dependiendo el valor que tome la tensión  $V_{GS}$ , se pueden considerar tres casos:

1) Cuando  $V_{GS}=0$ , dado que las terminales fuente (source) y cuerpo (bulk) están al mismo potencial  $V_{SB}=0$  de acuerdo con la Figura 1.5, bajo estas condiciones no existe el efecto de campo y no se crea el canal bajo la compuerta. Las estructuras  $PN$  se encuentran desconectados (la terminal cuerpo ( $B$ ) va al potencial negativo) y aisladas. La corriente  $I_{DS}=0$  es casi cero porque se alimenta de las de las corrientes inversas de saturación.

2) Cuando  $V_{GS} > 0$ , se crea una carga eléctrica negativa  $e^-$  en el canal (una zona de empobrecimiento o agotamiento), debido a que los iones negativos de la red cristalina (similar al de una unión  $PN$  polarizada en la región inversa), generando una inversión débil anteriormente mencionada. Al aplicar de un campo eléctrico lateral en  $V_{DS} > 0$ , no se genera una corriente eléctrica  $I_{DS}$ .

3) Cuando  $V_{GS} \gg 0$ , se crea una inversión del canal y genera una población de electrones libres bajo del óxido de la compuerta (gate) y huecos en el fondo del sustrato. Se forma el CANAL  $N$  o canal de electrones, entre el drenador (drain) y la fuente (tipo  $n^+$ ), esto modifica las características eléctricas del sustrato. Los electrones de cargas libres se aceleran hacia el drenador (drain) o fuente (source) si un campo eléctrico lateral se coloca. Se determina como VOLTAJE UMBRAL  $V_{TH}$  (también se denomina  $V_T$ ) al valor mínimo de  $V_{GS}$  que hace que de electrones sea suficiente para crear la corriente  $I_{DS}$ , [6].

Existen dos zonas de operación para valores de  $V_{GS}$  positivos:

– Si  $V_{GS} < V_{TH}$  la intensidad  $I_{DS} = 0$  (en realidad sólo es aproximadamente cero), se dice que el transistor opera en inversión débil y las corrientes son muy pequeñas, este tipo de polarización se utiliza para el consumo de potencia muy bajos.

– Si  $V_{GS} \geq V_{TH}$ , entonces  $I_{DS} \neq 0$  es distinto de cero, siempre y cuando exista un voltaje  $V_{DS}$ . Se dice que el transistor opera en inversión fuerte. Si el valor de  $V_{GS}$  aumenta también aumenta la concentración de electrones libres en el canal, por lo que la corriente  $I_{DS}$  será mayor, [6].

### 1.5.2 REGIONES DE OPERACIÓN DE UN MOSFET.

Existen diferentes regiones de operación en un transistor MOS, estas dependen de los valores de tensión en sus terminales, pero como en esta investigación nos enfocamos en el consumo de baja potencia solo tomaremos en cuenta 4 que son: región de corte, región de subumbral, región óhmica (o triodo) y región de saturación, [7].

**La región de corte** es cuando el transistor tiene un  $V_{GS} < V_{TH}$ . En estas condiciones el transistor equivale a un circuito abierto, por lo tanto, no abra conducción entre sus

terminales drenador (drain) – fuente (source), el dispositivo se encuentra apagado, [6].

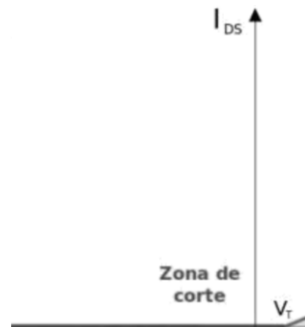


Figura 1. 6. Región de corte.

**La región de subumbral** es cuando la polarización de la compuerta respecto al substrato está por debajo del voltaje de umbral, [8]. Cuando se grafica la corriente  $I_D$  en escala logarítmica para los diferentes valores de tensión de la compuerta se aprecia un cambio en el  $V_{GS}$  por década de  $I_D$ , como se muestra en la Figura 1.7. En estas condiciones la superficie del semiconductor se encuentra en agotamiento o en inversión débil. La corriente de derivación es pequeña en el transistor y la corriente de drenador es dominada por difusión. Estas consideraciones hacen que la corriente a través del substrato deba tenerse en cuenta en los modelos, [8].

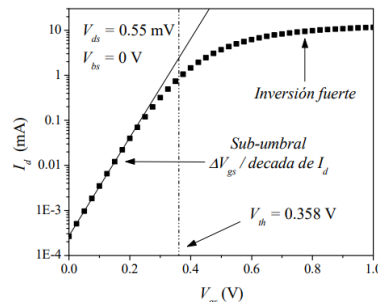


Figura 1. 7. Región de subumbral en escala logarítmica.

**La región óhmica** se presenta cuando el canal ya está creado y  $V_{DS}$  va aumentando, el canal se contrae en el lado del drenador(drain), debido a que la diferencia de potencial compuerta-canal es la más baja en este punto y la zona de transición más ancha. Es decir, siempre que exista canal estaremos en región óhmica y el dispositivo presentará baja resistencia, [6].

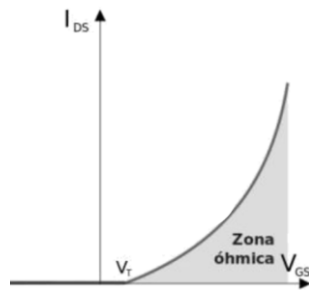


Figura 1. 8. Región óhmica.

El valor de  $R_{DS(on)}$  viene dado por la expresión:

$$V_{DS(on)} = I_{D(on)} \times R_{DS(on)} \quad (1.1)$$

Donde el valor de  $R_{DS(on)}$  se asocia a una corriente de drenador ( $I_D$ ) específica y al voltaje compuerta (gate) – fuente (source). También cuando se cumple con la condición de  $V_{GS} > V_{TH}$  y  $V_{DS} < (V_{GS} - V_{TH})$ , el MOSFET equivale a una resistencia variable conectada entre el Drenador (drain) y la fuente (source). El valor de esta resistencia variable depende del valor de la tensión  $V_{GS}$ , [6] [7].

**La región de saturación** es cuando el transistor MOSFET entra a su zona de funcionamiento y el voltaje ( $V_{DS}$ ) supera un valor fijo conocido como voltaje de saturación ( $V_{ds\ sat}$ ). El MOSFET mantiene constante su corriente de drenador ( $I_D$ ), independientemente del valor de voltaje que exista entre el drenador y el surtidor ( $V_{DS}$ ). Si el transistor MOS cumple con las condiciones  $V_{GS} > V_{TH}$  y  $V_{DS} > (V_{GS} - V_{TH})$ , se dice que se comporta como a una fuente de corriente continua de valor  $I_D$ , [6] [7].

“Además, si el voltaje entre drenador (drain) y fuente (source) supera cierto límite, el canal de conducción bajo la compuerta sufre un estrangulamiento en las proximidades del drenador (drain) y desaparece. Pero la corriente entre las terminales fuente (source) y drenador (drain) no se interrumpe, es debido al campo eléctrico entre ambas, pero es independiente del diferencial de potencial entre ambas”, [7]. Esto ocurre cuando:  $V_{DS} \geq V_{GS} - V_{TH} \rightarrow$  Región de saturación.

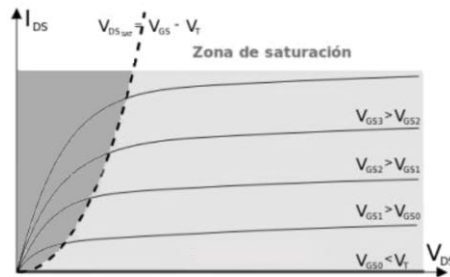


Figura 1. 9. Región de saturación.

### 1.5.3 DESCRIPCIÓN DEL EFECTO DE CUERPO.

Para el estudio del efecto de cuerpo se considera que comúnmente las terminales de fuente y sustrato están conectadas a tierra. Sin embargo, esta condición no está presente en todos los circuitos. ¿Qué sucede si el voltaje del sustrato cae por debajo del voltaje de la fuente? Figura 1.9. Debido a que las uniones de fuente y drenador con el sustrato permanecen polarizadas inversamente, se considera que el dispositivo continúa operando apropiadamente, pero ciertas características pueden cambiar, [7][9].

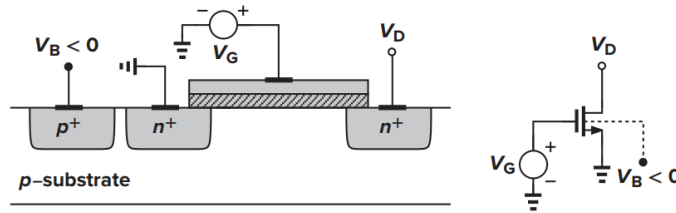


Figura 1. 10. Dispositivo N-MOS con voltaje de sustrato negativo.

Para entender el efecto considere,  $V_{DS}=0$ , y  $V_{GS}$  es algo menor que el  $V_{TH}$ , entonces una región de agotamiento es creada bajo la compuerta, pero no existe una capa de inversión, [7].

Debido a que el voltaje de sustrato  $V_{sub}$  o  $V_B$  se hace más negativo, más huecos son atraídos a la conexión del sustrato, dejando una gran carga negativa como se muestra en la Figura 1.10, la región de agotamiento se hace más amplia, [9].

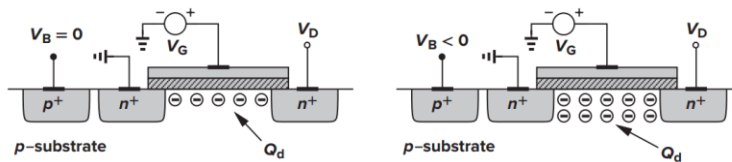


Figura 1. 11. Variación de la carga en región de agotamiento con voltaje de sustrato.

De la ecuación,

$$V_{th} = \phi_{MS} + 2 * \phi_F + \frac{Q_{dep}}{C_{ox}} \quad (1.2)$$

Donde  $\phi_{MS}$  es la diferencia entre el trabajo de la compuerta de silicio y el silicio del substrato,  $\phi_F = \left(\frac{kT}{q}\right) \ln\left(\frac{N_{sub}}{n_i}\right)$ ,  $q$  es la carga del electrón,  $N_{sub}$  es la concentración del dopado del substrato,  $Q_{dep}$  es la carga en la región de agotamiento, y  $C_{ox}$  es la capacitancia del oxido por unidad de área. Esto es, el voltaje de umbral es una función de la carga total en la región de agotamiento porque la carga de la compuerta debe copiar  $Q_D$  antes de que una capa de inversión sea formada. Así, como  $V_{sub}$  o  $V_B$  cae y  $Q_D$  se incrementa,  $V_{th}$  también se incrementa. A esto se le conoce como el “efecto cuerpo”, [9].

Se puede probar que con el efecto cuerpo:

$$V_{th} = V_{th0} + \gamma \left( \sqrt{|2 * \phi_F + V_{SB}|} - \sqrt{|2 * \phi_F|} \right) \quad (1.3)$$

Donde  $V_{th0}$  es dado por ecuación (2.21),  $\gamma = \sqrt{(2 * q * \epsilon_{si} * N_{sub})/C_{ox}}$  denota el coeficiente del efecto cuerpo, y  $V_{SB}$  es la diferencia de potencial fuente-substrato. El valor típico de  $\gamma$  está en el rango de 0.3 a 0.4  $V^{1/2}$ , [9].

Para el diseño de circuitos analógicos de alto rendimiento requiere un modelo muy detallado del transistor, que describa con precisión sus comportamientos estáticos, dinámicos, sus limitaciones de ruido, su adaptación y sus variaciones de temperatura. El modelo de transistor MOS EKV (Enz-Krummenacher-Vittoz) para el diseño de circuitos integrados se ha desarrollado para proporcionar una comprensión clara de las propiedades del dispositivo, sin el uso de ecuaciones complicadas, [10]. Todos los modelos estáticos, dinámicos, de ruido, no cuasi estáticos se describen completamente en términos de la carga de inversión en la fuente (source) y en el drenador (drain) aprovechando la simetría del dispositivo. Gracias a su estructura jerárquica, el modelo ofrece varios niveles de descripción



coherentes, desde ecuaciones básicas de cálculo manual, hasta un modelo completo de simulación por computadora. También es compacto, con un número mínimo de parámetros de dispositivo dependientes del proceso, [10].

Para cubrir la necesidad de científicos y médicos, se han diseñado amplificadores de micropotencia con pseudo-resistores MOS, capaces de funcionar con bioseñales de rango que van desde los milihercios a los kilohercios mientras rechazan grandes desplazamientos de corriente continua (CC) generados en la interfaz electrodo-tejido. Además, con la llegada de las matrices de electrodos múltiples completamente implantables se ha incrementado la demanda de amplificadores completamente integrados, [11].

#### 1.5.4 DEFINICIÓN DE PSEUDO-RESISTENCIA.

El termino de pseudo-resistencia fue introducido por T. Delbruck como un "elemento adaptativo", usado en un circuito fotorreceptor con entrada de rango dinámico. Tal elemento adaptativo es un dispositivo similar a una resistencia, con sus transistores polarizados en una región de subumbral. Tiene una relación I-V monótona y actúa como un par de diodos, en paralelo, con polaridad opuesta. Como las terminales compuertas del transistor no están polarizadas con voltajes fijos, la resistencia efectiva es enorme para señales pequeñas y pequeña para señales grandes, [12]. Por otra parte, Nagulapalli describe la pseudo-resistencia como: un transistor MOS polarizado en la región de subumbral que actúa como una resistencia de alto valor, [13]. A partir del modelo EKV [10], la resistencia de señal pequeña (a  $V_{ds}$  muy bajos) se puede derivar de la siguiente manera.

$$R_{Pse@vds=0} = \frac{dV_{ds}}{dI_d} = \frac{U_T}{I_{d0}} \quad (1.4)$$

Donde  $U_T$  es el voltaje termodinámico e  $I_{d0}$  es la corriente residual del canal dado por:

$$I_{D0} = 2n\mu_n C_{ox} \frac{W}{L} U_T^2 e^{\frac{V_{T0}}{nU_T}} \quad (1.5)$$

Donde  $n$  es la pendiente de subumbral y  $C_{ox}$  es el límite de la unidad de óxido. A partir de la fórmula 1.2, la pseudo-resistencia tiene una función fuerte en las

esquinas de proceso, voltaje y temperatura (PVT), [11]. Harrison propuso el uso de una pseudo-resistencia MOS-Bipolar en la tecnología CMOS convencional. Este enfoque da como resultado un valor muy alto mientras ocupa un área muy pequeña, pero tiene un rango de voltaje operativo limitado. Cuando el voltaje a través de la pseudo-resistencia cambia debido a la variación de PVT, su valor de resistencia cae a valores muy bajos, por lo tanto, la frecuencia de corte aumentará y la señal en banda experimentará atenuación. El principal problema con esta implementación es que el  $V_{GS}$  del transistor varía con la señal, por lo tanto, la resistencia varía y, lo que es más importante, la distorsión aumenta porque la ganancia del sistema cambia con la amplitud de entrada, [13].

## **1.6. HIPÓTESIS Y/O PREGUNTAS DE INVESTIGACIÓN**

La implementación de desplazadores de nivel sin efecto de cuerpo produce un  $V_{GS}$  totalmente independiente de la entrada, con lo que resulta una resistencia fija y una mejor linealidad.

### 2 ESTADO DEL ARTE

#### 2.1 Antecedentes.

2.1.1 Pseudo-Resistencia Controlada por Voltaje.

2.1.2 Pseudo-Resistencia Ajustable Simétrica.

2.1.3 Pseudo-Resistencia de  $V_{GS}$  Fijo.

2.1.4 Pseudo-Resistencia con Seguidor de Nodo con Par Diferencial.

2.1.5 Pseudo-Resistencia Flotante de Alto Valor.

2.1.6 Pseudo-Resistencia Ajustable Controlada por Voltaje.

#### 2.2 Distorsión Armónica Total y Rango Dinámico.

2.2.1 Distorsión Armónica Total.

2.2.2 Rango Dinámico.

## 2.1 ANTECEDENTES

En este capítulo se analizan algunas de las configuraciones de pseudo-resistencias, haciendo referencia a los trabajos relevantes existentes en la literatura.

### 2.1.1 PSEUDO-RESISTENCIA CONTROLADA POR VOLTAJE.

El estudio presenta una pseudo-resistencia ajustable controlada por voltaje, que se compone principalmente de elementos PMOS conectados en serie que operan en la región de subumbral acoplado a un circuito autoajuste, [3]. La entrada del circuito de autoajuste está conectada a la posición central de los transistores PMOS ( $V_{GS}$ ), con el propósito de mantener su valor constante, para que la pseudo-resistencia sea capaz de superar las variaciones del proceso de fabricación y la derivación del voltaje de modo común. Logrando características simétricas de voltaje-resistencia, mientras mantiene una resistencia constante bajo un voltaje de entrada alto. El circuito de transistores PMOS puede producir un efecto de cuerpo con diferentes voltajes en la terminal de cuerpo (bulk). Cuando se mantiene el voltaje  $V_{GS}$  constante la corriente del transistor produce un efecto de compensación, de modo que independientemente de  $V_a > V_b$  ó  $V_a < V_b$ , se mantiene una alta resistencia.

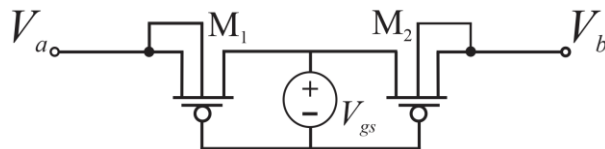


Figura 2. 1. Pseudo-resistencia con fuente de Voltaje.

Como se muestra en la Figura 2.1, la pseudo-resistencia ajustable controlada por voltaje incluye un circuito transistor PMOS simétrico y una fuente de autoajuste. El circuito está formado por dos elementos PMOS ( $M_1$ ,  $M_2$ ) conectados en serie, [3].

### 2.1.2 PSEUDO-RESISTENCIA AJUSTABLE SIMÉTRICA.

El estudio introduce una resistencia flotante compacta de alto valor que utiliza dispositivos PMOS en la región de subumbral. Se ha fabricado un chip de prueba en tecnología CMOS de  $0.18\mu\text{m}$  para verificar el concepto propuesto, [14]. Esta técnica se ha aplicado para diseñar un filtro MOSFET-C de frecuencia de corte muy

baja de sexto orden reconfigurable, los transistores MOS convencionales son polarizados en la región del triodo, por lo cual se necesitan dispositivos de canal muy largo. En esta configuración, la terminal de cuerpo (bulk) del dispositivo PMOS está conectado a su terminal drenador (drain). Por lo tanto, al aumentar  $V_{SD}$ , se modifica el voltaje de umbral de este dispositivo y, en consecuencia, aumentará la corriente de drenador (drain). Esta dependencia de la corriente sobre el voltaje de drenador (drain) da como resultado una conductancia de salida grande y finita que se puede expresar de la siguiente manera:

$$G_{SD} = \left( \frac{I_{SD}}{nU_T} \right) \left[ \frac{n}{\left( 1 - \exp\left( \frac{-V_{SD}}{U_T} \right) \right) - 1} \right] \quad (2.1)$$

En este circuito,  $M_1$  y  $M_2$  son dos dispositivos PMOS idénticos que realizan una resistencia simétrica con respecto a la polaridad del voltaje aplicado a través de sus terminales. La resistencia total vista en la salida es  $R_{eq} = R_{SD1} + R_{SD2}$  mientras que  $M_3$  polariza la terminal compuerta (gate) – fuente (source) de ambos transistores, esta implementación de pseudo-resistencia tiene la característica de ser simétrica de  $I - V$ , [14].

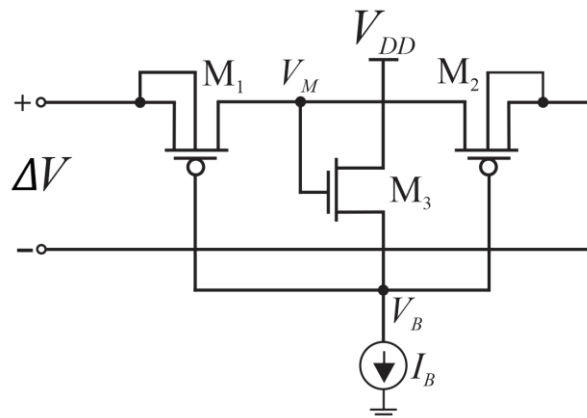


Figura 2. 2. Pseudo-resistencia ajustable simétrica, con los PMOS conectados en sus terminales bulk – drain.

### 2.1.3 PSEUDO-RESISTENCIA DE $V_{GS}$ FIJO.

En este estudio se diseña, fabrica y valida experimentalmente un resistor MOS de baja distorsión, gran impedancia de límites cercanos a  $G\Omega$ . El circuito es utilizado

como elemento de retroalimentación en la terminal de cuerpo (bulk) de dos etapas de un amplificador neural de grabación, [15]. La linealidad está validada experimentalmente para una frecuencia de entrada de 0.5Hz a 5kHz y sobre rango dinámico de voltaje de salida de 0.3V a 0.9V. La pseudo-resistencia implementada es también ajustable, haciendo un polo ajustable del filtro pasa altas. El circuito está fabricado en un proceso CMOS de 0.13 $\mu$ m y consume 96nW con una alimentación de 1.2V para obtener una resistencia de más de 500G $\Omega$ .

Monitorear la actividad neuro eléctrica en el cerebro es de vital importancia debido a que las oscilaciones neuronales ayudan en la evaluación del diagnóstico para varios trastornos neurológicos como la epilepsia. Normalmente para grabaciones neuronales, las señales están en el rango de 10 $\mu$ V a 5mV con frecuencias tan bajas como 0.5Hz a pocos kHz. Además, el ruido total del electrodo, incluido ruido térmico y ruido de fondo dentro de la región extracelular es de aproximadamente 20 $\mu$ V, para un electrodo de 1M $\Omega$  con un ancho de banda de 5kHz, en la Figura 2.3 se muestra el circuito propuesto. La interacción química de electrodos y tejido genera una gran compensación de voltaje de DC que puede saturar un amplificador neural, y por lo tanto requiere una frecuencia menor a (<1kHz) en el filtro pasa altas para ser eliminada. Por tanto, los requisitos para integrar una interfaz de grabación neuronal incluyen un amplificador compacto de AC (corriente alterna) acoplado con una ganancia de aproximadamente 60dB, un ancho de banda por debajo de 1Hz a hasta 5kHz y un ruido integrado por debajo de 10 $\mu$ V. Con señales neuronales de hasta 5mV, esto requiere un ADC (convertidor de análogo a digital) de rango dinámico de 8-10 bits, [15].

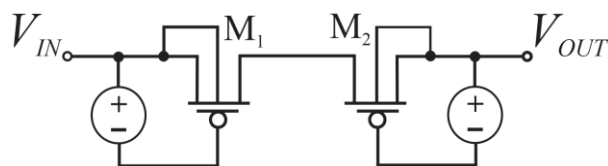


Figura 2. 3. Pseudo-resistencia de  $V_{GS}$  fijo.

#### 2.1.4 PSEUDO-RESISTENCIA CON SEGUIDOR DE NODO CON PAR DIFERENCIAL.

La investigación propone una pseudo-resistencia basada en dispositivos MOS de en la región de subumbral que presenta un valor muy alto y una distorsión ultra baja. Se diseña un amplificador neural de paso de banda con una frecuencia de corte de pasa alta muy baja para demostrar la linealidad de la resistencia propuesta, [13]. Se ha introducido un generador de corriente CTAT (por sus siglas en inglés de Complementary to absolute temperature) sin BJT para minimizar la variación de temperatura de la resistencia y facilitar la sintonización. La resistencia independiente ha logrado una linealidad un 0.5% mejor y un coeficiente de temperatura mejorado en un 12% con respecto a las arquitecturas existentes. Se ha diseñado un amplificador neural con la resistencia propuesta como elemento de retroalimentación. Demostró una ganancia de banda media de 31dB y una frecuencia de corte de paso bajo. Un transistor MOS polarizado en la región de subumbral, actúa como una resistencia de valor muy alto, que con frecuencia se denomina pseudo-resistencia. A partir del modelo la resistencia de señal pequeña (a  $V_{SD}$  muy bajos) se puede derivar de la siguiente manera:

$$R_{Pse@vds=0} = \frac{dV_{DS}}{dI_D} = \frac{U_T}{I_{D0}} \quad (2.2)$$

Donde  $U_T$  es el voltaje termodinámico e  $I_{D0}$  es la corriente residual del canal dado por:

$$I_{D0} = 2n\mu_n C_{ox} \frac{W}{L} U_T^2 e^{\frac{V_{T0}}{nU_T}} \quad (2.3)$$

Donde  $n$  es la pendiente de subumbral y  $C_{ox}$  es el límite de la unidad de óxido. Para resolver los problemas de las técnicas anteriores, se amplía la implementación de Kassiri. La presente técnica utiliza un seguidor de nodo de un par diferencial en lugar de un seguidor de fuente como se muestra en la Figura 2.4. El potencial del seguidor del nodo del par diferencial ( $T1$ ) estará en el promedio de  $V_{in}$ ,  $V_x$ . Suponiendo que  $V_{in}$  está en el nodo virtual del amplificador operacional, el nodo  $x$  tendrá una oscilación aproximada de  $\frac{V_{out}}{2}$ . El  $V_{GS}$  de  $M_1$  es  $\frac{V_{out}}{4}$  y  $V_{GD}$  es  $-\frac{V_{out}}{4}$ . El voltaje de fuente (source) – compuerta (gate) del transistor no se mantiene

constante en este enfoque. Si bien la variación es  $\frac{V_{out}}{2}$ , también es independiente de la mitad positiva y negativa de la señal. En el enfoque anterior,  $V_{GS}$  se mantiene constante solo para la mitad positiva o negativa, y para la otra mitad,  $V_{GS}$  tiene una oscilación de  $\frac{V_{out}}{2}$ . Para simular la resistencia, la terminal del voltaje  $V_{in}$  se fija a un potencial de corriente continua (CC) de 0.3 V y la terminal del voltaje  $V_{out}$  varió hasta su voltaje de oscilación máximo. Para el circuito propuesto, la resistencia varió en un 9% en todo el rango de barrido de CC, [13].

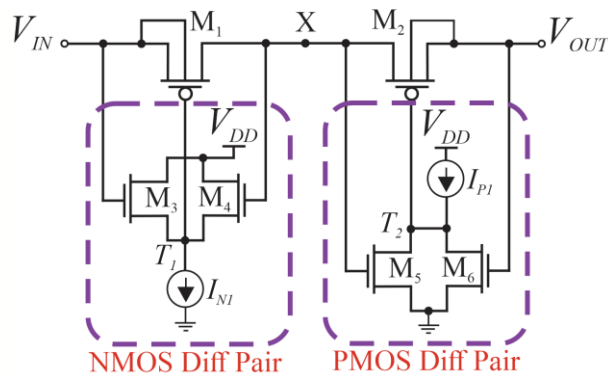


Figura 2. 4. Pseudo-resistencia con seguidor de nodo con par diferencial.

### 2.1.5 PSEUDO-RESISTENCIA FLOTANTE DE ALTO VALOR.

En años recientes, algunos esfuerzos se han centrado en encontrar nuevas alternativas para superar las limitaciones de diseño de filtros de muy baja frecuencia porque requiere la realización de constantes de tiempo RC muy altas. Las propuestas van desde escaladores de impedancia, transconductores muy bajos, transportadores de corriente y resistencias de alto valor, son solo algunos de ellos, [16]. En este artículo, se propone un circuito de resistencia de alto valor mejorado, basado en un transistor CMOS que opera en la región de inversión débil.

Dado que las resistencias activas sintonizables se consideran un bloque importante en el diseño de circuitos integrados analógicos, se utilizan ampliamente en el procesamiento de señales analógicas. Las resistencias activas CMOS pueden implementar un rango diferente de valores controlando la región operativa, y pueden ser una alternativa a la resistencia pasiva porque requieren mucho menos área. De hecho, el diseño de resistencias muy altas, mediante el uso de transistores MOS





implementación alcanza los valores de resistencia deseados, está sujeta a cambios de voltaje en modo común y, en consecuencia, hace que la resistencia caiga severamente, debido a sus características de realidad virtual asimétricas, [5].

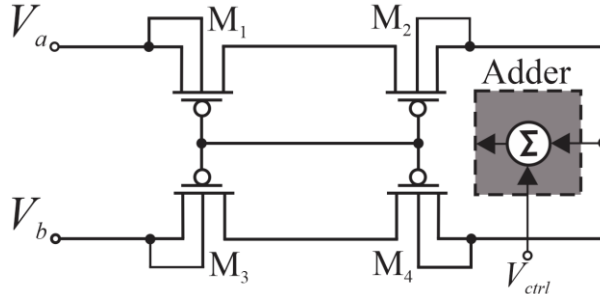


Figura 2. 6. Pseudo-resistencia ajustable controlada por voltaje.

## 2.2 DISTORSIÓN ARMÓNICA TOTAL Y RANGO DINÁMICO

Uno punto importante para este trabajo es la distorsión armónica total (THD por sus siglas en inglés) por que a medida que la THD sea menor, aumenta la certeza de estar midiendo la señal pura sin errores o con el menor porcentaje posible. La THD elevada pueden ser debido a los errores de diseño, ruidos parásitos y ambientales, entre otros.

“Se le conoce como distorsión a la medida en que una señal cambia su forma al pasar por un medio. En electrónica la distorsión armónica total se refiere a la diferencia entre la forma de una señal de salida con respecto a la señal de entrada al pasar por un dispositivo electrónico, excepto por un cambio asociado a un factor de escala. Las series Fourier son las bases para entender la *THD*, a partir de estas se puede representar cualquier función periódica como la suma ponderada de senos y cosenos, para ello se considera una función  $v(t)$  periódica con periodo  $T$  que se puede expandir en series de Fourier” [17]. de la siguiente manera:

$$v(t) = \sum_{n=-\infty}^{\infty} a_n e^{jkn\omega_0 t} \quad (2.4)$$

los coeficientes  $a_k$  se calculan de la siguiente forma:

$$a_k = \frac{1}{T} \int_T x(t) e^{-jkn\omega_0 t} dt \quad (2.5)$$

Donde  $k = 0$  se obtiene  $a_0$ , este coeficiente es la componente DC de la señal en un periodo y las siguientes constantes  $a_k$  definen el peso que tienen las siguientes

componentes de la exponencial en la señal reconstruida  $v(t)$ , a dichas componentes que conforman la señal se les llama armónicos de la señal, siendo para  $k = 1$  la componente fundamental de la señal, [17][18].

### 2.2.1 DISTORSIÓN ARMÓNICA TOTAL.

La distorsión armónica total ( $THD$ ) se define de la siguiente manera:

$$THD = \frac{\sqrt{\sum_{k=2}^{k=\infty} v_k^2}}{v_1} \quad (2.6)$$

Donde:  $v_1$  es el valor cuadrático medio del primer armónico o la señal fundamental de entrada de frecuencia  $f_1$ ,  $k$  es el número del armónico,  $v_k$  es el valor cuadrático medio del armónico  $k$ , [17].

Para tener una definición más completa del  $THD$  es necesario definir el valor cuadrático medio de una señal periódica matemáticamente como se muestra en la ecuación 2.7:

$$v_{rms} = \sqrt{\frac{1}{T} \int_t^{t+T} v^2(t) dt} \quad (2.7)$$

Donde  $T$  es el periodo de la señal.

De acuerdo con 2.6 la Distorsión Armónica Total se puede entender como la proporción en la que aparecen los armónicos de una señal al pasar por un dispositivo el cual fue excitado por una fuente senoidal pura de armónico fundamental  $v_1$  y frecuencia  $f_1$ , [17][18].

### 2.2.2 RANGO DINÁMICO.

El rango dinámico (DR) es la razón de la máxima excursión de voltaje a la entrada para un nivel de  $THD$  dado y el ruido referido a la entrada propio del sistema, dicha razón nos dice la mínima magnitud que la señal de entrada debe tener con respecto al ruido para ser procesada adecuadamente, [17][19]. El rango dinámico está definido como:

$$DR = \frac{v_{rms,max}}{v_{noise,in}} \quad (2.8)$$

### 3 DESARROLLO DEL PROYECTO

3.1 Simulaciones de las Diferentes Topologías de Pseudo-Resistores de Alto Valor Existentes.

3.1.1 Pseudo-Resistencia con Fuente de Voltaje Ideal.

3.1.2 Pseudo-Resistencia Ajustable Simétrica con Espejo de Corriente.

3.1.3 Pseudo-Resistencia con  $V_{GS}$  fijo.

3.1.4 Pseudo-Resistencia con Seguidor de Nodo con Par Diferencial.

3.2 Pseudo-Resistencia Propuesta.

3.2.1 Pseudo-Resistencia Propuesta A.

3.2.2 Pseudo-Resistencia Propuesta B.



Tabla 1. 1. Comparación de dimensiones de los CMOS.

Comparación de Corriente(μA)				$M_4$ (N) y $M_5$ (N)		$M_3$ (N)		$M_1$ (P) y $M_2$ (P)	
Fuente de corriente	Espejo $I_d$ ( $M_4$ )	simetría $M_1$							
	0.25V	-0.45V	0.45V	L(μm)	W(μm)	L(μm)	W(μm)	L(μm)	W(μm)
1	0.94	-1.01	2.01	0.4	0.25	0.4	0.25	0.4	0.25
1	0.86	-2.51	4.85	0.18	0.6	0.4	0.25	0.9	1.5
1	0.94	-2.5	4.9	0.4	0.25	0.4	0.25	0.9	1.5
1	0.97	-2.59	4.93	0.9	3	0.4	0.25	0.9	1.5
1	0.91	-1.1	2.77	0.18	0.6	0.9	3	0.9	1.5
1	0.96	-1.16	2.78	0.4	0.25	0.9	3	0.9	1.5
1	0.98	-1.18	2.79	0.9	3	0.9	3	0.9	1.5
1	0.98	-1.52	2.52	10	50	10	50	10	50

Como siguiente paso se caracterizan las diferentes topologías consultadas en la literatura para observar su resistencia, su distorsión armónica total (THD) y su corriente de drenador (drain), esto con la finalidad de verificar cual tiene la mejor respuesta a los cambios de voltajes de alimentación y obtener su rango dinámico. Se establecen los voltajes con los que se polarizan las compuertas (gate) de los circuitos analizados que van de 0.4V a 0.65V.

### 3.1.1 PSEUDO-RESISTENCIA CON FUENTE DE VOLTAJE IDEAL.

La primera configuración que se estudia es la fuente de voltaje ideal, los transistores PMOS están en serie, con las terminales drenador (drain) y cuerpo (bulk) conectadas entre sí, la fuente de voltaje  $V_1$  se encuentra entre las terminales de compuerta (gate) y fuente (source) de ambos transistores PMOS y la fuente de voltaje  $V_2$  está en la terminal drenador (drain) de  $M_1$ , la terminal drenador (drain) del  $M_2$  está conectada a GND. Las dimensiones que se utilizan son las ya establecidas de  $\frac{W}{L} = \frac{50}{10 \mu m}$ .

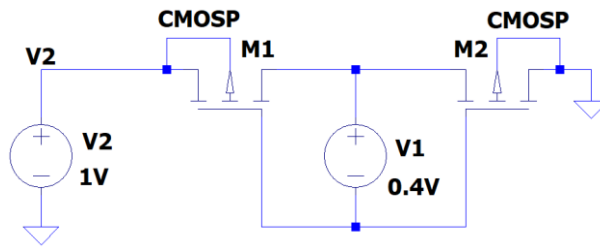


Figura 3. 2. Pseudo-resistencia con fuente de voltaje ideal.

Se simula el circuito en SPICE, se colocan los parámetros ya establecidos de  $V_{GS}$  que son de 0.4V a 0.65V, se barre la fuente V2 que es la entrada del dispositivo de -0.75V a 0.75V, la Figura 3.3 presenta la gráfica de la corriente  $I_d(M_1)$  que es la respuesta del circuito de fuente ideal, de entre los puntos -0.2V y 0.2V se obtiene la pendiente y se calcula la resistencia del dispositivo para cada voltaje (0.4V, 0.45V, 0.5V, 0.55V, 0.6V, 0.65V). Estos valores se utilizan como referencia en las siguientes comparaciones

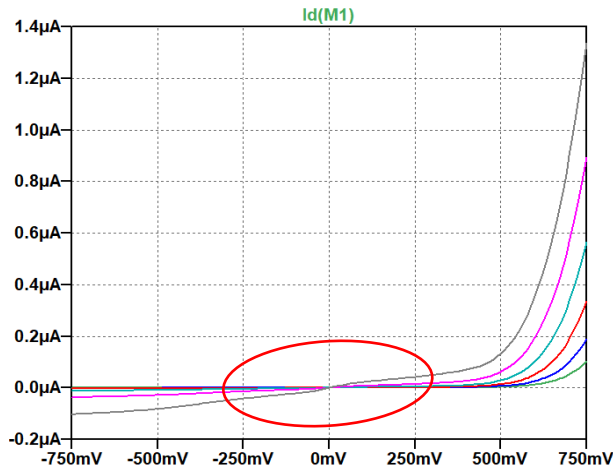


Figura 3. 3. Gráfica de corriente de fuente de voltaje ideal.

Continuando con las siguientes mediciones se configura la fuente V2 con los parámetros en corriente alterna (AC), de 0.1V de amplitud y una frecuencia de 10kHz, además se utilizan las funciones “.param V1=0.4V” para definir que la fuente V1 es variable, “.step param V1 0.4V 0.65V 0.05V” para barrer la fuente V1 con los valores ya definidos, “.four 10k 10 -1  $I_d(M_1)$   $I_d(M_2)$ ” para obtener la distorsión armónica total, por último se trabaja con la función transitorio “.tran 0.4m” de 4 milisegundos, la Tabla 1.2 muestra los valores obtenidos de resistencia y distorsión armónica al simular el circuito, la Figura 3.4 muestra la gráfica de valores.

Tabla 1. 2. Resistencias y distorsiones armónicas de la fuente de voltaje ideal.

Fuente de Voltaje		Porcentaje Distorsión Armónica (%)	
V1(V)	Resistencia ( $\Omega$ )	M <sub>1</sub>	M <sub>2</sub>
0.4	1.95M	5.420165	5.42015
0.45	781.6k	3.420047	3.420039
0.5	622.6k	1.512438	1.512437
0.55	373.1k	0.556557	0.556557
0.6	245.9k	0.243796	0.2438
0.65	109k	0.161596	0.161602

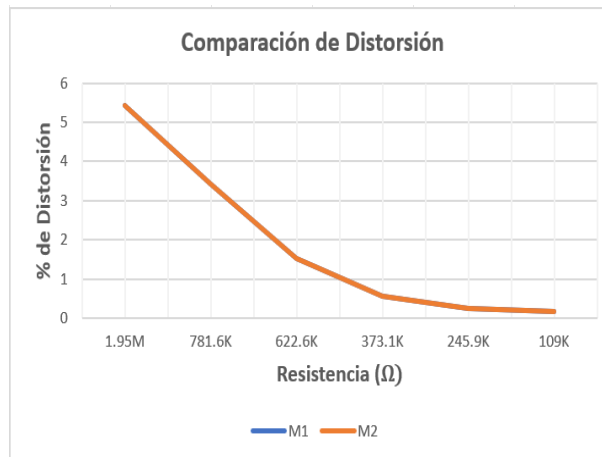


Figura 3. 4. Gráfica de distorsión armónica de fuente de voltaje ideal.

### 3.1.2 PSEUDO-RESISTENCIA AJUSTABLE SIMÉTRICA CON ESPEJO DE CORRIENTE.

La segunda configuración que se estudia es la pseudo-resistencia ajustable simétrica con espejo de corriente, los transistores PMOS están conectados en serie, las terminales fuentes (source) de ambos transistores están conectadas entre sí, también las terminales compuertas (gate), se coloca un transistor NMOS con la terminal compuerta (gate) conectada a las terminales fuentes (source) de los PMOS, la terminal drenador (drain) se conecta a  $V_{dd}$ , la terminal de cuerpo (bulk) a  $V_{ss}$  y la terminal fuente (source) se conecta a las terminales compuertas (gates) de ambos PMOS, en este nodo se coloca un espejo de corriente como se muestra en la Figura 3.5. Las dimensiones que se utilizan para los PMOS son  $\frac{W}{L} = \frac{50}{10 \mu m}$  y para los NMOS son  $\frac{W}{L} = \frac{50}{10 \mu m}$ .



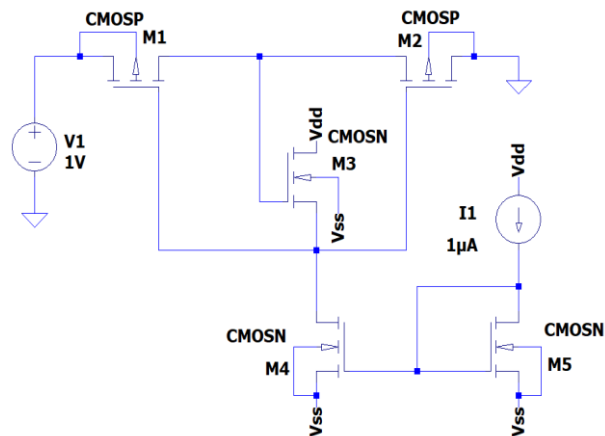


Figura 3. 5. Pseudo-resistencia ajustable simétrica con seguidor de voltaje.

Se simula el circuito en SPICE, se colocan los parámetros ya establecidos de  $V_{GS}$ , pero estos se obtienen de la fuente de corriente  $I1$ , en la Tabla 1.3 se muestran las equivalencias.

Tabla 1. 3. Equivalencias de Fuente de corriente  $I1$  para obtener los Voltajes  $V_{GS}$ .

Fuente voltaje ideal	Espejo de corriente
$V1(V)$	$I1(nA)$
0.4	0.4
0.45	2
0.5	13
0.55	75
0.6	340
0.65	1500

Se barre la fuente  $V2$  que es la entrada del dispositivo de  $-0.75V$  a  $0.75V$ , la Figura 3.6 muestra la gráfica de la corriente  $I_d(M_1)$  estos son los resultados de la simulación, de esta se obtiene la pendiente y se calcula la resistencia del dispositivo para cada corriente.

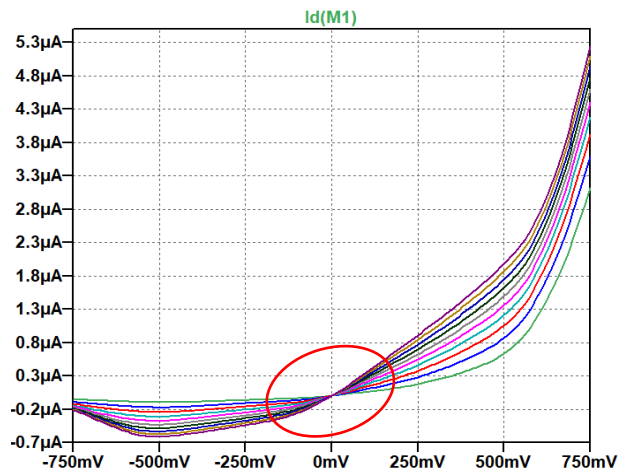


Figura 3. 6. Gráfica de corriente simétrica con seguidor de voltaje.

Se colocan parámetros ya establecidos en AC en la fuente V2 pero ahora se define la fuente I1 como variable con la función “.param I1=1μA”, la fuente I1 se barre con los siguientes valores de corriente “.step param I1 list 1nA 2nA 13nA 75nA 340nA 1.5μA”, por último se coloca la función para la distorsión armónica y se simula la función transitorio en 4 milisegundos, la Tabla 1.4 muestra los resultados obtenidos y la Figura 3.7 presenta la gráfica de estos.

Tabla 1. 4. Resistencias y distorsiones armónicas simétrica con seguidor de voltaje.

Tajalli		Porcentaje Distorsión Armónica (%)	
V1(V)	Resistencia (Ω)	M <sub>1</sub>	M <sub>2</sub>
0.4	11.9M	12.43676	12.436717
0.45	5.19M	12.23772	12.237413
0.5	1.97M	11.448467	11.448308
0.55	886.2k	9.861775	9.8617
0.6	498.6k	7.682389	7.682353
0.65	309.4k	5.49389	5.493871

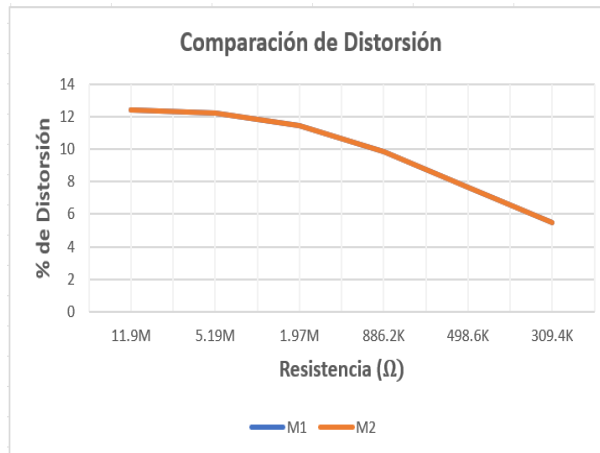


Figura 3. 7. Gráfica de distorsión armónica del seguidor de voltaje.

### 3.1.3 PSEUDO-RESISTENCIA CON $V_{GS}$ FIJO.

La tercera configuración estudia la pseudo-resistencia con el  $V_{GS}$  fijo, se colocan los PMOS en serie, con las terminales fuente (source) conectadas entre sí, cada una de las terminales compuertas (gate) se conectan al negativo de una fuente de voltaje dependiente de voltaje (estas dos fuentes se asocian a una fuente independiente  $V1$  que controla a ambas) y el positivo a la terminal drenador (drain) de cada PMOS respectivamente como se muestra en la Figura 3.8, además las terminales de cuerpo (bulk) de cada dispositivo se conectan a cada drenador (drain). Las dimensiones de los PMOS son de  $\frac{W}{L} = \frac{50}{10 \mu m}$ .

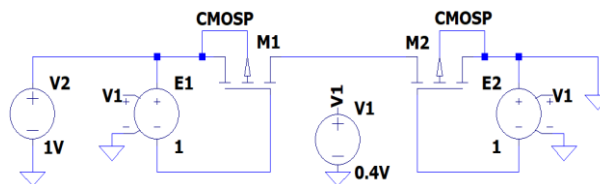


Figura 3. 8. Pseudo-resistencia con  $V_{GS}$  fijo.

Se simula el circuito, se colocan los parámetros ya establecidos de  $V_{GS}$ , se barre la fuente  $V2$  como la entrada del dispositivo de  $-0.75V$  a  $0.75V$ , la Figura 3.9 presenta la gráfica de la corriente  $I_d(M1)$ , de esta se obtiene la pendiente y se calcula la resistencia del dispositivo para cada valor de voltaje  $V_{GS}$ .

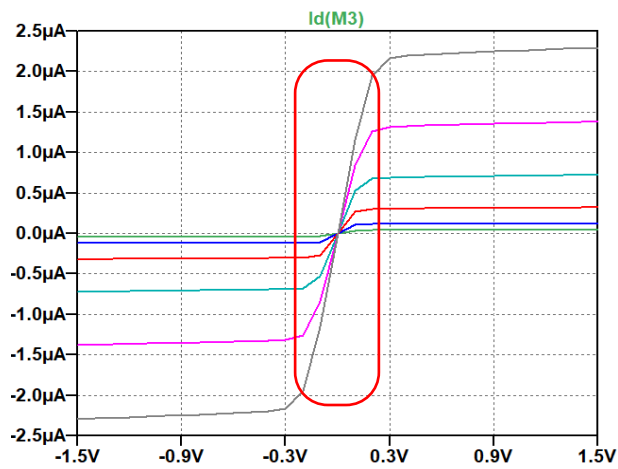


Figura 3. 9. Gráfica de corriente con  $V_{GS}$  fijo.

Se colocan los parámetros en AC ya establecidos en la fuente V2, se define la fuente V1 variable con las funciones “.param “, “.step param”, “.four” y se barre con la función transitorio en 4 milisegundos, en la Tabla 1.5 se muestran los resultados y en la Figura 3.10 presenta la gráfica de estos.

Tabla 1. 5. Resistencias y distorsiones armónicas con  $V_{GS}$  fijo.

V1(V)	Kassiri		Porcentaje Distorsión Armónica (%)	
	Resistencia ( $\Omega$ )	$M_1$	$M_2$	
0.4	5.27M	16.87755	16.87755	
0.45	1.77M	12.72633	12.72633	
0.5	665.1k	7.488559	7.488559	
0.55	296.1k	3.738026	3.738026	
0.6	159.2k	1.952548	1.952548	
0.65	102.7k	1.162406	1.162406	

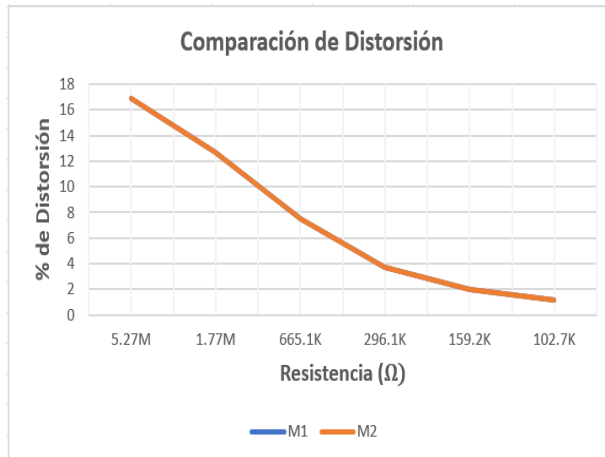


Figura 3. 10. Gráfica de distorsión armónica con  $V_{GS}$  fijo.

### 3.1.4 PSEUDO-RESISTENCIA CON SEGUIDOR DE NODO CON PAR DIFERENCIAL.

En la cuarta configuración se estudia el seguidor de nodo con par diferencial, se colocan un PMOS con un NMOS en serie, con las terminales fuentes (source) conectadas entre sí, la terminal compuerta (gate) del PMOS se conecta a un seguidor de nodo de par diferencial NMOS y este a su vez se conecta a un espejo de corriente NMOS. Por otro lado, la terminal compuerta (gate) del NMOS se conecta a un seguidor de nodo de par diferencial PMOS y este a su vez se conecta a un espejo de corriente PMOS, las terminales drenador (drain) de ambos PMOS y NMOS se toman como la entrada. Este circuito se muestra en la Figura 3.11. Las dimensiones de los PMOS son de  $\frac{W}{L} = \frac{50}{10 \mu m}$ . y los NMOS de  $\frac{W}{L} = \frac{50}{10 \mu m}$ .

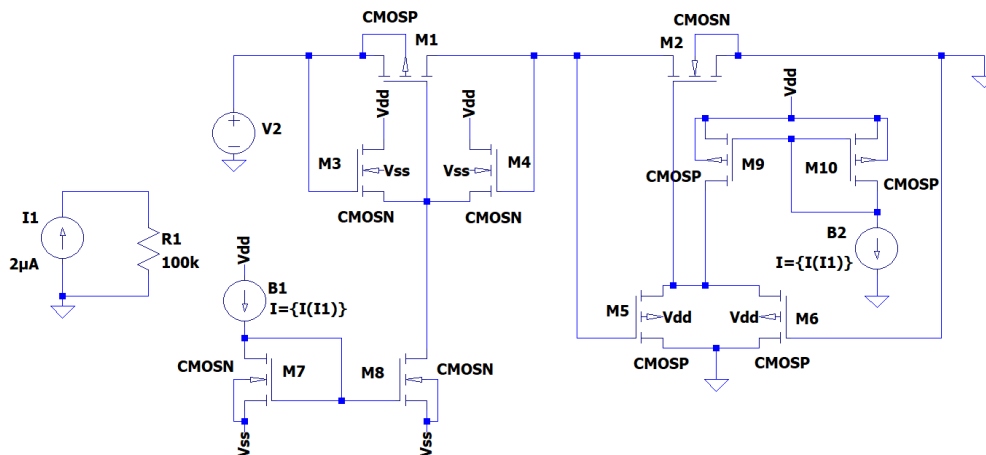


Figura 3. 11. Pseudo-resistencia con seguidor de nodo con par diferencial.

Se simula el circuito, se colocan los parámetros ya establecidos en cada  $V_{GS}$ , en este caso se tienen unas fuentes de corriente  $B1$  y  $B2$ , es por este motivo que se deben colocar los valores equivalentes de la Tabla 1.3. Se barre la fuente  $V2$  que está conectada al drenador (drain) del  $M1$  de  $-0.75V$  a  $0.75V$  que es considerada la entrada, Para hacer el segundo barrido se coloca una fuente independiente  $I1$  que controla las fuentes de corrientes independientes  $B1$  y  $B2$ , la Figura 3.12 muestra el gráfico de los datos de la corriente  $I_d(M1)$ , se obtiene la pendiente para cada valor de corriente y se calcula la resistencia del dispositivo para cada una.

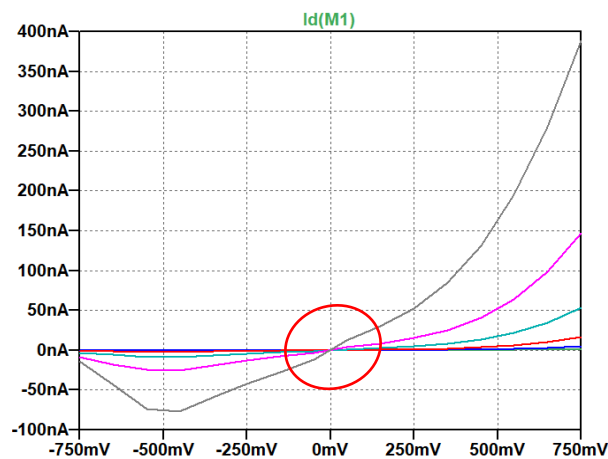


Figura 3. 12. Gráfica de corriente del seguidor de nodo con par diferencial.

Se colocan los parámetros ya establecidos en AC en la fuente  $V2$ , pero ahora se define la fuente  $I1$  como variable y con la función “.step param  $I1$  list 1nA 2nA 13nA 75nA 340nA 1.5 $\mu$ A” se le colocan los valores a barrer, además se define la función “.four” para la distorsión armónica, se simula con la función transitorio en 4 milisegundos y en la Tabla 1.6 se muestran los resultados, la Figura 3.13 presenta la gráfica obtenida.

Tabla 1. 6. Resistencias y distorsiones armónicas del seguidor de nodo con par diferencial.

Nagulapalli		Porcentaje Distorsión Armónica (%)	
V1(V)	Resistencia ( $\Omega$ )	$M_1$	$M_2$
0.4	19.6M	8.343407	8.343407
0.45	11.6M	8.533079	8.532388
0.5	4.79M	8.179503	8.179455
0.55	1.89M	7.130144	7.130099
0.6	891k	5.705496	5.705461
0.65	465k	3.92835	3.928322

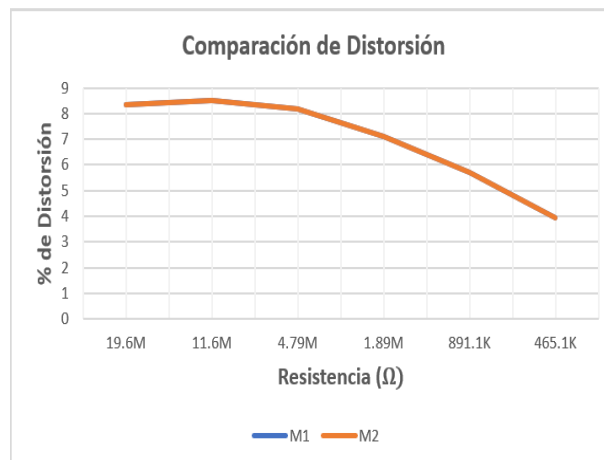


Figura 3. 13. Gráfica de distorsión armónica del seguidor de nodo con par diferencial.

### 3.2 PSEUDO-RESISTENCIA PROPUESTA.

Hoy en día, el desarrollo de diferentes técnicas y propuestas para implementar resistencias ajustables en CMOS, es amplio. Debido a que estas pseudo-resistencias son un elemento clave en el diseño de filtros de biomedicina; ya que los valores ajustables de alta resistencia permiten establecer las frecuencias de corte para las ondas Electrocardiograma (ECG), Electroencefalograma (EEG), Electromiografía (EMG) y Electrogastrograma (EGG) en el rango de 0.01Hz a 10kHz, [1]. Por este motivo la investigación propone, eliminar el efecto de cuerpo de la pseudo-resistencia en la etapa de control (en las terminales compuertas) para mejorar las prestaciones que otorga el dispositivo como la distorsión armónica y linealidad. El diseño simplificado de la pseudo-resistencia que se plantea se muestra en la Fig. 3.14c. Como se puede notar, el circuito sigue una idea similar

propuesta por Kassiri, sin embargo, las terminales de cuerpo (bulk) de los PMOS están unidas al nodo central "x". Debido a la simetría del circuito, para un voltaje de entrada  $V_a$  o  $V_b$ , uno de los transistores  $M_1$  o  $M_2$  tendrá un  $V_{SG}$  y  $V_{BS}<0$  fijos, este transistor tendrá menos capacidad de corriente que el otro y generará un patrón de alta resistencia, La corriente de drenador (drain) de los PMOS se modela mediante la expresión EKV de inversión débil [10]:

$$I_{DS} = \frac{W}{L} I'_M e^{\frac{(V_{GS}-V_M)U_T}{\eta}} \left( 1 - e^{\frac{-V_{DS}}{U_T}} \right) \quad (3.1)$$

Con:

$$V_M = V_{FB} + 2U_T + \gamma\sqrt{2U_T + V'_{SB}} \quad (3.2)$$

$$I'_M = \mu \frac{\sqrt{2q\epsilon_s N_A}}{2\sqrt{2\phi_F + V'_{SB}}} U_T^2 \quad (3.3)$$

Donde  $U_T = kT/q$  es el voltaje térmico;  $\eta$  es la pendiente del subumbral;  $\mu$  es la movilidad del portador;  $V_M$  es el límite superior de inversión débil en términos de  $V_{GS}$ , para el valor dado de  $V_{SB}$ , además varias cantidades en la ecuación ( $V_M$ ,  $V'_M$ ,  $\eta$ ) dependen de él. El voltaje  $V_{SG}$  se implementa mediante un desplazador de nivel (level shifter) que se muestra en la Figura 3.15, el cortocircuito de la fuente principal hace que  $V_{SB}=0$ , en consecuencia, el transistor  $M_4$  no tiene un efecto de cuerpo. Sin embargo, un inconveniente importante del propio desplazador de nivel (level shifter) es que carece de alta resistencia de entrada; esta condición afecta directamente a la corriente del pseudo-resistor. Por lo tanto, se debe considerar el seguidor de voltaje representado en la Figura 3.15, este buffer de voltaje propuesto por Palmisano et al. [20] no presenta cambio de nivel y la pendiente de su característica de transferencia no se ve afectada por el efecto de cuerpo. De esta forma, la tensión  $V_{SG}$  que está determinada por la corriente de polarización  $I_{bps}$  que permanece constante en el rango dinámico de la pseudo-resistencia.



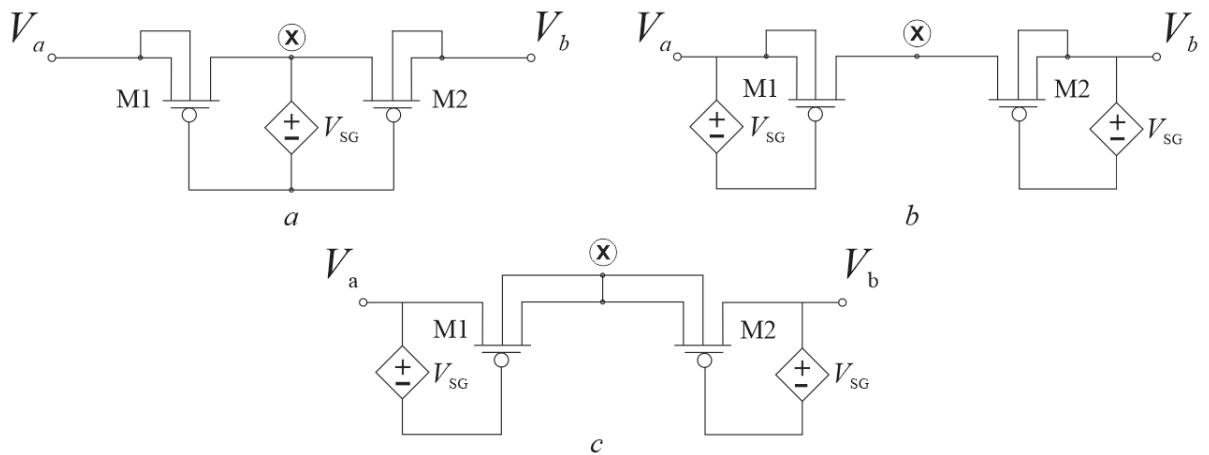


Figura 3. 14. Diferentes pseudo-resistencias ajustables a través del voltaje  $V_{SG}$ . a) Tajalli et al. b) Kassiri et al. c) Pseudo-resistencia propuesta.

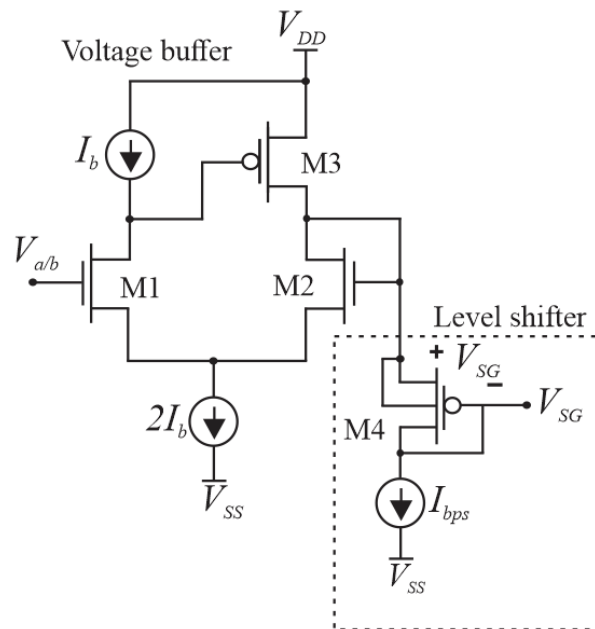


Figura 3. 15. Seguidor y desplazador de nivel (level shifter) para ajuste de los  $V_{SG}$ .

Para conocer la respuesta del circuito mostrado en la Figura 3.15 se simula con los parámetros de  $V_{a/b}$  de -1V a 1V el resultado se muestra en la Figura 3.16. Como se puede observar la señal de salida  $V_{SG}$  del seguidor de voltaje y del desplazador de nivel es paralela a la entrada  $V_{a/b}$ , esto significa que esta señal esta libre del efecto de cuerpo. La distancia de separación representa el voltaje  $V_{SG}$  y como se

encuentra constante, se puede decir que el  $V_{TH}$  es el mismo para todo barrido dentro rango de -0.75V a 3.9V.

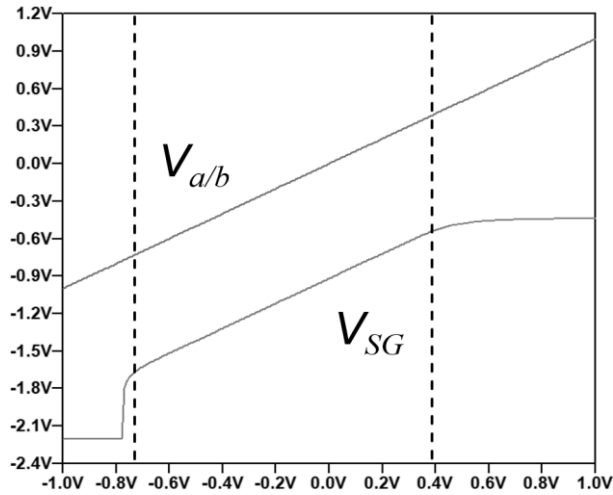


Figura 3. 16. Grafica de Seguidor y desplazador de nivel para ajuste de los  $V_{SG}$ .

Continuando con el análisis del funcionamiento de la pseudo-resistencia propuesta, se compara la mitad de está contra la de Kasirri et al. Es decir, con las terminales de cuerpo (bulk) conectado al lado opuesto, Fig. 3.17a. Con un barrido en DC de  $V_a$  de 0 a 0.3V y  $V_{SG}=0.3V$ , la corriente de drenador (drain) de ambos PMOS y su resistencia dinámica  $dV_a/I_D$  se traza en Figura 3.17b. Aunque la corriente de drenador (drain) de  $M_1$  es mayor que la de  $M_2$  debido a que la conexión de las terminales de cuerpo (bulk) genera menos resistencia, la resistencia dinámica de  $M_2$  cambia mucho más en el rango dado, por lo que  $M_1$  presenta menos variación en su resistencia efectiva. Ya que para  $M_1$ ,  $V_{BD}= 0$ ;  $V_{BS}= -V_a$  and  $V_{BG}=V_{SG}-V_a$ , sustituyendo en (3.1), el producto del término entre paréntesis que sigue un aumento exponencial y el término exterior con una disminución exponencial proporciona una resistencia más constante principalmente cerca del origen, es decir, en los primeros 100 mV. A diferencia de otras aproximaciones, este hecho permite una transición suave cerca del origen.

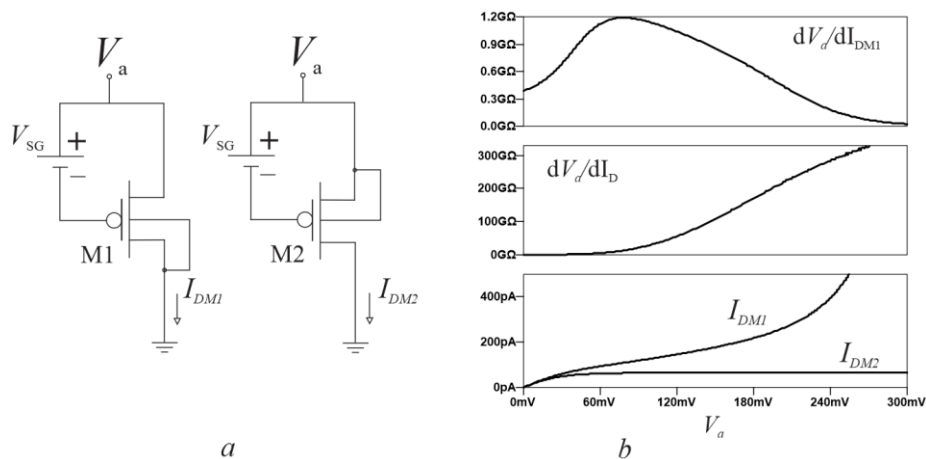


Figura 3. 17. Simulaciones eléctricas de la mitad del circuito del pseudo-resistor. a) Diagramas eléctricos con el bulk conectado al source/drain. b) Gráficas simuladas para el barrido  $V_a$ ,  $I_D$  y resistencia dinámica.

A continuación, se describen las 2 propuestas de pseudo-resistencia en la tecnología de  $0.35\mu\text{m}$  que se implementaron.

### 3.2.1 PSEUDO-RESISTENCIA PROPUESTA (A).

La propuesta (A) está definida por dos transistores PMOS conectados en serie, las terminales de cuerpo (bulk) y fuente (source) están conectadas entre sí, en la terminal compuerta (gate) de cada dispositivo como ya se había mencionado tiene un seguidor de voltaje propuesto por Palmisano [20] y un desplazador de nivel (level shifter) con el que se controla el voltaje de polarización ( $V_{GS}$ ), la terminal drenador (drain) se toman como la entrada ó la pseudo-resistencia propuesta, en la Figura 3.18 se muestra el circuito completo. Las dimensiones de los transistores que se utilizan son: para los PMOS  $\frac{W}{L} = \frac{50}{10 \mu\text{m}}$  y para los NMOS  $\frac{W}{L} = \frac{50}{10 \mu\text{m}}$ .

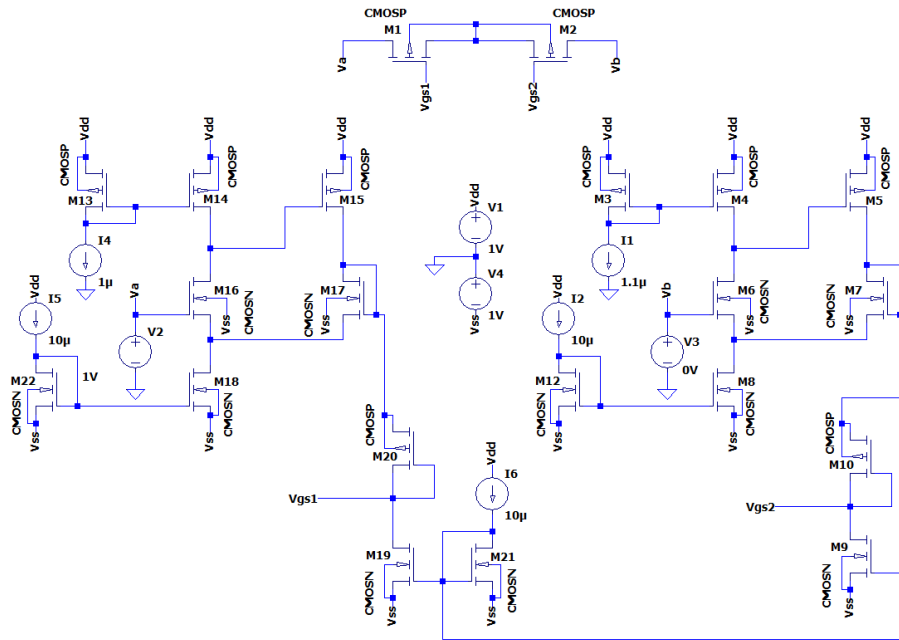


Figura 3. 18. Pseudo-resistencia propuesta (A).

Se simula el circuito, con los parámetros ya establecidos para cada  $V_{GS}$ . Se barre la fuente  $V2$  de  $-0.75V$  a  $0.75V$ , el barrido secundario se hace en la fuente  $I6$ , con los valores que se muestran en la Tabla 1.3, la Figura 3.19 muestra la gráfica de resultados de la corriente  $I_d(M_1)$ , de esta se obtiene la pendiente y se calcula la resistencia del dispositivo para cada una de las corrientes.

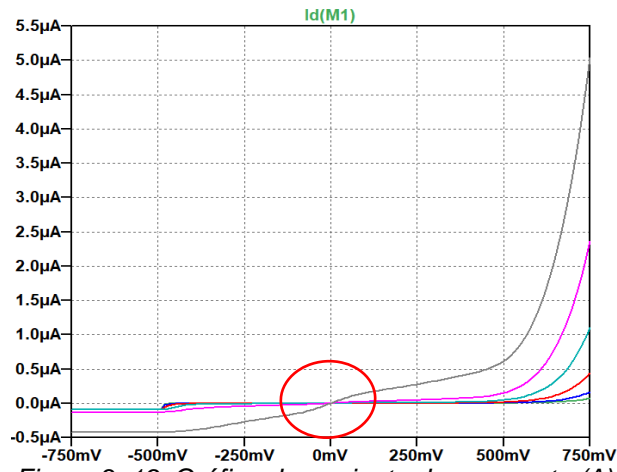


Figura 3. 19. Gráfica de corriente de propuesta (A).

Se colocan los parámetros ya definidos en AC en la fuente  $V2$  pero ahora se define la fuente  $I6$  como variable con la función “.step param  $I6$  list  $1nA$   $2nA$   $13nA$   $75nA$

340nA 1.5 $\mu$ A” y estos valores son los que se van a barrer, además se colocan la función “.four” para medir la distorsión armónica, se simula con la función transitorio en 4 milisegundos y en la Tabla 1.7 se muestran los resultados y la Figura 3.20 presenta la gráfica obtenida.

Tabla 1. 7. Resistencias y distorsiones armónicas de la propuesta (A).

Propuesta (A)		Porcentaje Distorsión Armónica (%)	
V1(V)	Resistencia ( $\Omega$ )	$M_1$	$M_2$
0.4	33.55G	6.572382	6.572382
0.45	9.01G	1.650998	1.650998
0.5	1.55G	1.030273	1.030273
0.55	275.34M	0.961038	0.961038
0.6	59.69M	0.953642	0.953642
0.65	13.09M	0.946665	0.946665

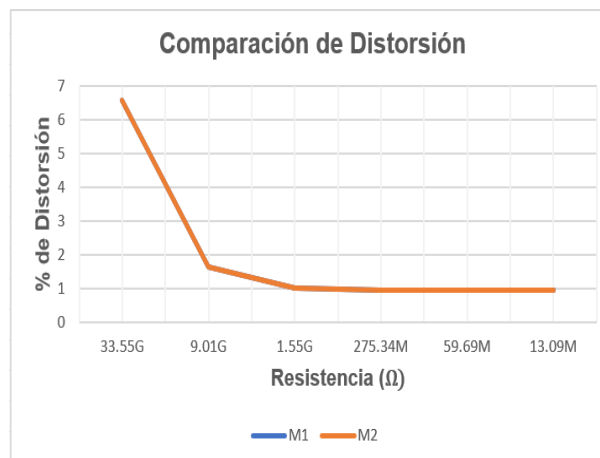


Figura 3. 20. Gráfica de distorsión armónica de la propuesta (A).

Continuando con esta investigación se trabaja en encontrar el punto óptimo de funcionamiento de la pseudo-resistencia, en la Figura 3.21 se muestra el rango de dinámico del seguidor de voltaje que es de -0.15V a 0.6V. Además, se observa que la señal del seguidor de voltaje es paralela a la entrada, esto nos indica que este se encuentra libre de efecto de cuerpo, la distancia de separación de estas representa el voltaje  $V_{GS}$  y como se encuentra constante se puede decir que el  $V_{TH}$  es el mismo para todos los voltajes barridos dentro de este rango, por lo que podemos garantizar que cuando se polarice dentro de este, se obtendrá la mejor eficiencia de la pseudo-resistencia.

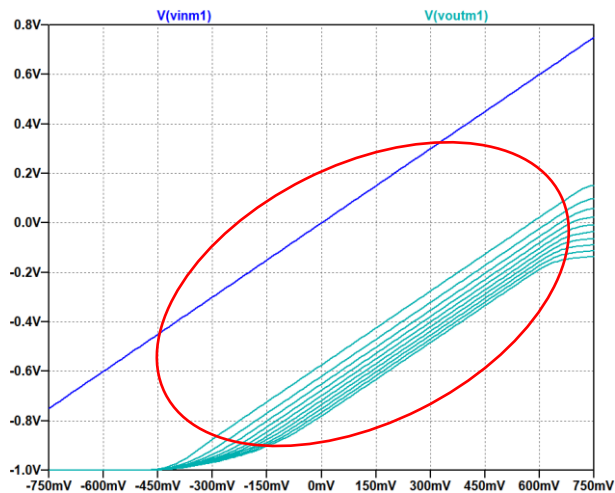


Figura 3. 21. Gráfica de entrada contra salida del seguidor de voltaje de la propuesta (A).

Se realizan unos ajustes en la corriente de polarización  $I_6$  y se establecen nuevos valores que van desde  $1\mu A$  a  $10\mu A$ , esto es para mejorar el rango dinámico, la simetría y la linealidad, en la Figura 3.22 se muestran los resultados obtenidos.

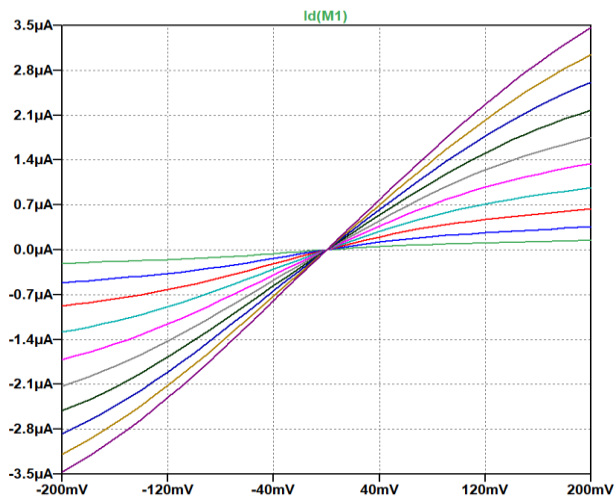


Figura 3. 22. Gráfica de corriente de propuesta (A) simétrica.

### 3.2.2 PSEUDO-RESISTENCIA PROPUESTA (B).

La propuesta (B) es muy similar a la propuesta (A) solo que tiene unos pequeños cambios pero significativos que son los siguientes: también está construida por dos transistores PMOS conectados en serie, las terminales de cuerpo (bulk) y fuente (source) están conectadas entre sí, así como las terminales compuertas (gate) están conectadas entre sí, este dispositivo tiene un arreglo con dos seguidores de

voltaje propuestos por Palmisano [20] y un desplazador de nivel (level shifter) con el que se controla el voltaje de polarización ( $V_{GS}$ ) de ambos PMOS, esta es la gran diferencia con la propuesta anterior. Las terminales drenador (drain) se toman como la entrada de la pseudo-resistencia, la Figura 3.23 muestra el circuito propuesto.

Las dimensiones que se utilizan son para los PMOS de  $\frac{W}{L} = \frac{50}{10 \mu m}$  y para los NMOS

de  $\frac{W}{L} = \frac{50}{10 \mu m}$ .

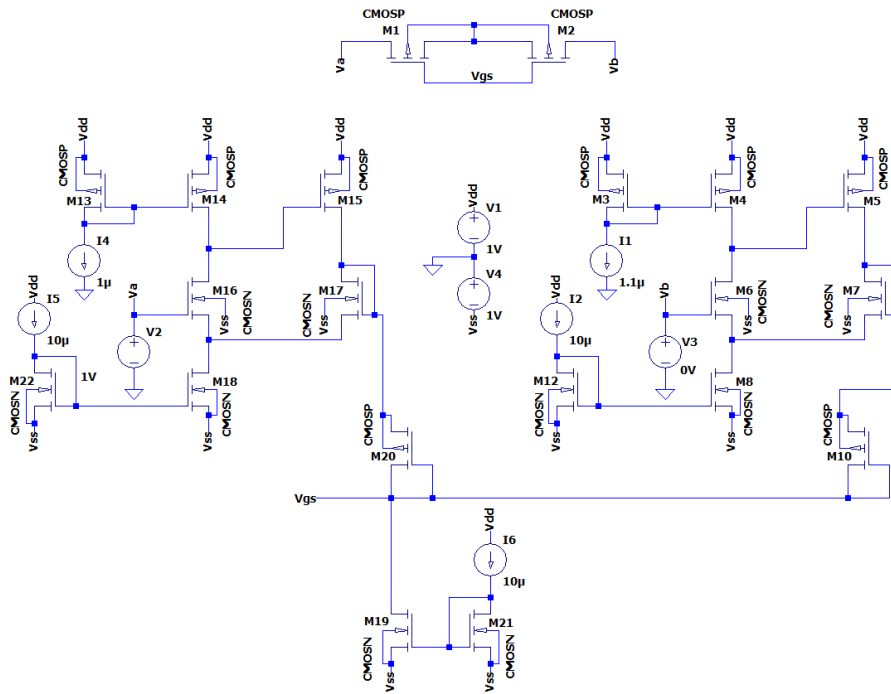


Figura 3. 23. Pseudo-resistencia propuesta (B).

Se simula el circuito, con los parámetros ya establecidos en cada  $V_{GS}$ . Se barre la fuente  $V2$  de  $-0.75V$  a  $0.75V$ , el segundo barrido se hace en la fuente  $I6$ , con los valores que se muestran en la Tabla 1.3, la Figura 2.24 muestra la gráfica de la corriente  $I_d(M_1)$ , de esta se obtiene la pendiente y se calcula la resistencia del dispositivo cada una de las corrientes.

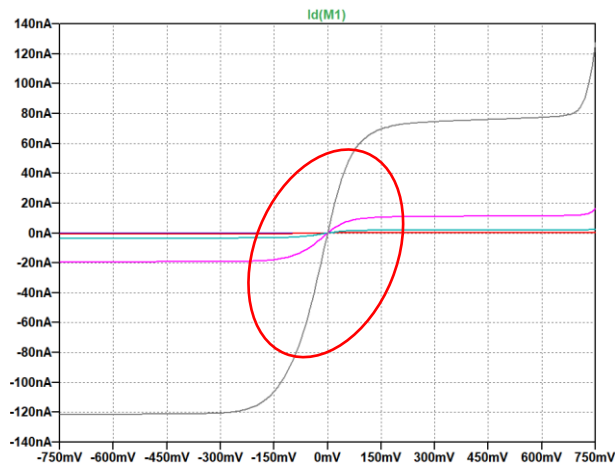


Figura 3. 24. Gráfica de corriente de propuesta (B).

Se colocan los parámetros ya definidos en AC en la fuente V2 pero ahora se define la fuente I6 como variable con la función “.step param I6 list 1nA 2nA 13nA 75nA 340nA 1.5µA” y estos valores son los que se van a barrer, además se colocan la función “.four” para medir la distorsión armónica, se simula con la función transitorio en 4 milisegundos y en la Tabla 1.8 se muestran los resultados y la Figura 3.25 presenta la gráfica obtenida.

Tabla 1. 8. Resistencias y distorsiones armónicas de la propuesta (B).

Propuesta (B)		Porcentaje Distorsión Armónica (%)	
V1(V)	Resistencia ( $\Omega$ )	$M_1$	$M_2$
0.4	130.12G	6.480378	6.480378
0.45	48.33G	6.468517	6.468517
0.5	8.89G	6.341369	6.341369
0.55	1.51G	4.857438	4.857438
0.6	305.41M	1.650906	1.650906
0.65	61.78M	0.502449	0.502449



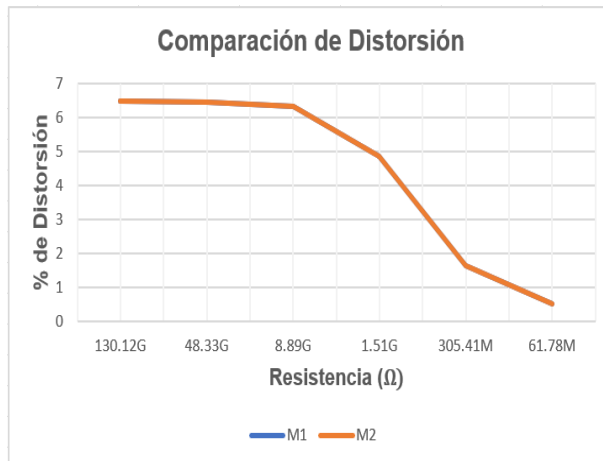


Figura 3. 25. Gráfica de distorsión armónica de la propuesta (B).

Aplicando el mismo criterio que la propuesta anterior se trabaja en encontrar el punto óptimo de funcionamiento de la pseudo-resistencia, en la Figura 3.25 se muestra el rango de dinámico del seguidor de voltaje que es de -0.15V a 0.6V. Como se observó anteriormente la señal del seguidor de voltaje es paralela a la entrada, esto nos indica que este se encuentra libre de efecto de cuerpo, la distancia de separación de estas representa el voltaje  $V_{GS}$  y como se encuentra constante se puede decir que el  $V_{TH}$  es el mismo para todos los voltajes barridos dentro de este rango, por lo que podemos garantizar que cuando se polarice dentro de este, se obtendrá la mejor eficiencia de la pseudo-resistencia.

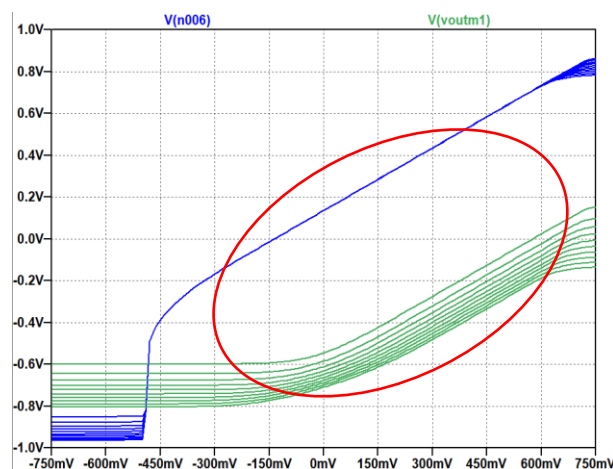


Figura 3. 26. Gráfica de entrada contra salida del seguidor de voltaje de la propuesta (B).

Se realizan unos ajustes en la corriente de polarización  $I_6$  y se establecen nuevos valores que van desde  $1\mu\text{A}$  a  $10\mu\text{A}$ , esto es para mejorar el rango dinámico, la simetría y la linealidad, en la Figura 3.27 se muestran los resultados obtenidos.

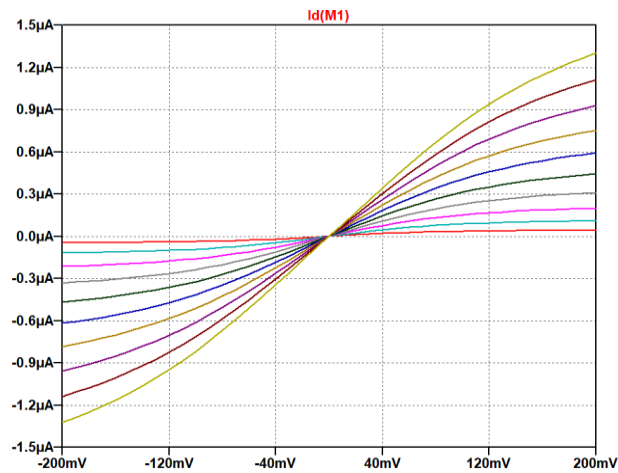


Figura 3. 27. Gráfica de corriente de propuesta (B) simétrica.

### 4 RESULTADOS DEL PROYECTO

- 4.1 Resultados Obtenidos de Simulaciones.
- 4.2 Resultados de Distorsión Armónica.
- 4.3 Resultados de Linealidad.
- 4.4 Resultados de Resistencia.

## 4.1 RESULTADOS OBTENIDOS DE SUMILACIONES.

Analizaremos los resultados de las simulaciones en SPICE de los circuitos propuestos en la literatura, los apartados a considerar son: la distorsión armónica, la linealidad y la resistencia. Se comparan los valores obtenidos de los circuitos propuestos por Tajalli, Kasirri, Nagulapalli, Fuente Ideal, Propuesta (A) y Propuesta (B), esto para conocer la eficiencia de las 2 propuestas hechas por esta investigación y observar cual es la mejor.

## 4.2 RESULTADOS DE LA DISTORSIÓN ARMÓNICA.

Las simulaciones eléctricas del comportamiento de las pseudo-resistencias que se tomaron en cuenta fueron con los siguientes parámetros, un barrido primario en DC de  $V_a$  de -0.75 V a 0.75 V y  $V_b$  a tierra, con un barrido secundario en DC de  $V_{GS}$  de 0.4V a 0.65V, que polariza y ajusta la resistencia. Con lo cual obtenemos la distorsión armónica. La gráfica 4.1 muestra las curvas de resistencia contra la distorsión armónica de cada circuito analizada en esta investigación, en la Tabla 1.9 se muestra esta información, se puede observar que ambas configuraciones propuestas entregan mejores resultados, ya sea en resistencia como en distorsión armónica, pero la propuesta (A) tiene menor distorsión armónica, cercana a la fuente ideal.

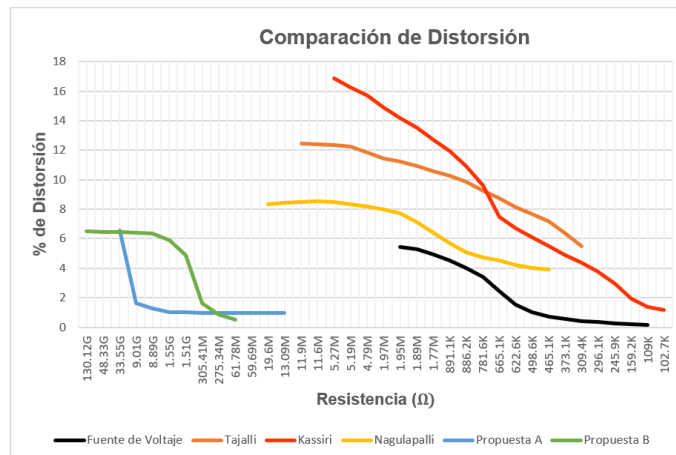


Figura 4. 1. Gráfica de comparación de distorsión armónica contra la resistencia.

Tabla 1. 9. Comparación de resistencias contra distorsiones armónicas.

Resistencia ( $\Omega$ )	Porcentaje Distorsión Armónica (%)					
	Fuente de Voltaje	Tajalli	Kassiri	Nagulapalli	Propuesta A	Propuesta B
130.12G	-	-	-	-	-	6.480378
48.33G	-	-	-	-	-	6.468517
33.55G	-	-	-	-	6.572382	-
9.01G	-	-	-	-	1.650998	-
8.89G	-	-	-	-	-	6.341369
1.55G	-	-	-	-	1.030273	-
1.51G	-	-	-	-	-	4.857438
305.41M	-	-	-	-	-	1.650906
275.34M	-	-	-	-	0.961038	-
61.78M	-	-	-	-	-	0.502449
59.69M	-	-	-	-	0.953642	-
19.6M	-	-	-	8.343407	-	-
13.09M	-	-	-	-	0.946665	-
11.9M	-	12.43676	-	-	-	-
11.6M	-	-	-	8.533079	-	-
5.27M	-	-	16.87755	-	-	-
5.19M	-	12.23772	-	-	-	-
4.79M	-	-	-	8.179503	-	-
1.97M	-	11.448467	-	-	-	-
1.95M	5.420165	-	-	-	-	-
1.89M	-	-	-	7.130144	-	-
1.77M	-	-	12.72633	-	-	-
891.1k	-	-	-	5.705496	-	-
886.2k	-	9.861775	-	-	-	-
781.6k	3.420047	-	-	-	-	-
665.1k	-	-	7.488559	-	-	-
622.6k	1.512438	-	-	-	-	-
498.6k	-	7.682389	-	-	-	-
465.1k	-	-	-	3.92835	-	-
373.1k	0.556557	-	-	-	-	-
309.4k	-	5.49389	-	-	-	-
296.1k	-	-	3.738026	-	-	-
245.9k	0.243796	-	-	-	-	-
159.2k	-	-	1.952548	-	-	-
109k	0.161596	-	-	-	-	-
102.7k	-	-	1.162406	-	-	-

### 4.3 RESULTADOS DE LINEALIDAD.

En la segunda etapa se comparan la linealidad eso se ve reflejado en el rango dinámico que entrega cada pseudo-resistencia, en la Tabla 1.10 se muestran los valores obtenidos y se observa que las propuestas (A) y (B) tienen un rango

dinámico aceptable que van de 0.3V a 0.4V, con esto se ve que pueden competir contra las propuestas de la literatura, debido a que optimizan recursos dentro de chip al no utilizan fuentes externas.

*Tabla 1. 10. Comparación de rango dinámico.*

	Fuente ideal	Tajalli	Kassiri	Nagulapalli	Propuesta A	Propuesta B
Rango Dinámico	0.6V	0.3V	0.4V	0.2V	0.4V	0.3V

#### 4.4 RESULTADOS DE RESISTENCIA.

Como última etapa se compara otro dato importante es que la resistencia, para obtener estos valores se hace un barrido en  $I_6$  de 1nA a 50 $\mu$ A, además se observa que los valores de resistencias en la escala de gigaohms se alcanzan con corrientes pequeñas en la escala de nanoamperes, pero los valores para microamperes son aceptables en la escala de cientos de kilohms, la Tabla 1.11 muestra los resultados, la propuesta (B) tiene un poco de resistencia. En la Figura 4.2 muestra cómo queda la gráfica de los valores.

*Tabla 1. 11. Comparación de resistencias de las 2 propuestas.*

Corriente	Resistencia ( $\Omega$ )	
	Propuesta (A)	Propuesta (B)
1nA	33.55G	130.12G
2nA	9.01G	48.33G
5nA	1.55G	8.89G
10nA	275.34M	1.51G
20nA	59.69M	305.41M
50nA	19.87M	89.54M
100nA	13.09M	61.78M
200nA	3.58M	14.83M
500nA	1.58M	5.51M
1 $\mu$ A	654.47k	2.21M
2 $\mu$ A	261.84k	764.12k
5 $\mu$ A	157.41k	396.94k
10 $\mu$ A	114.06k	250.06k
20 $\mu$ A	91.37k	178.77k
50 $\mu$ A	86.72k	158.64k

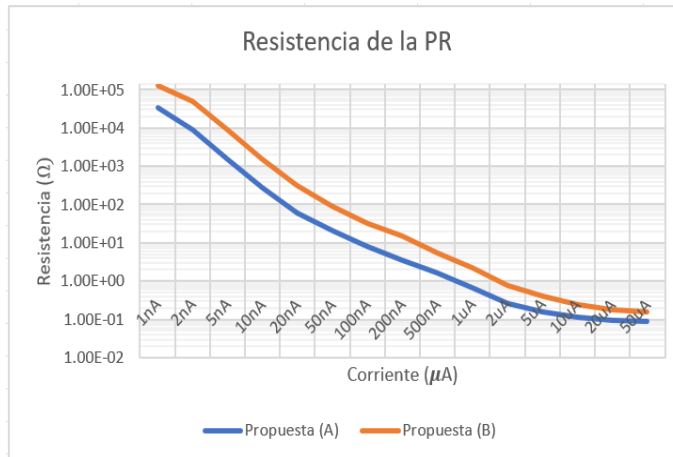


Figura 4. 2. Gráfica de comparación de corriente contra la resistencia de las propuestas A y B.

### 5 CONCLUSIONES

- 5.1 Conclusiones.
- 5.2 Recomendaciones.
- 5.3 Trabajos Futuros.



## 5.1 CONCLUSIONES

Se presenta una pseudo-resistencia original con desplazadores de nivel libres de efecto cuerpo. Desde la perspectiva del diseño, a pesar de que la conexión de las terminales de cuerpo (bulk) de los transistores PMOS de la pseudo-resistencia, otorga menos resistencia, esta conexión mejora su linealidad. Además, el ajuste del voltaje  $V_{GS}$  a través de la corriente de polarización  $I_{bps}$  permite cambiar el valor de la resistencia observada en sus terminales de una manera precisa. La propuesta A tiene un mejor rango dinámico de 0.4V, mejor linealidad y un rango de resistencia de 33G $\Omega$  a 86k $\Omega$ . La propuesta B tiene un mejor rango de resistencia que va desde los 130G $\Omega$  a 180k $\Omega$ , pero su rango dinámico es menor (0.3V) por lo tanto su linealidad es menor también. Como ya se presentó en los capítulos anteriores, es por este motivo que este trabajo recomienda utilizar la propuesta A ya que entrega mejores prestaciones y su buena linealidad lo hace útil para muchas aplicaciones.

Otra ventaja del diseño de la pseudo-resistencia es que al momento de implementarlo dentro de un chip la conexión del bulk entre los transistores permite usar un solo pozo, este hecho permite ahorrar área, a diferencia de otros enfoques donde una conexión separada requiere dos pozos a diferentes potenciales. Con esto se logró alcanzar los objetivos planteados en esta investigación que fueron desarrollar un diseño original, de baja THD y una mejor linealidad, para finalmente dar solución al problema planteado.

## 5.2 RECOMENDACIONES

Se debe tener precaución en las relaciones de corrientes de  $I_1-I_2$  e  $I_4-I_5$  en el seguidor voltaje propuesto por Palmisano, que se utiliza para polariza las terminales compuertas (gate) de los transistores PMOS de la pseudo-resistencia, porque de acuerdo con las pruebas que realizamos funcionan mejor en los parámetros de 1 $\mu$ A a 10 $\mu$ A, de esta relación depende la simetría en la corriente  $I_d(M_1)$ .

### **5.3 TRABAJOS FUTUROS**

Como trabajo futuro se propone mandar construir esta pseudo-resistencia en un chip para realizar todas las mediciones de distorsión armónica, resistencia, corrientes y voltajes de este dispositivo para compararlo con los ya existentes, para seguir observando el buen desempeño que se obtuvo en las simulaciones.

### 6 ANEXOS

- 6.1 Tablas de Consulta.
- 6.2 Tecnología 0.35 $\mu$ m Utilizada.
- 6.3 Medición de THD de la Propuesta A.
- 6.4 Medición de THD de la Propuesta B.
- 6.5 Movilidad Estudiantil.
- 6.6 Artículo Publicado.
- 6.7 Reporte de Detección de plagio.

## 6.1 TABLAS DE CONSULTA

Tabla A. 1. Parámetros Médicos y Fisiológicos.

Parámetro o técnica de medición	Rango de medición principal del parámetro	Rango de frecuencia de la señal, Hz	Sensor o método estándar
Ballistocardiografía (BCG)	0-7 mg 0-100µm	dc-40 dc-40	Acelerómetro, galga extensométrica Transformador diferencial variable lineal de desplazamiento (LVDT)
Presión vesical	1-100 cm H <sub>2</sub> O	dc-10	Manómetro de galgas extensométricas
Flujo sanguíneo	1-300 ml/s	dc-20	Caudalímetro (electromagnético o ultrasónico)
Presión arterial			
Directo	10-400 mm Hg	dc-50	Manómetro de galgas extensométricas
Indirecto	25-400 mm Hg	dc-60	Manguito, auscultación
Presión arterial venosa	0-50 mm Hg	dc-50	Galgas extensométricas
Gases en sangre			
Po <sub>2</sub>	30-100 mm Hg	dc-2	Electrodo específico, volumétrico o manométrico
Pco <sub>2</sub>	40-100 mm Hg	dc-2	Electrodo específico, volumétrico o manométrico
PN <sub>2</sub>	1-3 mm Hg	dc-2	Electrodo específico, volumétrico o manométrico
Pco	0.1-0.4 mm Hg	dc-2	Electrodo específico, volumétrico o manométrico
pH de la sangre	6.8-7.8 pH unidades	dc-2	Electrodo específico
Gasto cardíaco	4-25 litros/min	dc-20	Dilución del colorante, Fick
Electrocardiografía (ECG)	0.5-4 mV	0.01-250	Electrodos cutáneos
Electroencefalografía (EEG)	5-300 µV	dc-150	Electrodos para el cuero cabelludo
(Electrocorticografía y profundidad cerebral)	10-5000 µV	dc-150	Electrodos de superficie cerebral o de profundidad
Electrogastrografía (EGG)	10-1000 µV	dc-1	Electrodos de superficie cutánea
	0.5-80 mV	dc-1	Electrodos de la superficie del estómago
Electromiografía (EMG)	0.1-5 mV	dc-10,000	Electrodos de aguja
Potenciales oculares			
Electrooculograma (EOG)	50-3500 µV	dc-50	Electrodos de contacto
Electrorretinograma (ERG)	0-900 µV	dc-50	Electrodos de contacto
Respuesta galvánica de la piel (GSR)	1-500 kΩ	0.01-1	Electrodos cutáneos
pH gástrico	3-13 pH unidades	dc-1	Electrodo de pH; electrodo de antimonio
Presión Gastrointestinal	1-100 cm H <sub>2</sub> O	dc-10	Manómetro de galgas extensométricas
Fuerza Gastrointestinal	1-50 g	dc-1	Sistema de desplazamiento (LVDT)
Potencial Nervioso	0.01-3 mV	dc-10,000	Electrodo de superficie o de aguja
Fonocardiografía	Rango dinámico de 80dB, umbral cercano a 100 µPa	5-2000	Micrófono
Pletismografía (cambio de volumen)	Varían con órgano medido	dc-30	Cámara de desplazamiento o cambio de impedancia
Circulatorio	0-30 ml	dc-30	Cámara de desplazamiento o cambio de impedancia
Neumotacografía de la Función Respiratoria (tasa de flujo)	0-60 litros/min	dc-40	Neumotacografía de cabeza y presión diferencial
Frecuencia Respiratoria	2-50 respiraciones/min	0.1-10	Medidor de tensión en impedancia torácica, termistor nasal
Volumen de Corriente	50-1000 ml/ respiraciones	0.1-10	métodos anteriores
Temperatura del Cuerpo	32-40 °C 90-104 °F	dc-0.1	Termistor, termopar

Tabla A. 2. Comparación de características de las pseudo-resistencias.

	Tajalli	Kassiri	Nagulapalli	Propuesta A	Propuesta B
Rango Dinámico (V)	0.5	0.6	0.6	0.4	0.3
THD (%)	5dB	1	No reporta	2.01	4.38
Corriente de Polarización (A)	10n – 100n	25n – 125n	5n – 200n	1u – 10u	1u – 10u
Frecuencia (Hz)	3 – 106k	0.5 – 5k	0.5 – 10k	10 – 100k	10 – 100k
Voltaje Riel a Riel (V)	(-0.5) - 0.5	0 – 1.2	0 – 0.7	(-0.75) – 0.75	(-0.75) – 0.75
Resistencia ( $\Omega$ )	100k – 1G	20k – 6G	2k – 500M	86k – 33G	158k – 130G
Tecnología ( $\mu$ )	0.18	0.13	0.18	0.35	0.35
Implementación	No	No	Si	Si	No

## 6.2 TECNOLOGÍA 0.35 $\mu$ m UTILIZADA

Modelo de SPICE del transistor PMOS.

```

MODEL CMOS PMOS ( LEVEL = 49
+VERSION = 3.1 TNOM = 27 TOX = 7.8E-9
+XJ = 1E-7 NCH = 8.52E16 VTH0 = -0.6454265
+K1 = 0.4369852 K2 = -0.0115564 K3 = 86.786444
+K3B = -4.9970194 W0 = 6.767973E-6 NLX = 1.76601E-7
+DVT0W = 0 DVT1W = 0 DVT2W = 0
+DVT0 = 0.7496723 DVT1 = 0.6613816 DVT2 = -0.103687
+U0 = 152.3116225 UA = 1E-10 UB = 1.872482E-18
+UC = -1.70564E-11 VSAT = 2E5 A0 = 1.016796
+AGS = 0.3571879 B0 = 2.488951E-6 B1 = 5E-6
+KETA = -7.455115E-3 A1 = 4.217842E-3 A2 = 1
+RDSW = 4E3 PRWG = -3.554548E-3 PRWB = -0.2181109
+WR = 1 WINT = 1.466858E-7 LINT = 0
+XL = -5E-8 XW = 1.5E-7 DWG = -1.587305E-8
+DWB = 1.199457E-8 VOFF = -0.1284763 NFACTOR = 1.9820141
+CIT = 0 CDSC = 2.4E-4 CDSCD = 0
+CDSCB = 0 ETA0 = 0.0292067 ETAB = 1.434788E-3
+DSUB = 0.3099826 PCLM = 4.1080567 PDIBLC1 = 1.137124E-3
+PDIBLC2 = -3.792196E-6 PDIBLCB = -1E-3 DROUT = 5.260517E-4
+PSCBE1 = 7.992527E10 PSCBE2 = 5.048233E-10 PVAG = 15
+DELTA = 0.01 RSH = 154.8 MOBMOD = 1
+PRT = 0 UTE = -1.5 KT1 = -0.11
+KTIL = 0 KT2 = 0.022 UA1 = 4.31E-9
+UB1 = -7.61E-18 UC1 = -5.6E-11 AT = 3.3E4
+WL = 0 WLN = 1 WW = 0
+WWN = 1 WWL = 0 LL = 0
+LLN = 1 LW = 0 LWN = 1
+LWL = 0 CAPMOD = 2 XPART = 0.5
+CGDO = 3.61E-10 CGSO = 3.61E-10 CGBO = 1E-12
+CJ = 1.396211E-3 PB = 0.99 MJ = 0.5789455
+CJSW = 3.172608E-10 PBSW = 0.99 MJSW = 0.3575303
+CJSWG = 4.42E-11 PBSWG = 0.99 MJSWG = 0.3575303
+CF = 0 PVTH0 = 0.0158948 PRDSW = -140.5348769
+PK2 = 2.080991E-3 WKETA = 3.801398E-3 LKETA = -5.310377E-4

```

### Modelo de SPICE del transistor NMOS.

```

MODEL CMOSN NMOS (
LEVEL = 49
+VERSION = 3.1 TNOM = 27 TOX = 7.8E-9
+XJ = 1E-7 NCH = 2.2E17 VTH0 = 0.4748682
+K1 = 0.6081757 K2 = 1.472757E-3 K3 = 100
+K3B = -10 W0 = 3.107538E-5 NLX = 2.776034E-7
+DVT0W = 0 DVT1W = 0 DVT2W = 0
+DVT0 = 2.5480636 DVT1 = 0.9046318 DVT2 = -0.3
+U0 = 364.6515317 UA = -7.40828E-10 UB = 2.274664E-18
+UC = 3.58289E-11 VSAT = 1.625321E5 A0 = 1.1487926
+AGS = 0.1658935 B0 = 6.53184E-7 B1 = 5E-6
+KETA = 1.201032E-3 A1 = 0 A2 = 0.4295292
+RDSW = 1.019972E3 PRWG = -0.078848 PRWB = -0.1393218
+WR = 1 WINT = 1.454281E-7 LINT = 0
+XL = -5E-8 XW = 1.5E-7 DWG = -5.272652E-9
+DWB = 5.505639E-9 VOFF = -0.0956879 NFACTOR = 1.3450054
+CIT = 0 CDSC = 2.4E-4 CDSCD = 0
+CDSCB = 0 ETA0 = 0.8142519 ETAB = 0.0291716
+DSUB = 0.7482742 PCLM = 1.6391571 PDIBLC1 = 1.492529E-4
+PDIBLC2 = 4.899131E-3 PDIBLCB = 0.076428 DROUT = 3.327122E-4
+PSCBE1 = 7.16208E8 PSCBE2 = 1E-3 PVAG = 4.318113E-3
+DELTA = 0.01 RSH = 79.5 MOBMOD = 1
+PRT = 0 UTE = -1.5 KT1 = -0.11
+KT1L = 0 KT2 = 0.022 UA1 = 4.31E-9
+UB1 = -7.61E-18 UC1 = -5.6E-11 AT = 3.3E4
+WL = 0 WLN = 1 WW = 0
+WWN = 1 WWL = 0 LL = 0
+LLN = 1 LW = 0 LWN = 1
+LWL = 0 CAPMOD = 2 XPART = 0.5
+CGDO = 3.18E-10 CGSO = 3.18E-10 CGBO = 1E-12
+CJ = 9.256967E-4 PB = 0.8 MJ = 0.3568142
+CJSW = 2.797251E-10 PBSW = 0.8 MJSW = 0.2027279
+CJSWG = 1.82E-10 PBSWG = 0.8 MJSWG = 0.2027279
+CF = 0 PVTH0 = -0.028295 PRDSW = -98.6864009
+PK2 = 1.513075E-3 WKETA = -8.212533E-4 LKETA = 5.535967E-4)

```

# 6.3 MEDICIÓN DE THD DE LA PROPUESTA A

Nestlist de la medición de THD de la propuesta A en SPICE.

```
Circuit: * D:\MAESTRIA 1\Tesis\PropuestaA.asc
Warning: Pd = 0 is less than W.
Warning: Ps = 0 is less than W.
Warning: Pd = 0 is less than W.
Warning: Ps = 0 is less than W.
Warning: Pd = 0 is less than W.
Warning: Ps = 0 is less than W.
Warning: Pd = 0 is less than W.
Warning: Ps = 0 is less than W.
Warning: Pd = 0 is less than W.
Warning: Ps = 0 is less than W.
Direct Newton iteration failed to find .op point. (Use ".option nooper" to skip.)
Starting Gmin stepping
Gmin = 10
Gmin = 1.07374
Gmin = 0.115292
Gmin = 0.0123794
Gmin = 0.00132923
Gmin = 0.000142725
Gmin = 1.5325e-005
Gmin = 1.6455e-006
Gmin = 1.76685e-007
Gmin = 1.89714e-008
Gmin = 2.03704e-009
Gmin = 2.18725e-010
Gmin = 2.34854e-011
Gmin = 2.52173e-012
Gmin = 2.70769e-013
Gmin = 0
Gmin stepping succeeded in finding the operating point.

.step i=1e-006
N-Period=all
Fourier components of Id(m1)
DC component:1.23932e-012
```

Harmonic Number	Frequency [Hz]	Fourier Component	Normalized Component	Phase [deg]	Normalized Phase [deg]
1	1.000e+04	5.566e-09	1.000e+00	0.02°	0.00°
2	2.000e+04	3.157e-12	5.673e-04	153.90°	153.88°
3	3.000e+04	3.436e-10	6.174e-02	-0.26°	-0.27°
4	4.000e+04	1.458e-12	2.619e-04	-99.10°	-99.11°
5	5.000e+04	7.077e-11	1.271e-02	-0.33°	-0.35°
6	6.000e+04	5.231e-13	9.398e-05	-68.73°	-68.75°
7	7.000e+04	6.397e-12	1.149e-03	0.09°	0.07°
8	8.000e+04	9.414e-13	1.691e-04	-82.80°	-82.82°
9	9.000e+04	1.217e-12	2.187e-04	177.72°	177.71°
10	1.000e+05	4.382e-13	7.873e-05	-77.15°	-77.16°

Total Harmonic Distortion: 6.572382%(6.304984%)

```
.step i=3e-006
N-Period=all
Fourier components of Id(m1)
DC component:8.0316e-012
```

Harmonic Number	Frequency [Hz]	Fourier Component	Normalized Component	Phase [deg]	Normalized Phase [deg]
1	1.000e+04	1.800e-08	1.000e+00	0.00°	0.00°
2	2.000e+04	1.232e-12	6.842e-05	155.43°	155.43°
3	3.000e+04	1.108e-09	6.156e-02	-0.10°	-0.10°
4	4.000e+04	3.864e-12	2.146e-04	-83.43°	-83.43°
5	5.000e+04	2.035e-10	1.130e-02	-0.02°	-0.02°
6	6.000e+04	2.192e-12	1.217e-04	-74.14°	-74.14°
7	7.000e+04	1.507e-11	8.369e-04	1.82°	1.81°
8	8.000e+04	3.345e-12	1.858e-04	-87.58°	-87.58°
9	9.000e+04	2.764e-12	1.535e-04	175.63°	175.63°
10	1.000e+05	1.309e-12	7.273e-05	-94.70°	-94.70°

Total Harmonic Distortion: 1.650998%(1.620211%)

```
.step i=5e-006
N-Period=all
Fourier components of Id(m1)
DC component:1.89364e-011
```

Harmonic Number	Frequency [Hz]	Fourier Component	Normalized Component	Phase [deg]	Normalized Phase [deg]
1	1.000e+04	3.190e-08	1.000e+00	0.00°	0.00°
2	2.000e+04	4.901e-12	1.536e-04	-85.35°	-85.35°
3	3.000e+04	1.860e-09	5.832e-02	-0.06°	-0.06°
4	4.000e+04	6.075e-12	1.904e-04	-83.18°	-83.18°
5	5.000e+04	3.014e-10	9.449e-03	0.05°	0.05°
6	6.000e+04	3.905e-12	1.224e-04	-79.47°	-79.47°
7	7.000e+04	1.432e-11	4.489e-04	3.17°	3.17°
8	8.000e+04	5.653e-12	1.772e-04	-88.68°	-88.68°
9	9.000e+04	4.870e-12	1.527e-04	178.03°	178.03°
10	1.000e+05	2.068e-12	6.483e-05	-92.08°	-92.08°

Total Harmonic Distortion: 1.030273%(1.050813%)

```
Circuit: * D:\MAESTRIA 1\Tesis\PropuestaA.asc
Warning: Pd = 0 is less than W.
Warning: Ps = 0 is less than W.
Warning: Pd = 0 is less than W.
Warning: Ps = 0 is less than W.
Warning: Pd = 0 is less than W.
Warning: Ps = 0 is less than W.
Warning: Pd = 0 is less than W.
Warning: Ps = 0 is less than W.
Warning: Pd = 0 is less than W.
Warning: Ps = 0 is less than W.
Direct Newton iteration failed to find .op point. (Use ".option nooper" to skip.)
Starting Gmin stepping
Gmin = 10
Gmin = 1.07374
Gmin = 0.115292
Gmin = 0.0123794
Gmin = 0.00132923
Gmin = 0.000142725
Gmin = 1.5325e-005
Gmin = 1.6455e-006
Gmin = 1.76685e-007
Gmin = 1.89714e-008
Gmin = 2.03704e-009
Gmin = 2.18725e-010
Gmin = 2.34854e-011
Gmin = 2.52173e-012
Gmin = 2.70769e-013
Gmin = 0
Gmin stepping succeeded in finding the operating point.

.step i=1e-006
N-Period=all
Fourier components of Id(m2)
DC component:-1.23974e-012
```

Harmonic Number	Frequency [Hz]	Fourier Component	Normalized Component	Phase [deg]	Normalized Phase [deg]
1	1.000e+04	5.566e-09	1.000e+00	-179.98°	0.00°
2	2.000e+04	5.016e-12	9.013e-04	-164.33°	15.65°
3	3.000e+04	3.436e-10	6.174e-02	179.75°	359.73°
4	4.000e+04	1.511e-12	2.715e-04	107.01°	287.00°
5	5.000e+04	7.077e-11	1.271e-02	179.68°	359.66°
6	6.000e+04	4.869e-13	8.749e-05	82.93°	262.91°
7	7.000e+04	6.397e-12	1.149e-03	-179.97°	0.01°
8	8.000e+04	9.322e-13	1.675e-04	88.07°	268.05°
9	9.000e+04	1.217e-12	2.187e-04	-2.11°	177.88°
10	1.000e+05	4.306e-13	7.736e-05	97.45°	277.43°

Total Harmonic Distortion: 6.572382%(6.305361%)

```
.step i=3e-006
N-Period=all
Fourier components of Id(m2)
DC component:-8.03224e-012
```

Harmonic Number	Frequency [Hz]	Fourier Component	Normalized Component	Phase [deg]	Normalized Phase [deg]
1	1.000e+04	1.800e-08	1.000e+00	-180.00°	0.00°
2	2.000e+04	5.024e-12	2.790e-04	-174.29°	5.71°
3	3.000e+04	1.108e-09	6.156e-02	179.90°	359.90°
4	4.000e+04	3.891e-12	2.161e-04	99.22°	279.21°
5	5.000e+04	2.035e-10	1.130e-02	179.99°	359.98°
6	6.000e+04	2.113e-12	1.174e-04	94.53°	274.52°
7	7.000e+04	1.507e-11	8.369e-04	-178.22°	1.78°
8	8.000e+04	3.343e-12	1.857e-04	88.74°	268.73°
9	9.000e+04	2.763e-12	1.535e-04	-4.29°	175.70°
10	1.000e+05	1.320e-12	7.333e-05	81.78°	261.77°

Total Harmonic Distortion: 1.650998%(1.62668%)

```
.step i=5e-006
N-Period=all
Fourier components of Id(m2)
DC component:-1.89383e-011
```

Harmonic Number	Frequency [Hz]	Fourier Component	Normalized Component	Phase [deg]	Normalized Phase [deg]
1	1.000e+04	3.190e-08	1.000e+00	-180.00°	0.00°
2	2.000e+04	6.925e-12	2.171e-04	135.04°	315.04°
3	3.000e+04	1.860e-09	5.832e-02	179.94°	359.93°
4	4.000e+04	6.049e-12	1.896e-04	93.93°	273.93°
5	5.000e+04	3.014e-10	9.449e-03	-179.95°	0.05°
6	6.000e+04	3.841e-12	1.204e-04	91.62°	271.62°
7	7.000e+04	1.432e-11	4.489e-04	-176.86°	3.14°
8	8.000e+04	5.656e-12	1.773e-04	88.42°	268.42°
9	9.000e+04	4.870e-12	1.527e-04	-1.93°	178.07°
10	1.000e+05	2.080e-12	6.520e-05	84.28°	264.28°

Total Harmonic Distortion: 1.030273%(1.090815%)

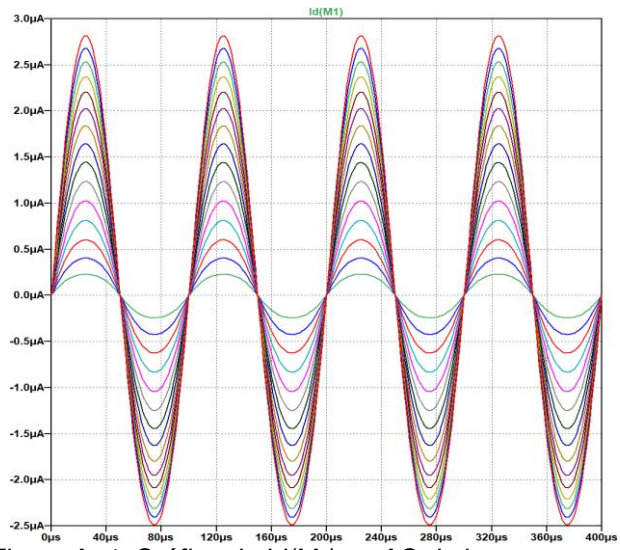


Figura A. 1. Gráfica de  $I_d(M_1)$  en AC de la propuesta A.



## 6.4 MEDICIÓN DE THD DE LA PROPUESTA B

Nestlist de la medición de THD de la propuesta B en SPICE.

```
Circuit: * D:\MAESTRIA 1\Tesis\PropuestaB.asc
Direct Newton iteration failed to find .op point. (Use ".option nooper" to skip.)
Starting Gmin stepping
Gmin = 10
Gmin = 1.07374
Gmin = 0.115292
Gmin = 0.0123794
Gmin = 0.00132923
Gmin = 0.000142725
Gmin = 1.5325e-005
Gmin = 1.6455e-006
Gmin = 1.76685e-007
Gmin = 1.89714e-008
Gmin = 2.03704e-009
Gmin = 2.18725e-010
Gmin = 2.34854e-011
Gmin = 2.52173e-012
Gmin = 2.70769e-013
Gmin = 0
Gmin stepping succeeded in finding the operating point.

.step i=1e-006
N-Period=all
Fourier components of Id(m1)
DC component:-8.10649e-011

Harmonic Frequency Fourier Normalized Phase Normalized
Number [Hz] Component Component [degree] Phase [deg]
1 1.000e+04 8.495e-08 1.000e+00 88.63° 0.00°
2 2.000e+04 3.083e-09 3.629e-02 -10.87° -99.50°
3 3.000e+04 8.945e-10 1.053e-02 96.37° 7.74°
4 4.000e+04 4.488e-10 5.283e-03 -13.35° -101.98°
5 5.000e+04 4.667e-10 5.494e-03 -104.21° -192.84°
6 6.000e+04 7.417e-11 8.730e-04 -138.81° -227.45°
7 7.000e+04 3.108e-10 3.659e-03 -98.99° -187.62°
8 8.000e+04 2.365e-10 2.784e-03 -167.63° -256.27°
9 9.000e+04 4.755e-11 5.597e-04 -73.09° -161.72°
10 1.000e+05 1.522e-10 1.791e-03 -117.70° -206.34°
Total Harmonic Distortion: 6.480378%(6.334427%)

.step i=2e-006
N-Period=all
Fourier components of Id(m1)
DC component:-5.60762e-011

Harmonic Frequency Fourier Normalized Phase Normalized
Number [Hz] Component Component [degree] Phase [deg]
1 1.000e+04 8.542e-08 1.000e+00 89.02° 0.00°
2 2.000e+04 2.796e-09 3.273e-02 -8.99° -98.01°
3 3.000e+04 8.799e-10 1.030e-02 97.84° 8.83°
4 4.000e+04 4.657e-10 5.452e-03 -5.75° -94.77°
5 5.000e+04 4.205e-10 4.923e-03 -100.31° -189.32°
6 6.000e+04 3.575e-11 4.185e-04 -150.71° -239.73°
7 7.000e+04 2.777e-10 3.251e-03 -91.26° -180.28°
8 8.000e+04 2.098e-10 2.456e-03 -169.43° -258.44°
9 9.000e+04 4.970e-11 5.818e-04 -17.97° -106.99°
10 1.000e+05 1.309e-10 1.533e-03 -105.03° -194.04°
Total Harmonic Distortion: 6.468517%(6.4970569%)

.step i=3e-006
N-Period=all
Fourier components of Id(m1)
DC component:-3.88779e-011

Harmonic Frequency Fourier Normalized Phase Normalized
Number [Hz] Component Component [degree] Phase [deg]
1 1.000e+04 8.568e-08 1.000e+00 89.19° 0.00°
2 2.000e+04 2.605e-09 3.041e-02 -7.94° -97.13°
3 3.000e+04 8.433e-10 9.842e-03 98.92° 9.73°
4 4.000e+04 4.707e-10 5.494e-03 -0.53° -89.72°
5 5.000e+04 4.094e-10 4.778e-03 -97.63° -186.82°
6 6.000e+04 2.429e-11 2.835e-04 155.95° 66.76°
7 7.000e+04 2.778e-10 3.242e-03 -86.43° -175.62°
8 8.000e+04 2.044e-10 2.385e-03 -173.50° -262.69°
9 9.000e+04 4.365e-11 7.428e-04 -8.86° -98.05°
10 1.000e+05 1.102e-10 1.286e-03 -102.74° -191.93°
Total Harmonic Distortion: 6.341369%(6.374497%)
```

```
Circuit: * D:\MAESTRIA 1\Tesis\PropuestaB.asc
Direct Newton iteration failed to find .op point. (Use ".option nooper" to skip.)
Starting Gmin stepping
Gmin = 10
Gmin = 1.07374
Gmin = 0.115292
Gmin = 0.0123794
Gmin = 0.00132923
Gmin = 0.000142725
Gmin = 1.5325e-005
Gmin = 1.6455e-006
Gmin = 1.76685e-007
Gmin = 1.89714e-008
Gmin = 2.03704e-009
Gmin = 2.18725e-010
Gmin = 2.34854e-011
Gmin = 2.52173e-012
Gmin = 2.70769e-013
Gmin = 0
Gmin stepping succeeded in finding the operating point.

.step i=1e-006
N-Period=all
Fourier components of Id(m2)
DC component:-8.388e-011

Harmonic Frequency Fourier Normalized Phase Normalized
Number [Hz] Component Component [degree] Phase [deg]
1 1.000e+04 6.541e-09 1.000e+00 -71.84° 0.00°
2 2.000e+04 5.054e-10 7.727e-02 -112.21° -40.37°
3 3.000e+04 3.388e-10 5.180e-02 -119.18° -47.34°
4 4.000e+04 1.329e-10 2.031e-02 -150.27° -78.43°
5 5.000e+04 1.076e-10 1.646e-02 -134.05° -62.21°
6 6.000e+04 6.992e-11 1.069e-02 -100.46° -28.62°
7 7.000e+04 1.265e-10 1.933e-02 -101.48° -29.64°
8 8.000e+04 1.007e-10 1.539e-02 -90.44° -18.60°
9 9.000e+04 1.962e-10 3.000e-02 -95.84° -24.01°
10 1.000e+05 1.666e-10 2.547e-02 -126.24° -54.40°
Total Harmonic Distortion: 6.480378%(6.886476%)

.step i=2e-006
N-Period=all
Fourier components of Id(m2)
DC component:-6.04656e-011

Harmonic Frequency Fourier Normalized Phase Normalized
Number [Hz] Component Component [degree] Phase [deg]
1 1.000e+04 6.297e-09 1.000e+00 -76.52° 0.00°
2 2.000e+04 4.008e-10 6.365e-02 -114.33° -37.81°
3 3.000e+04 2.947e-10 4.681e-02 -124.09° -47.57°
4 4.000e+04 9.655e-11 1.533e-02 -168.46° -91.94°
5 5.000e+04 6.487e-11 1.030e-02 -131.09° -54.57°
6 6.000e+04 3.812e-11 6.054e-03 -74.00° 2.52°
7 7.000e+04 9.966e-11 1.583e-02 -82.69° -6.18°
8 8.000e+04 8.582e-11 1.363e-02 -73.01° 3.51°
9 9.000e+04 1.720e-10 2.731e-02 -83.71° -7.19°
10 1.000e+05 1.426e-10 2.265e-02 -115.70° -39.18°
Total Harmonic Distortion: 6.468517%(6.065629%)

.step i=3e-006
N-Period=all
Fourier components of Id(m2)
DC component:-4.77997e-011

Harmonic Frequency Fourier Normalized Phase Normalized
Number [Hz] Component Component [degree] Phase [deg]
1 1.000e+04 6.219e-09 1.000e+00 -78.74° 0.00°
2 2.000e+04 3.509e-10 5.643e-02 -114.80° -36.07°
3 3.000e+04 2.762e-10 4.442e-02 -126.11° -47.38°
4 4.000e+04 8.972e-11 1.443e-02 178.65° 257.38°
5 5.000e+04 4.500e-11 7.236e-03 -128.86° -50.12°
6 6.000e+04 2.522e-11 4.055e-03 -51.39° 27.35°
7 7.000e+04 8.867e-11 1.426e-02 -69.75° 8.98°
8 8.000e+04 7.854e-11 1.263e-02 -65.31° 13.42°
9 9.000e+04 1.589e-10 2.555e-02 -76.20° 2.53°
10 1.000e+05 1.327e-10 2.134e-02 -111.31° -32.58°
Total Harmonic Distortion: 6.341369%(6.043261%)
```

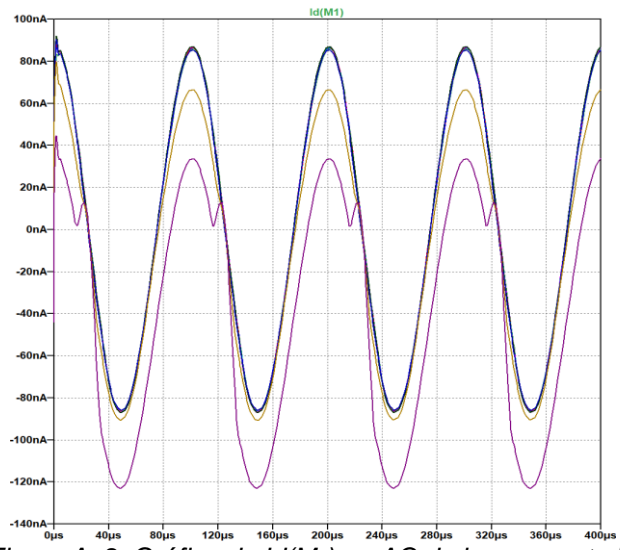


Figura A. 2. Gráfica de  $I_d(M_1)$  en AC de la propuesta B.

## 6.5 MOVILIDAD ESTUDIANTIL



Guadalajara, Jalisco, 16/JULIO/2021

A Quien Corresponda Presente:

Asunto: Carta Movilidad Estudiantil y Docente.

Por medio de la presente carta se reporta la movilidad estudiantil de 4 Maestros del Posgrado Ingeniería en electrónica del Instituto Tecnológico de Cd. Guzmán con numero de referencia 002502, Ing. Víctor Javier Ochoa Guzmán con No. Control M19291017, Ing. Adrián Manuel López Almejo con No. Control M20291051, Ing. Jacob Eleazar Meza Aguilar con No. Control M20291050, Ing. Miguel Ángel Villa Barba con No. Control M20291054 y 2 docentes, Dr. Sergio Sandoval Pérez y el Dr. Jesús Ezequiel Molinar Solís, investigadores del Tecnológico Nacional de México/Instituto Tecnológico de Cd. Guzmán. En la estadia técnica y de solución de problemas técnicos y académicos en las líneas de producción de la compañía durante el periodo **del 04 de enero 2021 al 04 de Julio 2021.**

Cumpliendo con las actividades encomendadas por los ingenieros de la planta Flextronics Manufacturing Mex, S.A. de C.V. (FLEX NORTE) y Flextronics Technologies México, S. de R.L. de C.V. (FLEX SUR) de Guadalajara, Jalisco, México.

Sin más por el momento, se despide de usted su seguro servidor

Ing. Juan Luis Rosas Ornelas  
Gerente de Recursos Humanos Flextronics Manufacturing Mex, S.A. de C.V.,  
Flextronics Technologies México, S. de R.L. de C.V.

## 6.6 ARTÍCULO PUBLICADO

# SPICE models for electrical simulation of commercial MOSFET arrays ALD1105/06/07

Jacob E. Meza-Aguilar  
Electrical/Electronics Dept.  
Tecnologico Nacional de Mexico/ITCG  
Cd. Guzman, Jalisco, MEXICO

Jesus E. Molinar-Solis  
Electrical/Electronics Dept.  
Tecnologico Nacional de Mexico/ITCG  
Cd. Guzman, Jalisco, MEXICO  
jesus.ms@cdguzman.tecnm.mx

Ivan Padilla-Cantoya  
Dept. of Electro-Photonics  
Universidad de Guadalajara  
Guadalajara, Jalisco, MEXICO

Juan J. Ocampo-Hidalgo  
Electrical/Electronics Dept.  
Universidad Autonoma Metropolitana  
Mexico City, MEXICO

Rodolfo Z. Garcia-Lozano  
Dept. of computer science  
Universidad Autonoma del Estado de  
Mexico  
Ecatepec, Estado de Mexico, MEXICO

Sergio Sandoval-Perez  
Electrical/Electronics Dept.  
Tecnologico Nacional de Mexico/ITCG  
Cd. Guzman, Jalisco, MEXICO

**Abstract**— In this work, several parameter extraction procedures were performed on commercial Mosfets ALD1105 and ALD1106/07. The data were fit to find a suitable Spice model for their use on electrical simulations. Since Mosfet Spice level 1 parameters have a direct physical meaning, the presented methodology represents an introductory tool for Mosfet modeling. Moreover, these models can be used for circuit development at transistor level. Simulation results are in good agreement with experimental data.

**Keywords**— CMOS, Spice models, circuit design.

### I. INTRODUCTION

Nowadays, electronics circuit development is strongly related to CAD tools; exhaustive simulations and circuit optimization techniques must be done carefully in order to get a successful design. In this sense, the use of reliable device models is very important, since it increases the possibility of successful implementations reducing time and cost. Recently, the use of commercial MOSFET arrays for circuit development has become an excellent option due to the high cost of manufacturing a full custom CMOS integrated circuit [1]. Additionally, its good matching properties allow the development of accurate current mirrors and other basic analog blocks [2-4]. However, in the case of commercial MOSFET arrays ALD110X, the manufacturer does not provide an accurate device model [5]. Thus, several extraction techniques for MOSFET basic physical parameters were performed, all data were fitted and associated to Spice model Level 1 as a tool for accurate and reliable simulations.

### II. THRESHOLD VOLTAGE AND TRANSCONDUCTANCE PARAMETER EXTRACTION

First, an electrical characterization must be achieved over the MOSFET devices. The transconductance curve in saturation was measured using Keysight B2902A sources. The circuit configuration depicted in Fig. 1 was considered in order to obtain the plots. In this case,  $V_{GS}$  was swept from 0V to 4V with 0.1V steps and  $V_{DS}$  was fixed to 5V to ensure saturation regime,  $V_{BS}=0$ . Fig. 2 shows the measurement plot for ALD1105 and ALD1106 NMOS transistors.

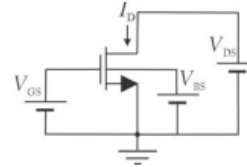


Fig. 1. Circuit configuration with I-V sources.

Considering the drain current in saturation:

$$I_D = \frac{\beta}{2}(V_{GS} - V_{TH})^2 \quad (1)$$

This equation can be linearized as follows:

$$\sqrt{I_D} = \sqrt{\frac{\beta}{2}}(V_{GS} - V_{TH}) \quad (2)$$

Where  $\beta=k_n W/L$  is the transistor transconductance;  $k_n$  is the transconductance parameter;  $W$  the width and  $L$  the length of the MOS gate. From the measured data, the threshold voltage  $V_{TH}$  can be calculated as the intercept to the  $x$ 's axis from the  $V_{GS}$  vs.  $\sqrt{I_D}$  plot, [6], Fig. 3. As can be noticed, for NMOS ALD1105 and ALD1106 the threshold voltage is close to 0.6V. Similarly, to compute the transconductance parameter  $\beta$  using (2), the term  $\sqrt{(\beta/2)}$  can be calculated as the slope from a linear fit from  $V_{GS}$  vs.  $\sqrt{I_D}$  plot. For this case, the data fulfilling  $V_{GS}>0.6V$  are considered for a proper slope computation. Thus, for slope  $m_1$ , the transconductance parameter can be calculated using  $\beta=2m_1^2$ , in this case for NMOS transistors the methodology brings  $\beta=627\mu A/V^2$ .

## 6.7 REPORTE DE DETECCIÓN DE PLAGIO



Similarity Report ID: oid:20755:160548726

PAPER NAME

Tesis Jacob Eleazar Meza Aguilar.pdf

AUTHOR

Jacob Eleazar Meza Aguilar

WORD COUNT

14051 Words

CHARACTER COUNT

72788 Characters

PAGE COUNT

78 Pages

FILE SIZE

3.2MB

SUBMISSION DATE

Aug 7, 2022 11:32 PM CDT

REPORT DATE

Aug 7, 2022 11:40 PM CDT

### ● 11% Overall Similarity

The combined total of all matches, including overlapping sources, for each database.

- 11% Internet database
- 1% Publications database
- Crossref database
- Crossref Posted Content database
- 7% Submitted Works database

### ● Excluded from Similarity Report

- Manually excluded text blocks

### 7 BIBLIOGRAFÍA

- [1] J. G. Webster, *Medical Instrumentation: Application and Design*, vol. Fourth, J. G. Webster, Ed., Danvers, Massachusetts: Jonh Wiley & Sons, 1976, pp. 9-12.
- [2] J. Martín Campos, «ECURED,» 22 Julio 2019. [En línea]. Available: [https://www.ecured.cu/Circuitos\\_de\\_se%C3%B1al\\_mixta](https://www.ecured.cu/Circuitos_de_se%C3%B1al_mixta). [Último acceso: 02 Agosto 2022].
- [3] S. Muh-Tian, Y. Kai-Wen y G. Cihun-Siyong, «Tunable high resistance voltage-controlled pseudo-resistor with wide input voltage swing capability,» *Electronics Letters*, vol. 47, n° 6, pp. 1-2, 2011.
- [4] J. I. Huircán, «Filtros Activos, Conceptos Básicos y Diseño,» Araucania, Chile, 2012.
- [5] S. Muh-Tian, Y. Kai-Wen y G. Cihun-Siyong, «Tunable voltage-controlled pseudo-resistor». United States Patente US8659340B2, 16 09 2011.
- [6] V. Garcia, «Electrónica Práctica Aplicada,» 15 Noviembre 2012. [En línea]. Available: [https://www.diarioelectronicohoy.com/blog/el-transistor-mosfet#:~:text=El%20funcionamiento%20del%20transistor%20MOSFET,asociada%20a%20la%20tensi%C3%B3n%200\)](https://www.diarioelectronicohoy.com/blog/el-transistor-mosfet#:~:text=El%20funcionamiento%20del%20transistor%20MOSFET,asociada%20a%20la%20tensi%C3%B3n%200).). [Último acceso: 02 Agosto 2022].
- [7] D. Ávila y L. Vargas Torres, «Universidad Técnica,» [En línea]. Available: [file:///C:/Users/Mar\\_A/Downloads/vsip.info\\_transistores-13-pdf-free.pdf](file:///C:/Users/Mar_A/Downloads/vsip.info_transistores-13-pdf-free.pdf). [Último acceso: 03 08 2022].
- [8] F. Zárate Rincón, «Caracterización de MOSFETs de Microondas Considerando Variaciones en el Voltaje de Substrato,» © INAOE, Tonantzintla, 2012.
- [9] Y. Tividis y C. McAndrew, *Operation and Modeling of the MOS Transistor*, Third ed., New York: Oxford University Press, 2011, pp. 115-148.
- [10] C. C. Enz y E. A. Vittoz, *Charge-Based MOS Transistor Modeling: The EKV Model for Low-Power and RF IC Design*, New York: Wiley, 2006.
- [11] R. R. Harrison y C. Charles, «A low-power low-noise CMOS amplifier for neural recording applications,» *IEEE Journal of Solid-State Circuits*, vol. 38, n° 6, pp. 958 - 965, 2003.
- [12] B. Barsocchi Testa, C. Fidelix Pereira y R. Camargo Giacomini, «Temperature Effects on Pseudo-resistor Analysis,» *Sociedad Brasileña de Microelectrónica*, São Bernardo do Campo, Brazil, 2019.
- [13] R. Nagulapalli, K. Hayatleh, S. Barker y P. Georgio, «A High Value, Linear and Tunable CMOS Pseudo Resistor for Bio-medical Applications,» *Journal of Circuits, Systems and Computers*, 2018.
- [14] A. Tajalli y Y. Leblebici, «Implementing ultra-high-value floating tunable CMOS resistors,» *Electronics Letters*, vol. 44, n° 5, 28 February 2008.
- [15] H. Kassiri, K. Abdelhalim y R. Genov, «Low-distortion Super-GOhm Subthreshold-MOS Resistors for CMOS Neural Amplifiers,» *IEEE Biomedical Circuits and Systems Conference (BioCAS)*, 12 December 2013.

- [16] F. Yáñez Ortega, J. M. Rocha Pérez, A. Díaz Sánchez, C. Muñiz Montero y J. E. Molinar Solis, «A Novel High-Value Resistor Suitable for Medical Applications,» *Circuits and Systems for Medical and Environmental Applications.*, Puebla, México, 2012.
- [17] L. F. Martínez Pantoja, «Diseño de Bloques Analógicos para Aplicaciones Biomédicas Usando Resistores de Alto Valor,» Tonantzintla, Puebla, 2019.
- [18] B. Boulet, «Distorsión Armónica Total,» de *Fundamentals Of Signals And Systems*, Montreal, Canada, Charles River Media, 2005.
- [19] J. O. Smith, «Dynamic Range,» de *Mathematics of the Discrete Fourier Transform: With Audio Applications*, Stanford University, California, W3K Publishing, 2006.
- [20] G. Palmisano, G. Palumbo y S. Pennisi, «High-performance and simple CMOS unity-gain amplifier,» *IEEE Transactions on Circuits and Systems I Fundamental Theory and Applications*, vol. 47, n° 3, pp. 406 - 410, Abril 2000.