

SEP

SECRETARÍA DE
EDUCACIÓN PÚBLICA



TECNOLÓGICO NACIONAL DE MÉXICO
Secretaría Académica, de Investigación e Innovación
Dirección de Posgrado, Investigación e Innovación

cenidet[®]
Centro Nacional de Investigación
y Desarrollo Tecnológico

Centro Nacional de Investigación y Desarrollo Tecnológico

Subdirección Académica

Departamento de Ingeniería Electrónica

TESIS DE MAESTRÍA EN CIENCIAS

**Circuito de detección de fallas de corto circuito y circuito abierto en el
MOSFET a través del voltaje drenaje fuente**

presentada por

Ing. Gabriel Rodriguez Ojeda

como requisito para la obtención del grado de
Maestro en Ciencias en Ingeniería Electrónica

Director de tesis
Dr. Abraham Claudio Sánchez

Codirector de tesis
Dr. Jesus Aguayo Alquicira

Cuernavaca, Morelos, México. Marzo de 2018.

Cuernavaca, Mor., 5 de marzo de 2018.

OFICIO No. DIE/244/2018

Asunto: Aceptación de documento de tesis

DR. GERARDO VICENTE GUERRERO RAMÍREZ
SUBDIRECTOR ACADÉMICO
PRESENTE

Por este conducto, los integrantes de Comité Tutorial del **C. Gabriel Rodríguez Ojeda** con número de control **M15CE105** de la Maestría en Ciencias en Ingeniería Electrónica, le informamos que hemos revisado el trabajo de tesis profesional titulado "**Circuito de Detección de Fallas de Corto Circuito y Circuito Abierto en el MOSFET a través del Voltaje Drenaje Fuente**" y hemos encontrado que se han realizado todas las correcciones y observaciones que se le indicaron, por lo que hemos acordado aceptar el documento de tesis y le solicitamos la autorización de impresión definitiva.

DIRECTOR DE TESIS



Dr. Abraham Claudio Sánchez
Doctor en Ciencias en Ingeniería Electrónica
Cédula profesional 7675050

CODIRECTOR DE TESIS



Dr. Jesús Aguayo Alquicira
Doctor en Ciencias en Ingeniería Electrónica
Cédula profesional 4706315

REVISOR 1



Dr. Carlos Aguilar Castillo
Doctor en Ciencias en Ingeniería Electrónica
Cédula profesional 3581040

REVISOR 2



Dr. Jesús Darío Mina Antonio
Doctor en Ingeniería
Cédula profesional 6094069

C.p. M.T.I. María Elena Gómez Torres- Jefa del Departamento de Servicios Escolares

Estudiante
Expediente

RFEJ/Irr.



Cuernavaca, Mor., 13 de marzo de 2018

OFICIO No. SAC/155/2018

Asunto: Autorización de impresión de tesis

ING. GABRIEL RODRIGUEZ OJEDA
CANDIDATO AL GRADO DE MAESTRO EN CIENCIAS
EN INGENIERÍA ELECTRÓNICA
P R E S E N T E

Por este conducto, tengo el agrado de comunicarle que el Comité Tutorial asignado a su trabajo de tesis titulado "**Circuito de Detección de Fallas de Corto Circuito y Circuito Abierto en el MOSFET a través del Voltaje Drenaje Fuente**", ha informado a esta Subdirección Académica, que están de acuerdo con el trabajo presentado. Por lo anterior, se le autoriza a que proceda con la impresión definitiva de su trabajo de tesis.

Esperando que el logro del mismo sea acorde con sus aspiraciones profesionales, reciba un cordial saludo.

ATENTAMENTE

"CONOCIMIENTO Y TECNOLOGIA AL SERVICIO DE MEXICO"

DR. GERARDO VICENTE GUERRERO RAMÍREZ
SUBDIRECTOR ACADÉMICO



SEP TecNM
CENTRO NACIONAL
DE INVESTIGACIÓN
Y DESARROLLO
TECNOLÓGICO
SUBDIRECCIÓN
ACADÉMICA

C.p. M.T.I. María Elena Gómez Torres- Jefa del Departamento de Servicios Escolares.
Expediente

GVGR/mcr



Dedicatoria

A mis padres, Gabriel y Gloria, por brindarme su apoyo incondicional no sólo durante esta etapa, sino a través del transcurso de mi vida, sin ustedes queridos padres jamás lo hubiera logrado. A ustedes les debo todo lo que soy, es una bendición tenerlos como padres, gracias por darme más allá de lo que estaba a su alcance.

A mis hermanas y hermano, Esmeralda, Alejandra y Uriel, por apoyarme incondicionalmente, por su confianza y por decirme las palabras adecuadas en el momento preciso para fomentar la confianza en mí. Gracias hermanos por los sacrificios y esfuerzos que realizaron para apoyar mi desarrollo profesional, eso nunca lo voy a olvidar.

Agradecimientos

A Dios, por darme la fortaleza necesaria para seguir adelante a pesar de los tropiezos durante este trayecto.

A mi asesor, Dr. Abraham Claudio Sánchez, por el apoyo incondicional que recibí de su parte, por su comprensión, paciencia, consejos y por sus conocimientos brindados para el desarrollo de este trabajo de tesis, así como para mi desarrollo profesional.

Al Dr. Jesus Aguayo Alquicira, codirector de mi proyecto de tesis, por la disponibilidad de sus conocimientos, asesorías y comentarios, los cuales fueron factores muy importantes para el desarrollo de esta tesis.

A los integrantes del comité de revisión de este trabajo de tesis, Dr. Carlos Aguilar Castillo y Dr. Jesús Darío Mina Antonio, por sus comentarios, aportaciones y sugerencias las cuales contribuyeron a la mejora de este trabajo de tesis.

A Eligio Flores, que durante el desarrollo de la tesis fue un asesor más, brindándome consejos y compartiendo sus conocimientos para lograr un mejor trabajo.

A todos mis amigos y compañeros de generación que hice a lo largo de mi formación: A los "Chuys", Roberto Gamboa, Ismael Cruz; por todas las experiencias que disfrutamos juntos y en particular con cada uno de ellos, las cuales recordaré con cariño y aprecio, de verdad amigos aprendí mucho de ustedes y en especial mi gran amigo Antonio Vallarín, el cual fue un gran apoyo tanto en lo académico como en lo personal.

Agradezco a cenidet por brindarme todos los recursos necesarios, personal docente y administrativo, laboratorios, equipos de medición y material necesario para el desarrollo de mi formación académica, profesional y personal.

Al Consejo Nacional de Ciencia y Tecnología (CONACYT) el cual proporcionó los recursos económicos para el desarrollo de este proyecto de tesis.

Contenido

Lista de figuras	iv
Lista de Tablas.....	v
Acrónimos	vi
Resumen.....	vii
Abstract.....	ix
CAPÍTULO 1	1
1 INTRODUCCIÓN GENERAL	1
1.1 Introducción	1
1.2 Diagnóstico de fallas.....	2
1.2.1 Generación de residuos	4
1.1.1 Redundancia material	5
1.2.2 Redundancia analítica.....	6
1.2.3 Evaluación de residuos	6
1.2.4 Decisión	7
1.2.5 Sistemas tolerantes.....	8
1.3 Planteamiento del problema	9
1.4 OBJETIVOS.....	11
1.4.1 General	11
1.4.2 Específicos.....	11
1.5 Alcances y limitaciones.....	11
CAPÍTULO 2	13
2 MARCO TEÓRICO Y ESTADO DEL ARTE	13
2.1 Introducción a los dispositivos semiconductores	13

2.2 Dispositivo MOSFET	15
2.2.1 MOSFET de tipo enriquecimiento	15
2.3 Fallas en los dispositivos semiconductores de potencia.....	23
2.4 Técnicas de detección y protección de fallas en los DSEP	24
2.4.1 Detección de fallas de corto circuito.....	25
2.4.2 Técnicas de protección del dispositivo	25
2.5 Estado del arte.....	26
2.6 Conclusión del capítulo.....	30
CAPÍTULO 3	31
3 DISEÑO DEL CIRCUITO DE DETECCIÓN DE FALLAS	31
3.1 Introducción al diseño del circuito.....	31
3.2 Dispositivo bajo estudio	32
3.3 Esquema general.....	34
3.3.1 Detección	34
3.3.2 Señales de falla y elección de estrategia de detección.....	35
3.3.3 Análisis térmico del dispositivo MOSFET.....	44
3.3.4 Sensado de V_{ds}	45
3.3.5 Generación de la señal PWM.....	48
3.3.6 Etapa de comparación	49
3.4 Protección.....	51
3.4.1 Desactivación de la señal PWM.....	52
3.4.2 Apagado del dispositivo	53
3.5 Circuito impulsor de compuerta	54
CAPÍTULO 4	56
4 IMPLEMENTACIÓN Y ANÁLISIS DE RESULTADOS	56

4.1 Resultados de la simulación e implementación	56
4.1.1 Pruebas preliminares para el correcto funcionamiento del esquema de pruebas y sensado del voltaje drenaje fuente.....	57
4.1.2 Resultados experimentales	58
CAPÍTULO 5	66
5 CONCLUSIONES Y TRABAJOS FUTUROS	66
5.1 Conclusiones	66
5.2 Trabajos futuros.....	68
Referencias	69

Lista de figuras

Figura 1. Comparativa entre los diferentes dispositivos semiconductores [1].	2
Figura 2. Diagrama general del diagnóstico de fallas.	3
Figura 3. Esquema general para la generación de residuos.	5
Figura 4. Esquema de implementación de la redundancia material.	5
Figura 5. Esquema de implementación de la redundancia analítica.	6
Figura 6. Implementación ilustrada de la evaluación de residuos.	7
Figura 7. Clasificación de los sistemas tolerantes a fallas.	9
Figura 8. Consideraciones de diseño generales.	10
Figura 10. Dispositivo BJT controlado por corriente a) y dispositivo FET controlado por voltaje b).	14
Figura 11. MOSFET de canal n de tipo enriquecimiento.	16
Figura 12. Funcionamiento del MOSFET de tipo enriquecimiento de canal n.	17
Figura 13. Estrangulamiento del canal n al mantener V_{gs} constante y aumentar V_{ds} .	17
Figura 14. Gráfica del comportamiento de un MOSFET de tipo enriquecimiento a diferentes niveles de voltaje de saturación.	19
Figura 15. Símbolos del MOSFET tipo enriquecimiento a) de canal n y b) canal p.	20
Figura 16. Representación del IGBT.	20
Figura 17. Capacitancias intrínsecas del IGBT.	22
Figura 18. Diagrama general del circuito implementado con umbrales adaptables [31].	26
Figura 19. Circuito detector de fallas [29].	27
Figura 20. Comparación de la señal de compuerta con falla y sin falla en caso de HSF a) y FUL b) [32].	28
Figura 21 Diagrama a bloques para detección y protección de los dispositivos MOSFET [32].	28
Figura 22. Esquema para la detección de fallas por el monitoreo del voltaje drenaje fuente [33]	29
Figura 23. Esquemático con las funciones que presenta el circuito en este trabajo [30].	30
Figura 24. Circuito de pruebas en simulación.	33
Figura 25. Señales de conmutación del dispositivo en condiciones nominales validadas en simulación.	33
Figura 26. Esquema general utilizado para la detección de fallas y protección del MOSFET.	34
Figura 27. Señales de conmutación de un DSEP idealizadas.	36
Figura 28. Señales del DSEP bajo falla de corto circuito en caso de FUL.	37
Figura 29. Formas de onda de V_{gs} y V_{ds} idealizadas para detección de falla de corto circuito.	38
Figura 30. Formas de onda V_{gs} e I_{ds} normalizadas para la detección de falla en circuito abierto.	39
Figura 31. Esquema para la detección de circuito abierto por ausencia de la señal de control pwm.	40
Figura 32. Rizado de voltaje en el capacitor para diferentes valores de resistencia a) y capacitancia b).	42

<i>Figura 33. Técnica utilizada para la detección de fallas en un convertidor tolerante monitoreando la corriente de salida [13].</i>	43
<i>Figura 34. Gráfica logarítmica de la impedancia térmica del MOSFET SPP20N60C3.</i>	45
<i>Figura 35. Configuración para el sensado del voltaje drenaje-fuente.</i>	45
<i>Figura 36. Recuperación inversa del diodo.</i>	46
<i>Figura 37. Sensado del voltaje drenaje fuente con el diodo RURP360.</i>	47
<i>Figura 38. Circuito comparador básico a) y su función de transferencia b)[1].</i>	49
<i>Figura 39. Circuito retenedor de pulso R-S (Latch).</i>	50
<i>Figura 40. Esquema para la desactivación de la señal de control PWM.</i>	53
<i>Figura 41. Esquema para la desactivación completa del dispositivo.</i>	54
<i>Figura 42. Circuito impulsor de compuerta (esquemático de altium)</i>	55
<i>Figura 43. Circuito impulsor de compuerta.</i>	55
<i>Figura 44 Circuito de prueba en simulación a) y placa experimental para pruebas b).</i>	57
<i>Figura 45. Sensado del voltaje de drenaje fuente con un diodo (izquierda) y 3 diodos (derecha).</i>	57
<i>Figura 46. Conmutación sin falla sensando con diodo RURP3060 (izquierda) y diodo MUR120 (derecha).</i>	58
<i>Figura 47. Esquema para la implementación de pruebas experimentales.</i>	59
<i>Figura 48. Esquema para la implementación de la prueba de corto circuito.</i>	60
<i>Figura 49. Detección y protección de corto circuito en caso de HSF.</i>	60
<i>Figura 50. Detección y protección de corto circuito en el caso de FUL.</i>	61
<i>Figura 51. Esquema empleado para las pruebas de circuito abierto</i>	62
<i>Figura 52. Detección de circuito abierto cuando se abre el dispositivo.</i>	62
<i>Figura 53. Detección de circuito abierto cuando no llega voltaje a la terminal de drenaje.</i>	63
<i>Figura 54. Esquema para la implementación de las pruebas de circuito abierto en la terminal de fuente.</i>	63
<i>Figura 55. Detección de circuito abierto cuando hay ausencia de PWM.</i>	64
<i>Figura 56. Detección con diferentes umbrales y ciclos de trabajo.</i>	65

Lista de Tablas

<i>Tabla 2. Parámetros del MOSFET SPP20N60C3.</i>	32
<i>Tabla 3. Tabla de verdad de la función lógica AND para la detección de fallas de corto circuito y circuito abierto.</i>	39
<i>Tabla 4. Tabla de verdad de la función lógica NOR para la detección de la falla de ausencia de pwm.</i>	43
<i>Tabla 5. Parámetros del diodo utilizado (MUR120).</i>	48

Tabla 6. Parámetros del dispositivo LM311	50
Tabla 7. Tabla de verdad del circuito latch empleado.	51
Tabla 8. Tabla de verdad para la desactivación del pwm del dispositivo.	52
Tabla 9. Parámetros utilizados para la implementación.	58
Tabla 10. Parámetros del DSEP auxiliar.	59
Tabla 11. Parámetros para las pruebas de detección de ausencia de pwm.	64

Acrónimos

BJT	<i>Transistor de Unión Bipolar</i>
CA	<i>Corriente Alterna</i>
CD	<i>Corriente Directa</i>
DSEP	<i>Dispositivos Semiconductores Electrónicos de Potencia</i>
DUT	<i>Dispositivo Bajo Prueba</i>
FUL	<i>Falla Bajo Carga</i>
HSF	<i>Falla en Conmutación Dura</i>
IFAC	<i>Federación Internacional de Control Automático</i>
IGBT	<i>Transistor Bipolar de Compuerta Aislada</i>
JFET	<i>Transistor de Efecto de Campo de Juntura</i>
MESFET	<i>Transistor de Efecto de Campo de Metal Semiconductor</i>
MOSFET	<i>Transistor de Efecto de Campo metal-óxido Semiconductor</i>
PWM	<i>Modulador de Ancho de Pulso</i>

Resumen

En este trabajo de tesis se presenta un circuito empleado para la detección de fallas a partir de las señales en el Transistor de Efecto de Campo (FET) del tipo MOS (Metal-Óxido Semiconductor), mejor conocido como MOSFET. Este circuito está enfocado en el monitoreo de la señal de drenaje-fuente del dispositivo, partiendo del hecho que cuando existe una sobrecorriente en su terminal de drenaje, este voltaje se eleva aun estando en conducción debido al efecto de saturación propio del MOSFET. El circuito tiene la característica de realizar una detección rápida, así como proteger el dispositivo dentro de los tiempos de conmutación. Con el fin de hacerlo reproducible, se utilizaron componentes de bajo costo pero que cuentan con las características que permiten un procesamiento rápido de las señales.

Se abordaron los dos tipos de fallas generales, corto circuito y circuito abierto. Y empleando el diagnóstico de fallas en los dispositivos bajo prueba se obtuvieron dos señales indicadoras de fallas r_1 y r_2 . De estas señales se puede obtener la siguiente información:

r_1 : Es la señal indicadora de falla para los casos de corto circuito, sin importar si se trata de una falla bajo carga (FUL) o una falla en el transitorio de encendido del dispositivo (HSF). También indica la falla de circuito abierto en las terminales de drenaje, fuente o si el dispositivo se abriera internamente.

r_2 : Es la señal indicadora de falla para el caso de circuito abierto en el que la señal de control PWM no está generándose o se interrumpió.

Abstract

In this thesis a circuit used for the detection of faults is presented based in the signals in the Field Effect Transistor (FET) of the MOS (Metal-Oxide Semiconductor) type, better known as MOSFET. This circuit is focused on the monitoring of the drain-source signal of the device, starting from the fact that when there is an overcurrent in its drain terminal, this voltage rises even when in conduction due to the saturation effect of the MOSFET itself. The circuit has the characteristic of making a quick detection, as well as protecting the device within the switching times. In order to make it reproducible, low-cost components were used but they have the characteristics that allow rapid signal processing.

The two types of general faults, short circuit and open circuit were addressed. And using the fault diagnosis in the devices under test, two fault indicating signals r_1 and r_2 were obtained. From these signals you can get the following information:

r_1 : It is the fault indicating signal for short circuit cases, regardless of whether it is a fault under load (FUL) or a hard switch fault of the device (HSF). It also indicates the open circuit fault in the drain terminals, source or if the device is opened internally.

r_2 : It is the fault indicating signal for the open circuit case in which the PWM control signal is not being generated or interrupted.

CAPÍTULO 1

1 INTRODUCCIÓN GENERAL

En este capítulo se aborda una introducción al trabajo realizado en esta tesis, presentando brevemente un panorama del área donde impacta esta investigación y la importancia de su realización. Además se presentan las secciones que corresponden al planteamiento del problema, objetivos, así como los alcances y limitaciones.

1.1 Introducción

Actualmente, vivimos en una época donde es necesario manipular la energía de manera eficiente y segura, por lo que la electrónica de potencia toma un papel muy importante. Dicha manipulación, en gran medida, se realiza por medio de dispositivos semiconductores de potencia, los cuales pueden conmutar desde algunas decenas de

Hz hasta muy altas frecuencias de MHz, y en potencias que van desde las muy bajas potencias (mW) hasta altas potencias (MW). Este comparativo entre los diferentes dispositivos semiconductores de potencia se muestra en la Figura 1.

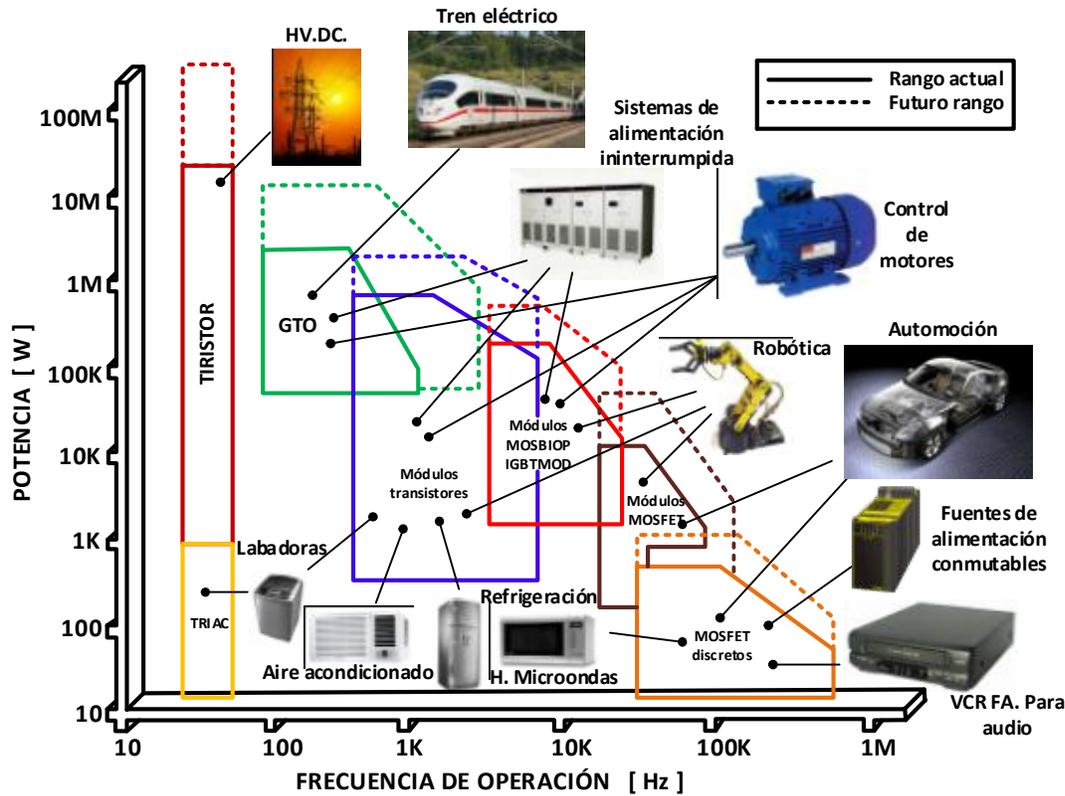


Figura 1. Comparativa entre los diferentes dispositivos semiconductores [1].

Como se observa en la figura anterior, los dispositivos semiconductores tienen aplicaciones en una gran variedad de sectores de la industria y algunos trabajos realizados [2], [3] destacan que estos dispositivos son susceptibles a fallas en los sistemas de conversión de energía, tales como control de velocidad de motores, fuentes de alimentación conmutadas, sistemas de alimentación ininterrumpidas, entre otros.

1.2 Diagnóstico de fallas

En los sistemas donde se requiere protección o continuidad de operación, la detección de fallas basada en métodos de diagnóstico es esencial para mantener el proceso en operación. El diagnóstico de fallas se encarga de detectar, localizar y aislar una falla para

posteriormente tomar la decisión de qué hacer con el sistema que se encuentra bajo falla [4].

El diagrama general del diagnóstico de fallas se puede observar en la Figura 2, este diagrama se utilizó como base para la realización del circuito de detección.

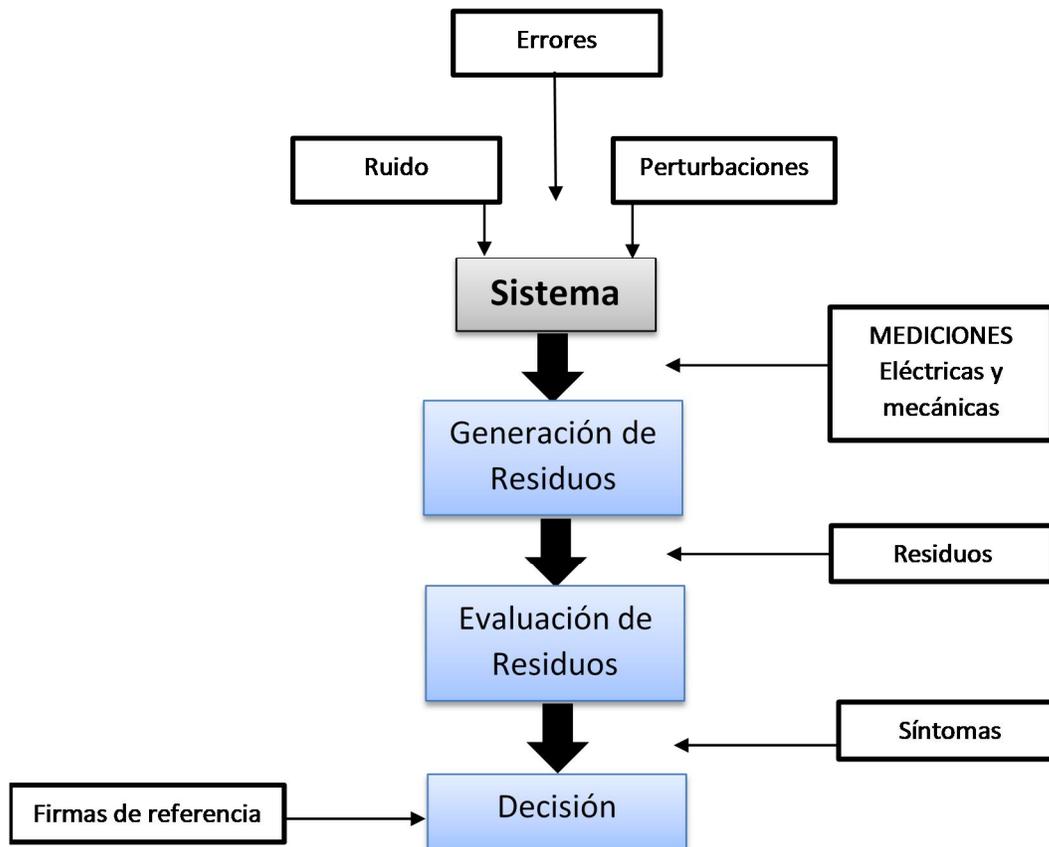


Figura 2. Diagrama general del diagnóstico de fallas.

Para un mejor entendimiento de lo que es el diagnóstico de fallas, y de lo que se hablará en este trabajo, es necesario mencionar algo del vocabulario adecuado sobre esta área de investigación, el cual fue propuesto y aceptado por la IFAC (Federación Internacional de Control Automático, por sus siglas en inglés) y que además se ha venido usando en distintas publicaciones y trabajos de investigación.

Falla: desviación no permitida de, al menos, una propiedad característica o parámetro de un sistema de su condición aceptable, usual o estándar.

Avería: Interrupción permanente de la capacidad del sistema para cumplir una función requerida en condiciones específicas.

Detección de fallas: Determina la existencia de fallas presentes en un sistema.

Protección: Medios por los que un comportamiento potencialmente peligroso en el sistema se suprime si es posible, o medios por el cual las consecuencias de un comportamiento peligroso se evitan.

Generación de residuos: proporciona información de la presencia e instante de aparición de la falla a través de una señal llamada "residuo".

Residuo: Un indicador de fallas basado en la desviación entre las señales medidas.

Síntoma: Cambio de una cantidad observable desde un funcionamiento normal.

Alarmas: Se consideran eventos discretos, que se activan cuando una variable o una función de ella sobrepasan ciertos límites de operación.

Falsa Alarma: Indicador de posible falla por pequeñas perturbaciones, condiciones iniciales o dinámicas no modeladas, pero que no resulta en falla" [4]–[6].

1.2.1 Generación de residuos

La generación de residuos es parte fundamental para poder determinar la existencia de una falla, y este se lleva a partir de la creación de un algoritmo que es capaz de extraer la información necesaria de fallas a través de señales del sistema, ya sean de entrada o salida respecto a un funcionamiento ideal del sistema (referencia), el cual es conocido como modelo. Esta señal resultante es la que se conoce como residuo, el cual tiene un valor de cero cuando no existe falla y cuando está bajo falla varía de cero. Este proceso se puede interpretar con el diagrama mostrado en la Figura 3.

Una vez obtenidos los residuos, y antes de buscar la causa de la falla, es necesario que la información de los residuos sea validada. Para esto se utiliza la redundancia, la cual puede ser redundancia material o redundancia analítica.

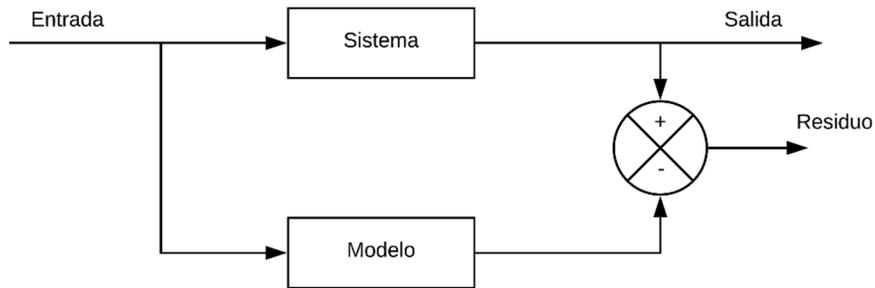


Figura 3. Esquema general para la generación de residuos.

1.1.1 Redundancia material

También conocida como redundancia física. Se basa, principalmente, en el uso de elementos repetidos en el sistema. Este método es muy fiable y su implementación es sencilla, por otro lado, al llevarlo a la práctica se debe tener en cuenta que no siempre es posible repetir elementos dentro del sistema, lo cual sería una desventaja. Las causas a considerarse para no implementarlo serían el costo, el tamaño o el peso de los dispositivos. En la figura 4 se muestra la manera de implementar la redundancia material, obteniendo las señales del sistema que provienen de varios sensores.

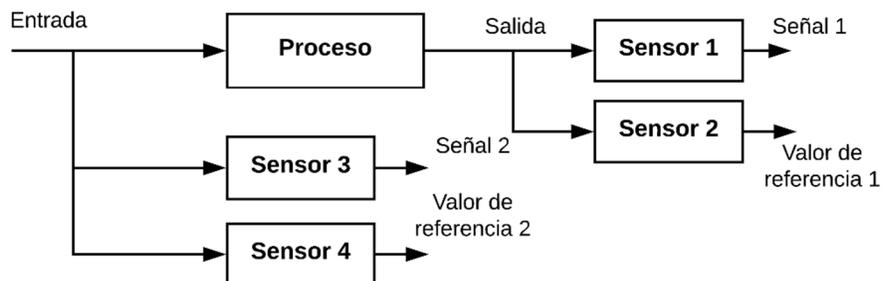


Figura 4. Esquema de implementación de la redundancia material.

1.2.2 Redundancia analítica

La redundancia analítica se basa en el conocimiento del modelo matemático o informático con el cual trabaja el sistema, así como señales de entrada y salida. A diferencia de la redundancia física, la redundancia analítica valida la información de los residuos obtenidos de la medición directa de las señales del sistema y del empleo de modelos matemáticos.

Este método resuelve las desventajas de la redundancia física, sin embargo una nueva desventaja surge con él, y ésta es que se debe implementar un modelo matemático que puede llegar a ser muy complejo y aun así no representar el comportamiento del sistema en su totalidad. En la figura 5 se muestra el diagrama a bloques para la implementación de este método

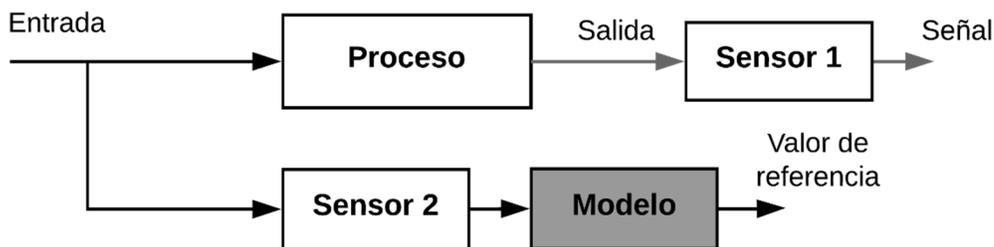


Figura 5. Esquema de implementación de la redundancia analítica.

1.2.3 Evaluación de residuos

Al momento de evaluar los residuos, la problemática se presenta al definir un valor de umbral para determinar si se trata de una falla, para después obtener sus causas. El objetivo de este tipo de evaluación consiste en decidir si el residuo obtenido representa una falla o solamente se trata de una falsa alarma. Las causas de las fallas son determinadas al evaluar y cuantificar las señales de residuos. En la Figura 6 se muestra la manera de implementar la evaluación de residuos.

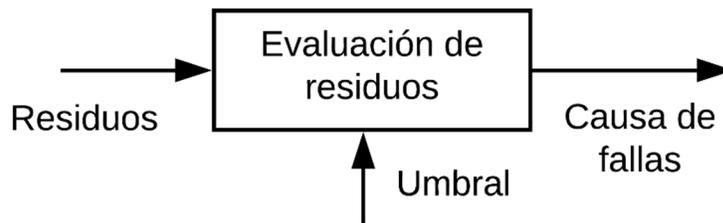


Figura 6. Implementación ilustrada de la evaluación de residuos.

Para evaluar los residuos mediante señales de umbral tenemos dos métodos: umbral constante y umbral adaptivo [6]. Y a continuación se describen:

Umbral constante: La característica principal es que el valor de umbral en el sistema no tiene variaciones en todas las fases de operación. Este método es de muy fácil implementación y la generación de síntomas de igual manera es simple.

Umbral adaptivo: Su característica es que el valor de umbral en el sistema se modifica en cada fase de operación o cuando las condiciones en la operación del sistema cambian, y mediante relaciones previamente especificadas, el valor de umbral también cambia.

1.2.4 Decisión

Es la última etapa del diagnóstico de fallas. Se centra en clasificar las señales de los residuos para determinar la existencia de una falla y su localización. Una estrategia para la toma de decisiones se basa en la construcción de una matriz de diagnóstico por medio de las señales de residuos como columnas y las señales de síntomas como filas, como se muestra en la Tabla 1.

De acuerdo al comportamiento de las señales es posible localizar las fallas. Existen dos tipos de matrices de diagnóstico que ayudan a localizar las fallas [7]:

- ***La señal de residuos estructurada:*** Esta matriz genera un vector de residuos en el que cada residuo es sensible a un conjunto de fallas.

- *La señal de residuos diagonal:* Esta matriz genera un vector, en el cual cada residuo es sensible a una falla.

Tabla 1. Ejemplo de una matriz de diagnóstico.

Falla \ Síntomas	1	2	3	4
1	0	0	1	1
2	0	1	0	0
3	0	0	0	1

Esta etapa tiene como objetivo clasificar los residuos en patrones distinguibles que corresponden a diferentes situaciones de fallas. Observando los datos de entrada es posible reconocer e interpretar los patrones que se presentan en la matriz de diagnóstico.

1.2.5 Sistemas tolerantes

La tendencia del diagnóstico de fallas es, además de detectar, localizar y proteger un sistema ante una falla, el poder garantizar que éste pueda seguir operando según la eficiencia a la que fue diseñado si se reemplaza el material dañado, así como de manera degradada si es posible reestructurar el sistema. Esto es a lo que conocemos como un sistema tolerante a fallas [5], [8]–[13].

Los trabajos en la literatura sobre este tipo de sistemas nos hablan que hay dos maneras de poder realizar la tolerancia a fallas, una es la redundancia material o física, la cual se basa en el uso de elementos repetidos en el sistema y la otra es la redundancia analítica, que se basa en el conocimiento del modelo matemático o informático con el cual trabaja el sistema. Además, para asegurar que se pueda continuar con la operación se tienen dos mecanismos alternativos, el control tolerante a fallas y la reposición del elemento dañado. La reposición del elemento dañado se puede llevar a cabo utilizando la redundancia analítica o la redundancia material.

En la Figura 7 se muestra como están clasificados los sistemas tolerantes a fallas.

Aunque este trabajo no está enfocado para llegar a hacer tolerante a un sistema, es parte fundamental para llegar a ese punto y se puede considerar para trabajos futuros. Debido a que si no se detecta la falla no es posible la reconfiguración del sistema.

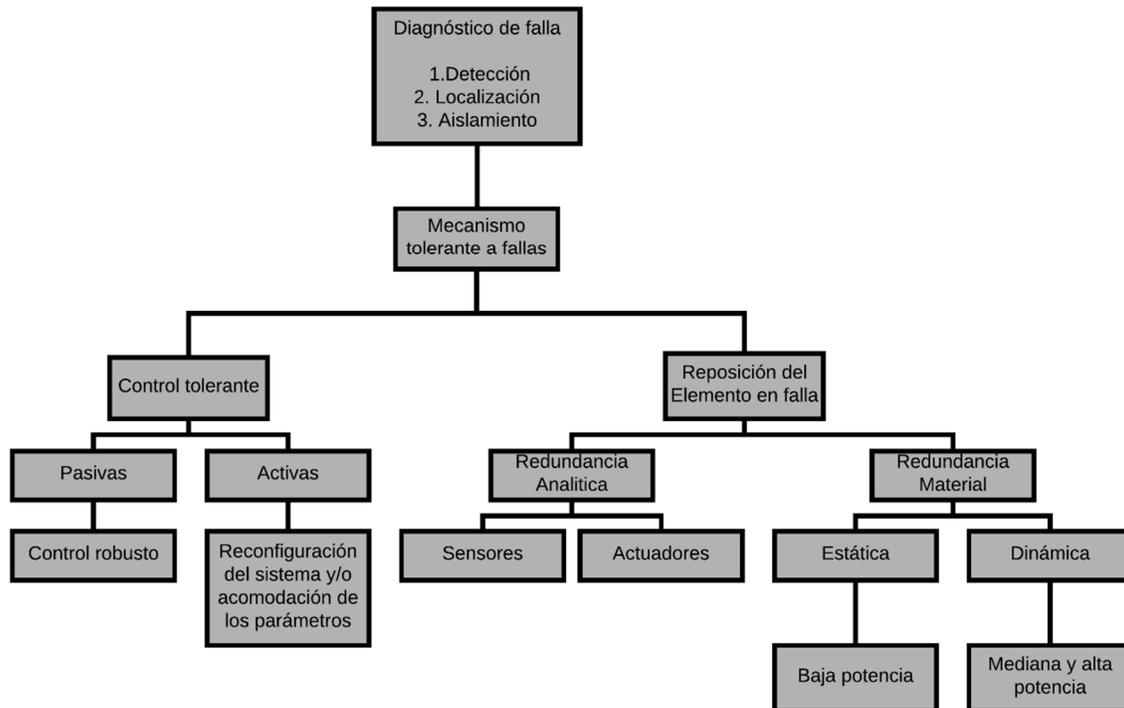


Figura 7. Clasificación de los sistemas tolerantes a fallas.

1.3 Planteamiento del problema

Actualmente, a pesar de la existencia de técnicas de detección y protección de fallas de corto circuito y circuito abierto, los fallos prevalecen y no se han podido resolver completamente. Lo anterior debido a, posiblemente, la rapidez de estos fenómenos y la falta de coordinación para proteger, así como un método confiable para evitar que se propague la falla en el resto del sistema.

Sin embargo la aplicación del diagnóstico de fallas en los DSEP se sigue aplicando con la finalidad de poder obtener la técnica de detección y protección más efectiva.

Para lograr la detección de fallas por medio de los DSEP es necesario realizar algunas consideraciones, tales como el dispositivo a utilizar, el sistema en el que se va a implementar y la aplicación de dicho sistema, esto debido a que todo lo anterior va a influir directamente al fijar los umbrales de detección de fallas. En la Figura 8 se engloban las consideraciones de diseño generales.

Algunos ejemplos que pueden afectar directamente la fijación de umbrales son los transitorios provocados por la naturaleza de la carga y el degradamiento por la temperatura que provoca que el voltaje en conducción varíe.

El fijar adecuadamente los umbrales de detección provocará que haya más tiempo disponible para proteger el dispositivo y se evitará que la falla se propague por más dispositivos que aún se encuentren trabajando adecuadamente.



Figura 8. Consideraciones de diseño generales.

Para la protección se presenta un problema más significativo cuando la falla es de corto circuito, por lo cual el sistema de protección debe ser rápido y a su vez evitar caer en falsas alarmas causadas por ruido en las señales que se van a considerar.

1.4 OBJETIVOS

1.4.1 General

Diseñar e implementar un circuito de detección de fallas por medio de la señal de voltaje drenaje fuente en un dispositivo MOSFET para aplicación en convertidores de potencia.

1.4.2 Específicos

- ✓ Estudiar los circuitos de detección y protección para la generación de señales de fallas en DSEP a través de señales propias del dispositivo en operación.
- ✓ Diseñar el circuito de detección y protección.
- ✓ Validar el circuito de detección y protección con parámetros de operación de un convertidor.

1.5 Alcances y limitaciones

En este trabajo se diseñó e implementó el circuito de detección de fallas y la protección para el dispositivo que está bajo condiciones de sobrecorriente (corto circuito) o un circuito abierto. Se trabajó únicamente con el sensado de V_{ds} y utilizando a V_{gs} como referencia, dicho en otras palabras no se identifica si se trata de un corto circuito o circuito abierto.

Las señales que se obtienen a la salida del circuito contienen la información suficiente para posteriormente realizar las acciones de diagnóstico de fallas como aislar y finalmente hacer un cambio de pieza o *rama completa* si se implementara en un convertidor tolerante. Haciendo mención a la Figura 5, este circuito podría trabajar en el apartado de redundancia material dinámica debido a que se estará sensando en tiempo real el voltaje drenaje fuente del dispositivo MOSFET.

Para la emulación de fallas en la implementación se utilizaron los esquemas de la siguiente Figura, tratando de abordar el mayor número de escenarios para cada tipo de falla (corto circuito y circuito abierto), sin poder implementar la falla de circuito abierto que ocurre cuando un dispositivo internamente.

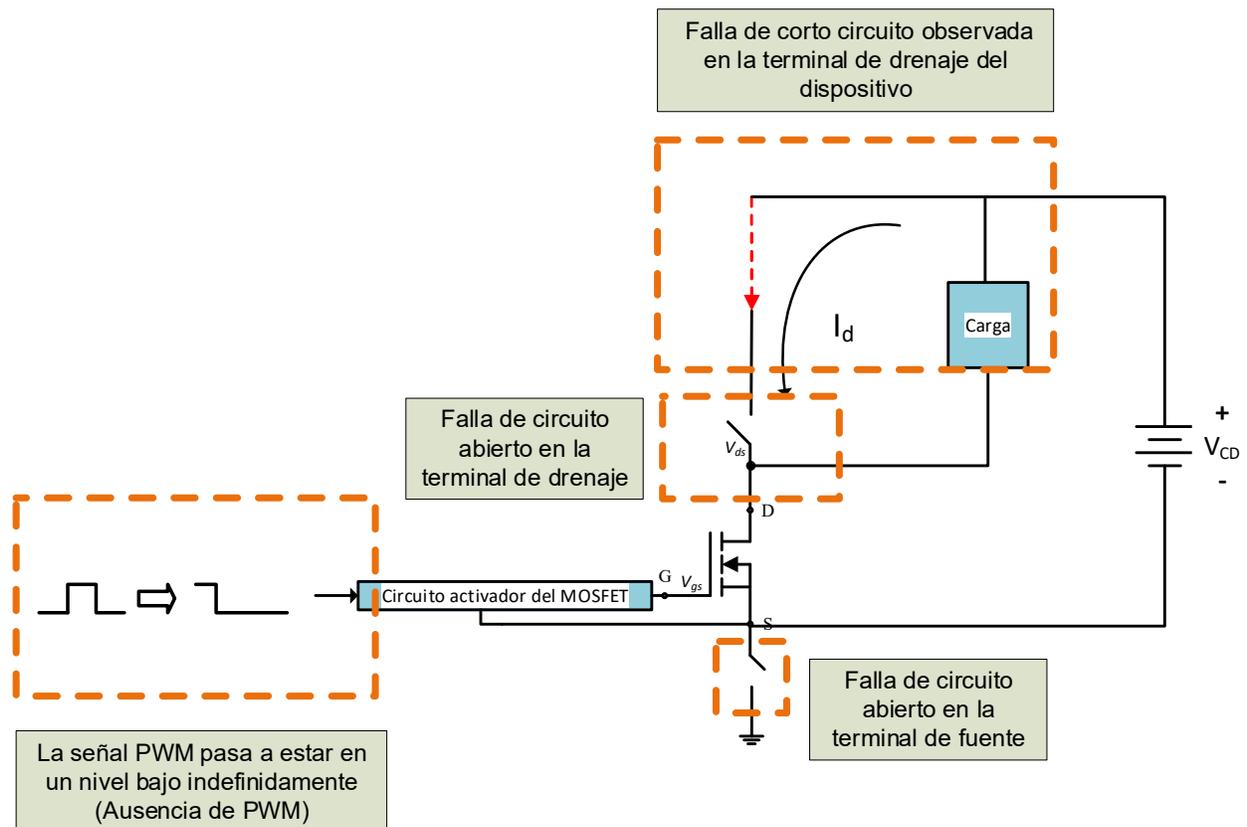


Figura 9. Escenarios de fallas contemplados para la implementación de pruebas.

CAPÍTULO 2

2 MARCO TEÓRICO Y ESTADO DEL ARTE

El contenido en este capítulo muestra el marco teórico relacionado con el trabajo de investigación realizado, abordando el tema del dispositivo que se utilizó para las pruebas experimentales de una manera muy general sobre su estructura y funcionamiento, el MOSFET, esto debido a los requerimientos futuros de trabajos de implementación. Además se abordan los tipos de fallas que se pueden presentar, las técnicas de detección y finalmente el estado del arte.

2.1 Introducción a los dispositivos semiconductores

El transistor de efecto de campo (FET) consta de tres terminales y, a diferencia del BJT, es controlado por voltaje. Es decir, para el FET la corriente I_d estará en función del voltaje V_{gs} como se muestra en la Figura 9. Las aplicaciones del dispositivo FET coinciden en gran medida a las del BJT [14], [15].

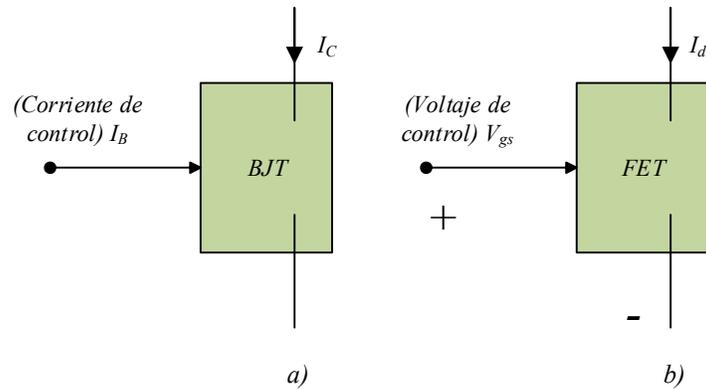


Figura 10. Dispositivo BJT controlado por corriente a) y dispositivo FET controlado por voltaje b).

El término *efecto de campo* para el dispositivo FET viene dado por las cargas presentes que establecen un *campo eléctrico*, el cual controla la conducción del circuito de salida sin requerimiento de un contacto directo entre las cantidades de control y las controladas.

De las características más importantes del FET tenemos las siguientes:

- Una alta impedancia de entrada, a niveles desde 1 M Ω a varios cientos, lo cual excede los niveles típicos del BJT.
- Las ganancias de voltaje de CA son menores en referencia a los amplificadores de BJT.
- Los FET son más estables a la temperatura y generalmente son más pequeños que los BJT. Lo cual es muy útil para la implementación en los circuitos integrados.

Además, así como existen los transistores bipolares *npn* y *pnp*, existen los dispositivos FET de canal *n* y de canal *p*. A diferencia del BJT, el cual es *bipolar*, el FET es *unipolar* lo que significa que tiene un solo tipo de portadores en conducción: los electrones en el canal *n* y los huecos en el canal *p*, lo que provoca que no se pueda combinar altas tensiones de bloqueo con alta capacidad de corriente.

2.2 Dispositivo MOSFET

Existen 3 tipos de FET: el *transistor de efecto de campo de unión* (JFET), el *transistor de efecto de campo semiconductor de óxido metálico* (MOSFET), y el *transistor de efecto de campo semiconductor metálico* (MESFET). Los MOSFET, a su vez, se dividen en tipos de *empobrecimiento* y de *enriquecimiento*. En este trabajo se abordará más a detalles el de tipo de enriquecimiento debido a que es el tipo de MOSFET que se utilizó.

2.2.1 MOSFET de tipo enriquecimiento

Aunque podría haber semejanzas con la construcción y operación entre este tipo de MOSFET y los de tipo empobrecimiento, si se habla de sus características, éstas van a ser muy diferentes. Una de las más particulares, es que la corriente en un dispositivo de canal n estará controlada por un voltaje positivo entre la compuerta y la fuente.

La **composición** básica del MOSFET tipo enriquecimiento de canal n se muestra en la Figura 10. Parecida al MOSFET de tipo empobrecimiento, pero con la diferencia de que en éste no se genera desde un principio el canal n entre las terminales de drenaje y fuente, las cuales mantienen la conexión por medio de contactos metálicos hacia las regiones tipo n dopadas. La capa aislante entre la compuerta y el sustrato sigue presente.

Si para **su operación** se le deja un voltaje entre sus terminales de compuerta y fuente igual a cero ($V_{gs} = 0$), como fue en el caso del MOSFET tipo empobrecimiento, aun aplicando un voltaje de drenaje a fuente, se tendrá una corriente I_d igual a cero.

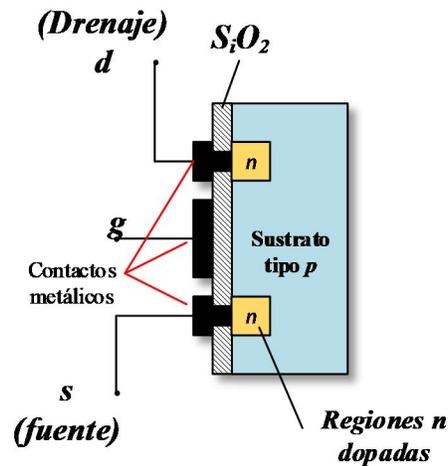


Figura 11. MOSFET de canal n de tipo enriquecimiento.

En la Figura 11 podemos notar que V_{ds} y V_{gs} tienen algún nivel de voltaje positivo, diferente de cero, de esta manera se establece un potencial positivo del drenaje y la compuerta respecto a la fuente. Esto provocará que las cargas positivas que se generen en la compuerta, repelan a las del sustrato p que se encuentren pegadas al material aislante. En cambio, los electrones que se encuentren en el sustrato tipo p serán atraídos a esta zona, conforme el voltaje V_{gs} aumente, esta concentración de electrones también lo hará hasta formar un canal tipo n en esta región que será capaz de soportar el flujo de corriente entre las terminales d y s . El voltaje en la compuerta en el que empieza a fluir una corriente de drenaje a fuente se le conoce como voltaje de umbral, denotado como $V_{gs(Th)}$. Mientras más elevado sea el voltaje V_{gs} respecto al voltaje de umbral, la densidad de electrones en el canal inducido aumentará y por lo tanto la corriente de drenaje también lo hará.

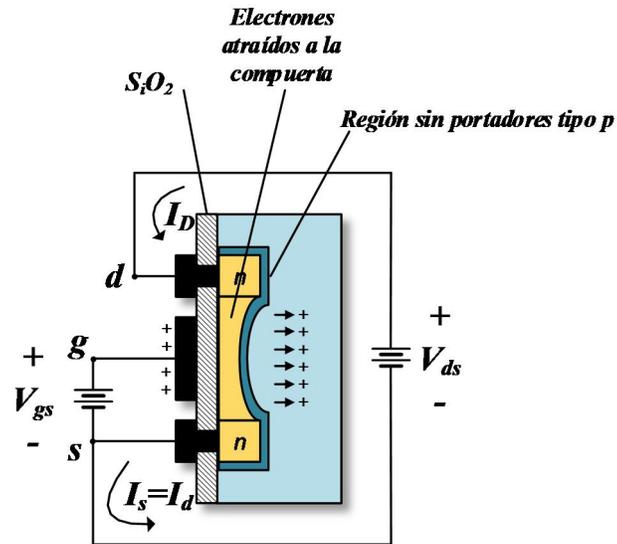


Figura 12. Funcionamiento del MOSFET de tipo enriquecimiento de canal n.

Por otra parte, al aumentar el voltaje V_{ds} y manteniendo el V_{gs} constante, la corriente de drenaje alcanzará un nivel de saturación. Esto se debe a un efecto llamado *estrangulamiento*, el cual se puede observar en la Figura 12.

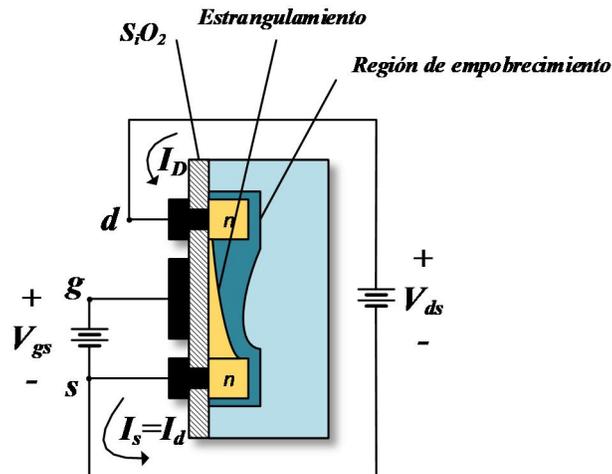


Figura 13. Estrangulamiento del canal n al mantener V_{gs} constante y aumentar V_{ds} .

Para explicar un poco mejor esto, se realiza un sencillo análisis en las mallas de la figura anterior, tenemos que:

$$V_{dg} = V_{ds} - V_{gs} \quad \text{Ec. 1}$$

Esta diferencia de voltajes, hará que cuando tengamos el voltaje V_{gs} fijo y V_{ds} se desarrolle en la zona de deriva, el voltaje V_{dg} se vuelva cada vez más positivo y por lo tanto el canal n en esa área comenzará a reducirse hasta llegar al *estrangulamiento*.

Este efecto no quiere decir que la corriente I_d se reduce a cero (a menos que se llegue a un caso de ruptura interna del dispositivo), debido a que “*Sin corriente de drenaje se eliminaría la posibilidad de que los diferentes niveles de potencial a través del material tipo p establezcan los niveles variables de polarización en inversa a lo largo de la unión $p-n$* ” [14]. El voltaje de saturación que propicia el efecto de estrangulamiento está dado por:

$$V_{ds(sat)} = V_{gs} - V_{gs(Th)} \quad \text{Ec. 2}$$

A manera de ejemplo, se ilustra en la Figura 13 el comportamiento del MOSFET ante este efecto.

La construcción del MOSFET tipo enriquecimiento de canal p es prácticamente a la inversa del de canal n . En otras palabras, el sustrato será de tipo n y el canal generado y las terminales dopadas serán de tipo p . La diferencia más importante entre el tipo n y tipo p , es la polaridad en la que se van a conectar las fuentes de alimentación de drenaje a fuente y compuerta a fuente.

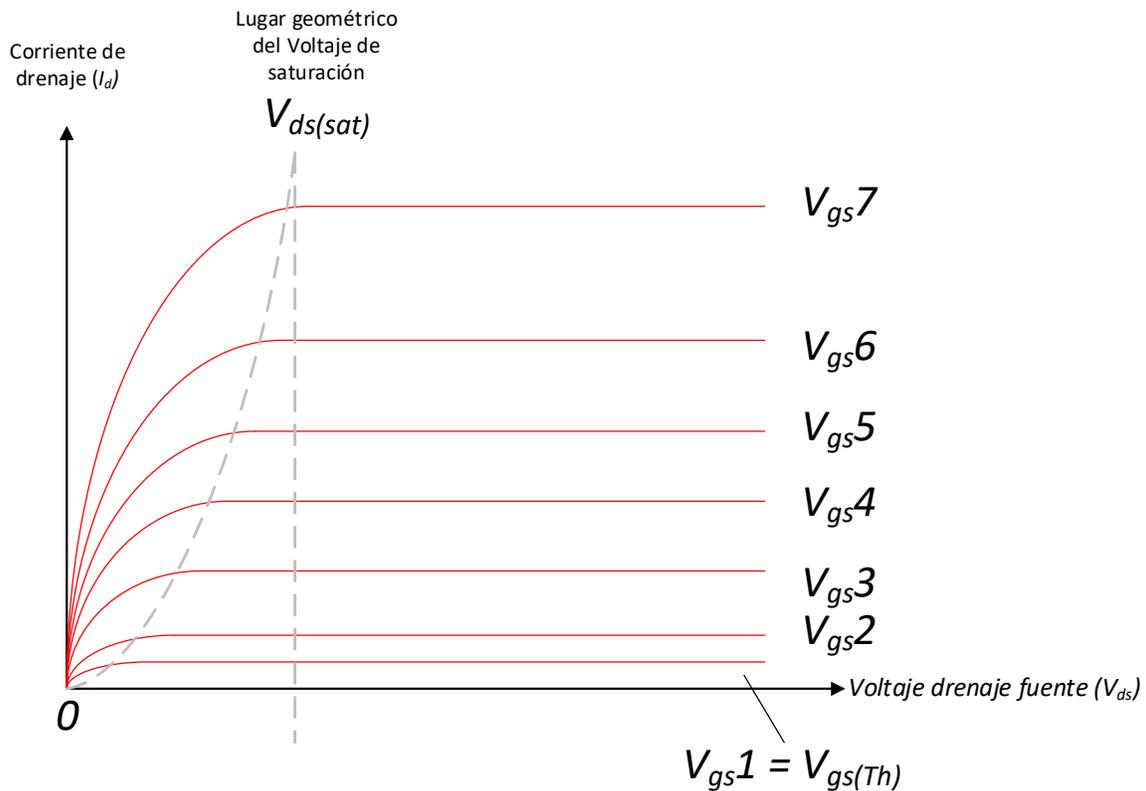


Figura 14. Gráfica del comportamiento de un MOSFET de tipo enriquecimiento a diferentes niveles de voltaje de saturación.

Por lo tanto, de lo anterior, podemos decir que para un valor fijo de voltaje de umbral, entre mayor sea V_{gs} también lo será el nivel de saturación para V_{ds} . Otra cosa que se puede afirmar es que si el valor de V_{gs} es menor al de $V_{gs(Th)}$, la corriente I_d del MOSFET será cero.

Como se vió, la corriente máxima de drenaje la definirá el voltaje de compuerta, por tanto, dependiendo de los requerimientos del sistema donde se va a trabajar es posible limitar la corriente que puede alcanzar un dispositivo en corto circuito, lo que permitiría que el dispositivo pueda estar mayor tiempo bajo falla de corto circuito, lo que haría posible aplicar un mejor diagnóstico sin que el dispositivo llegue a deteriorarse, o incluso a un estado de avería, en sus tiempos de conmutación.

Los símbolos utilizados para el MOSFET de canales n y p de tipo enriquecimiento se muestran en la Figura 14. Se puede observar que hay una línea punteada entre las

terminales de drenaje y fuente, lo que significa que no existe el canal de conducción entre ellas a menos que se polaricen.

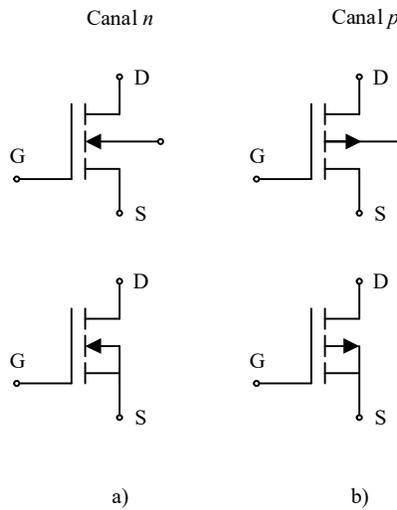


Figura 15. Símbolos del MOSFET tipo enriquecimiento a) de canal n y b) canal p.

Para el caso del IGBT (Transistor Bipolar de Compuerta Aislada, de sus siglas en inglés), su representación gráfica (Figura 16) muestra que está compuesto internamente de un MOSFET y un BJT, por lo que el comportamiento visto desde las propiedades de compuerta del dispositivo es similar entre ambos.

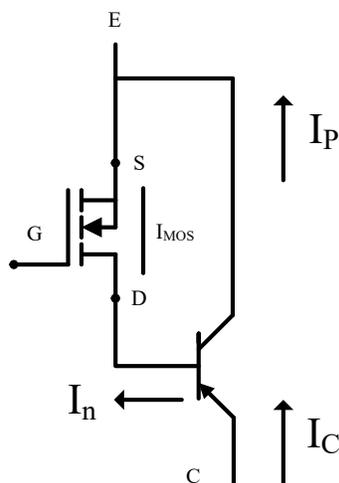


Figura 16. Representación del IGBT.

De la Figura anterior se tienen los siguientes parámetros y relaciones:

I_C = Corriente de colector del IGBT

I_{MOS} = Corriente drenaje fuente del MOSFET

I_p = Corriente de huecos

I_n = Corriente de base

$$I_C = I_n + I_p \quad \text{Ec. 3}$$

$$I_C = I_{MOS}$$

Las ecuaciones Shockley ayudan a describir el comportamiento de la corriente I_{MOS} en función del voltaje de compuerta a drenaje [1], [16]. Esto ayuda a entender la relación directa que tiene el voltaje de compuerta con el de drenaje fuente cuando se desea aplicar alguna técnica para protección ante fallas de corto circuito y cómo se va a aplicar un umbral de detección de acuerdo al V_{GS} y V_{TH} .

$$I_{mos} = \begin{cases} 0 & \xrightarrow{si} (V_{GS} - V_{TH}) < 0 & \text{Ec. 4} \\ K_F \cdot K_P \cdot \frac{(V_{GS} - V_{TH}) \cdot V_{DS} - \frac{K_F \cdot (V_{DS})^2}{2}}{1 + \text{Theta}(V_{GS} - V_{TH})} & \xrightarrow{si} (V_{GS} - V_{TH}) > V_{DS} & \text{Ec. 5} \\ \frac{K_P \cdot (V_{GS} - V_{TH})^2}{2 \cdot [1 + \text{Theta}(V_{GS} - V_{TH})]} & \xrightarrow{si} (V_{GS} - V_{TH}) \leq V_{DS} & \text{Ec. 6} \end{cases}$$

K_F = Factor de la región del triodo

K_p = Parámetro de transconductancia

I_p = Corriente de huecos

V_{GS} = Voltaje compuerta fuente

V_{TH} = Voltaje de umbral

Theta = Factor del campo transversal

Las relaciones de la Ec. 5 a Ec. 7 describen el comportamiento en estado de bloqueo, zona de transición y estado de conducción del MOSFET, respectivamente.

Otros valores intrínsecos en estos dispositivos que afectan el comportamiento del MOSFET en condiciones normales de operación y por tanto en condiciones de corto circuito son las capacitancias, las cuales se pueden observar en la Figura siguiente.

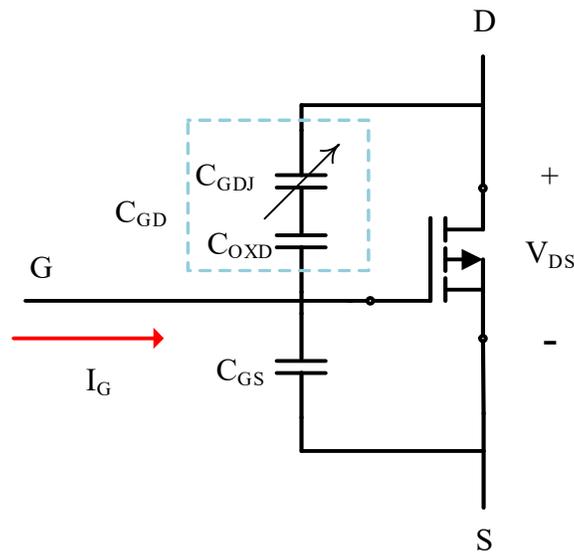


Figura 17. Capacitancias intrínsecas del IGBT.

La expresión que representa la capacitancia total existente entre compuerta drenaje (C_{GD}) está dada por [1], [16]:

$$C_{GD}(V_{DS}, V_{GS}) \rightarrow C_{OXD}, C_{GDJ}, V_{TD} \quad \text{Ec. 7}$$

Donde:

C_{GD} = Capacitancia compuerta drenaje (capacitancia Miller)

C_{OXD} = Capacitancia del óxido compuerta drenaje

C_{GDJ} = Capacitancia de deflexión compuerta drenaje

V_{TD} = Voltaje de umbral de deflexión entre compuerta y drenaje

Para describir mejor la relación existente se muestran las siguientes expresiones:

$$C_{GD} = \begin{cases} C_{OXD} & \xrightarrow{si} (V_{GS} - V_{TD}) \geq V_{DS} \\ \frac{C_{OXD} \cdot C_{GDJ}}{C_{OXD} + C_{GDJ}} & \xrightarrow{si} (V_{GS} - V_{TD}) < V_{DS} \end{cases} \quad \text{Ec. 8}$$

Ec. 9

Finalmente, del trabajo [1] y haciendo referencia a la Figura 16, se obtuvo que la corriente de compuerta (I_G) se puede expresar como a continuación:

$$I_G(t) = (C_{GS} + C_{GD}) * \frac{dV_{GS}(t)}{dt} - C_{GD} * \frac{dV_{DS}(t)}{dt} \quad \text{Ec. 10}$$

El crecimiento de V_{DS} se puede expresar en función de V_{GS} e I_G , despejando de la Ec. 10, esto para poder observar cómo se ve afectado su comportamiento cuando hay variaciones de un parámetro u otro. Quedando la expresión de la siguiente manera:

$$\frac{dV_{DS}(t)}{dt} = \frac{(C_{GS} + C_{GD}) * \frac{dV_{GS}(t)}{dt} - I_G(t)}{C_{GD}} \quad \text{Ec. 11}$$

2.3 Fallas en los dispositivos semiconductores de potencia

Las fallas en los DSEP han sido caso de estudio, presentando que son los causantes principales en convertidores, y otros sistemas de potencia electrónicos [2], [3], [17], siendo los dispositivos IGBT y MOSFET los más usados y, por lo tanto, los de mayor causa de las averías. Las fallas más comunes y reportadas en literatura se dividen en 2, falla de corto circuito y falla de circuito abierto [18]–[21]. Otras menos comunes son las de pérdida del voltaje de alimentación y ausencia de la señal de control de los DSEP (PWM) [22], [23].

Algunas causas que se han reportado y provocan las fallas de corto circuito son:

1. *La aparición del voltaje de compuerta en periodos de tiempos no definidos, el cual puede ser ocasionado por fallas del circuito modulador de ancho de pulso PWM, por fallas en la fuente auxiliar de suministro o por una perturbación del dv/dt .*
2. *Una falla intrínseca, que puede ser causada por una sobretensión/esfuerzo de avalancha o por efectos térmicos fuera de los límites permitidos en el dispositivo IGBT. Este modo de falla es caracterizado por una abrupta destrucción en pocos microsegundos después del encendido del IGBT. Este fenómeno es causado por la concentración de huecos (hole-current), generados por la dinámica de avalancha. Además, la trayectoria de los huecos es cambiada por el voltaje de compuerta. Esta concentración de huecos causa una repentina degradación en la capacidad de corto circuito cuando el voltaje de compuerta excede un determinado valor, esto de acuerdo con las características del dispositivo [1], [24].*
3. *La falla de corto circuito puede provenir desde la carga, causada, por ejemplo, los devanados de un motor (carga inductiva) [25].*

Por otro lado, algunas de las causas de fallas de circuito abierto son [26]:

1. *Falla en el control electrónico, esto debido a una ausencia de señal para la activación de compuerta del dispositivo semiconductor.*
2. *Ruptura interna del dispositivo, causada inicialmente debido a un corto circuito por sobrecalentamiento.*
3. *Por la desconexión de alguna de las terminales del dispositivo.*

2.4 Técnicas de detección y protección de fallas en los DSEP

Basado en la recopilación de información en [1], para las diferentes técnicas de detección y protección de fallas de corto circuito en los dispositivos semiconductores de potencia, se han enlistado en los siguientes dos puntos. Los métodos, son presentados para dispositivos IGBT, sin embargo por la naturaleza de los mismos (construido a partir de un dispositivo MOSFET y un BJT), se puede utilizar también para la detección en dispositivos MOSFET.

2.4.1 Detección de fallas de corto circuito

1. Detección de saturación: Un diodo de sensado es conectado para detectar el incremento del voltaje de colector en caso de estar experimentando una falla [27].
2. Espejo de corriente. Método basado en el sensado de la corriente del colector. Un segundo IGBT es integrado en el IGBT principal. Del segundo IGBT se obtiene una señal de corriente escalada de la corriente del IGBT principal, medida a través de un valor de resistencia conocida [27].
3. Sensado del voltaje de compuerta. Método basado en la interpretación de los cambios que ocurren en la señal del voltaje de compuerta [28], [29].
4. Detección del cambio de di/dt . Este método se basa en el sensado de un cambio de corriente (di/dt) inducido por el voltaje que pasa por una inductancia, este voltaje inducido es diferente en condición normal de conmutación que cuando está bajo falla [27].

2.4.2 Técnicas de protección del dispositivo

1. Protección por circuitos *snubbers* y de enclavamiento: Para aplicaciones donde hay conmutación dura, estos circuitos ofrecen protección ante sobrevoltaje y sobrecorriente a través del dispositivo. Por ejemplo, tras la detección de medir el voltaje drenaje fuente (método por desaturación), un arreglo lógico impide que siga llegando una señal a la compuerta del dispositivo [26]. También se puede realizar al poner un arreglo de resistencia a tierra por medio de un interruptor, lo que ocasionará que la señal de compuerta deje de llegar al dispositivo y además apague el dispositivo [26], [30].
2. Protección por apagado lento de los dispositivos: dispositivos adicionales son utilizados. Debido a que el voltaje y corriente a través del dispositivo está ligado al voltaje de compuerta, una resistencia de alto valor es colocado en serie y activada al momento de la protección, o un valor de capacitancia en paralelo con la compuerta del dispositivo [2].

2.5 Estado del arte

En [31], presentan un análisis y diseño de un sistema electrónico de detección de fallas aplicado a los dispositivos IGBT, miden el transitorio de encendido en la compuerta del dispositivo para detectar fallas en corto circuito (c.c.) y circuito abierto (c.a.). Se agregaron umbrales adaptables al circuito análogo implementado para considerar errores por sensibilidad o falsas alarmas causadas por umbrales fijos muy bajos. Este sistema electrónico se muestra en la Figura 17.

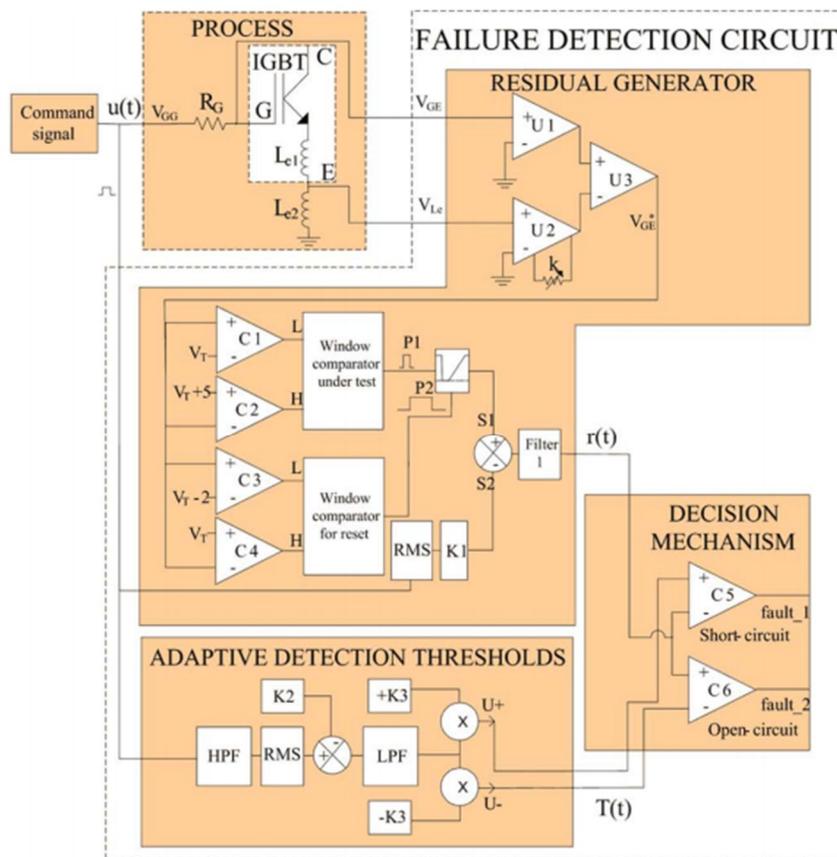


Figura 18. Diagrama general del circuito implementado con umbrales adaptables [31].

El trabajo presentado en [29], se basa en la detección de falla en corto circuito y circuito abierto por medio del circuito de detección mostrado en la Figura 18. Trabaja sobre 3 ocurrencias posibles de fallas, dos casos de corto circuito y uno de circuito abierto.

El primer caso de corto circuito ($r1$) se da mediante el Fallo en Conmutación Dura. Este caso es observable al averiarse otros dispositivos IGBT o diodos de la rama del inversor.

El segundo caso de corto circuito ($r2$) se da mediante el Fallo Bajo Carga. Este caso ocurre cuando en las terminales de la carga durante el momento de conducción existe el corto circuito.

Y el caso de circuito abierto ($r3$) llega a ocurrir al haber una desconexión de cables en el interior del dispositivo, falsos contactos o incluso suciedad.

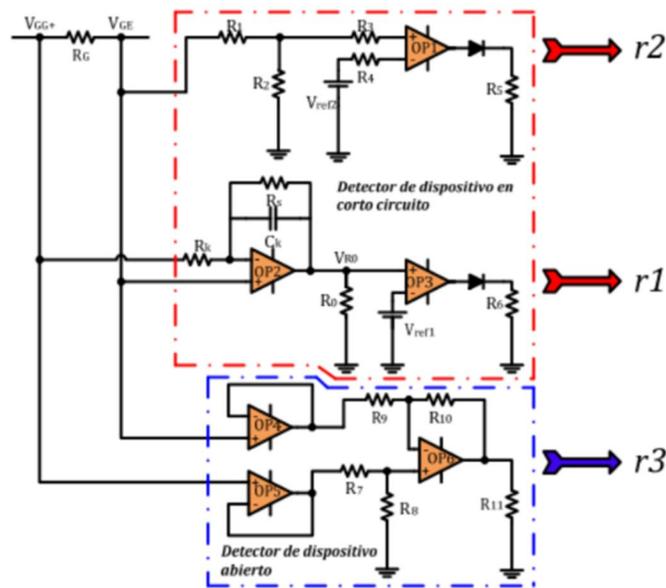


Figura 19. Circuito detector de fallas [29].

Al igual que en el caso anterior, en el trabajo [32] se utiliza la señal de compuerta pero únicamente para la detección de falla de corto circuito. Ese comportamiento se ha observado que ocurre en los dispositivos IGBT cuando se generan este tipo de fallas, los cuales los dividen en dos casos: cuando la falla ocurre antes de la conmutación y

entonces se ve observado en la conmutación dura del dispositivo (HSF¹, por sus siglas en inglés) y durante la conmutación (FUL²), los casos los podemos observar en la Figura 19.

En este trabajo, además de la detección, se presenta un caso de protección del dispositivo al detectar la falla, para lo cual se lleva a cabo la implementación del diagrama a bloques de la Figura 20.

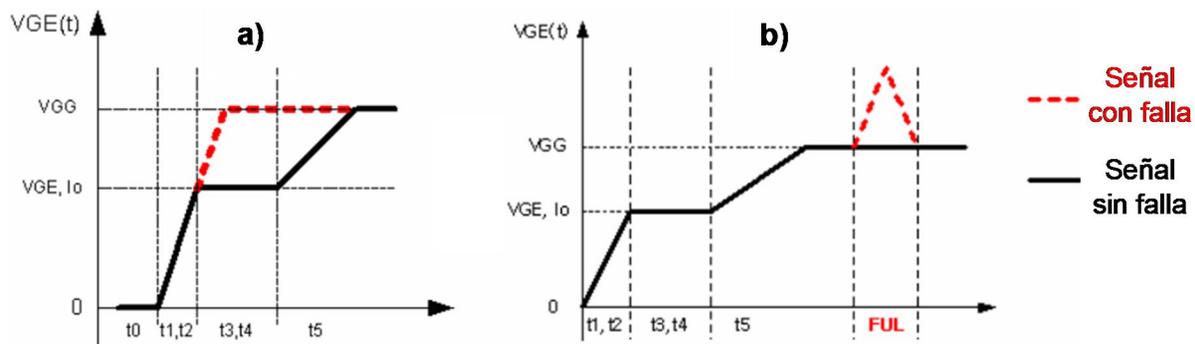


Figura 20. Comparación de la señal de compuerta con falla y sin falla en caso de HSF a) y FUL b) [32].

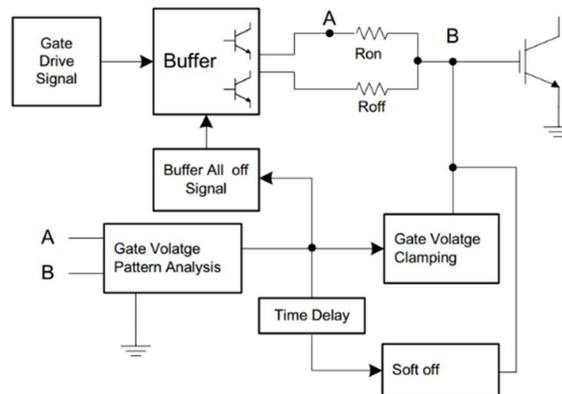


Figura 21 Diagrama a bloques para detección y protección de los dispositivos MOSFET [32].

En [33] presentan el diseño de un circuito de detección de corto circuito a través del monitoreo del voltaje drenaje-fuente de un MOSFET (técnica de saturación). El monitoreo

¹ Hard Switching Fault

² Fault Under Load

se hace a través de un diodo y un arreglo de divisor de voltaje que va hacia un comparador que a su salida tiene un filtro pasabajas, el cual determina, de acuerdo a los niveles de referencia especificados, si el voltaje drenaje fuente está en condiciones normales de operación o bajo falla.

En la Figura 21, se muestra el esquema del circuito propuesto para la detección.

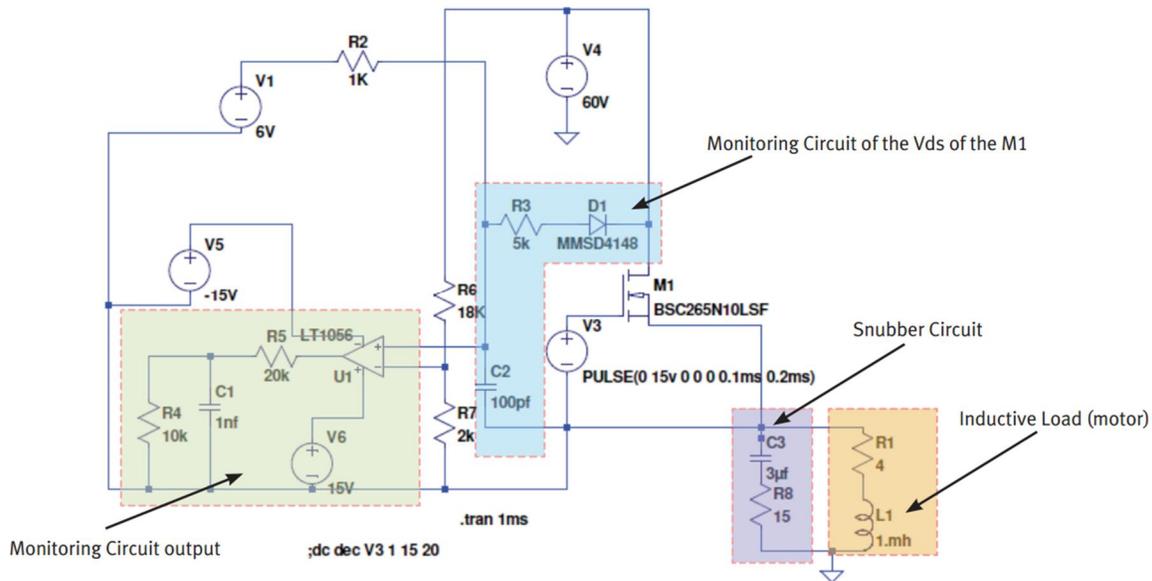


Figura 22. Esquema para la detección de fallas por el monitoreo del voltaje drenaje fuente[33]

Finalmente, se ha optado por trabajar tecnologías nuevas, por lo cual en el trabajo [30] se hizo un estudio en el cual se incluye un circuito capaz de detectar y proteger un dispositivo MOSFET de carburo de silicio (SiC) para aplicaciones de hasta 15-kV ante la presencia de sobre-corriente en la terminal de drenaje del dispositivo, para la cual se implementó la técnica de saturación por medio de diodos sensando la terminal de drenaje. También se comenta que se implementó un monitoreo para fallas de bajo-voltaje y sobre-voltaje pero por medio de circuitos integrado. El tiempo de detección de falla por sobre-corriente que se reporta es de 400 ns. El diagrama general de detección y protección para los MOSFET utilizados en este artículo se muestra en la Figura 22.

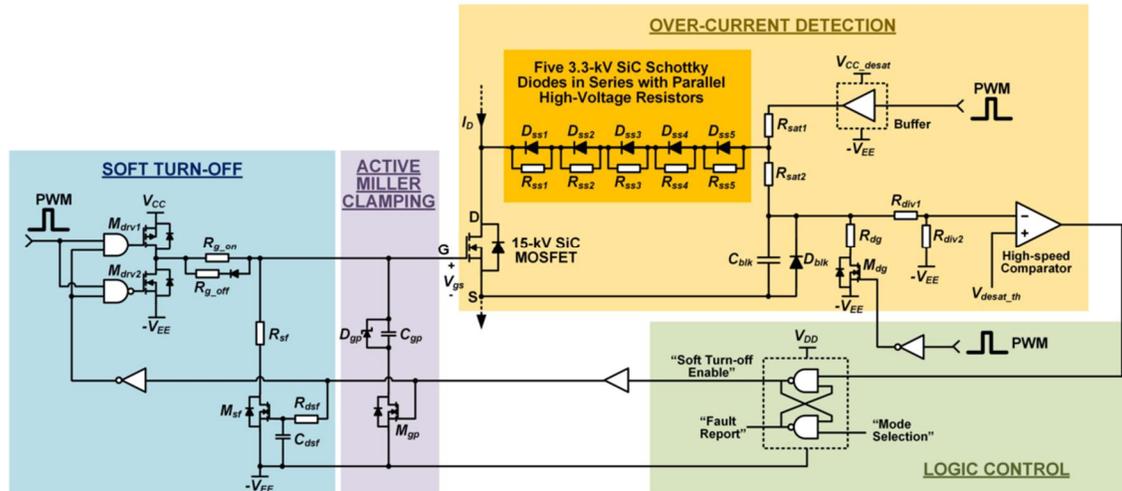


Figura 23. Esquemático con las funciones que presenta el circuito en este trabajo [30].

2.6 Conclusión del capítulo

Después de revisar las técnicas mencionadas en el punto 2.4, y observar su aplicación en algunas referencias del estado del arte, se propuso utilizar la técnica de saturación como método de detección de corto circuito.

La detección de fallas por medio de los dispositivos semiconductores como parte del diagnóstico de fallas se ha abordado como una alternativa para proteger sistemas de una forma más rápida (en el orden de nano y microsegundos) ante fallas de circuito abierto y corto circuito.

A la falla de corto circuito se le ha dado más énfasis debido al poder destructivo si no se detecta de forma rápida y se aísla. Dejando un poco al lado la falla de circuito abierto, la cual puede ser tratable en tiempos no tan cortos.

CAPÍTULO 3

3 DISEÑO DEL CIRCUITO DE DETECCIÓN DE FALLAS

En este capítulo se presenta el desarrollo del diseño del circuito de detección de fallas, abordando el esquema general del circuito, el tipo de sensado, los circuitos comparadores utilizados y la fijación de umbrales de detección por medio de ellos, así como el método de protección del dispositivo. Además, se muestran los esquemas del circuito de pruebas para los diferentes casos de fallas.

3.1 Introducción al diseño del circuito

Lo que se logra con la detección y protección por medio de los dispositivos semiconductores que integran un sistema es una rápida detección, sin embargo, para que esto se logre la selección de los componentes utilizados deben de tener una respuesta rápida para detectar los cambios que presentan las señales características en

los dispositivos cuando una falla está ocurriendo en los bajos tiempos conmutación, que dependiendo la aplicación pueden estar en orden de nanosegundos o microsegundos.

Dicho esto, hay características en los circuitos de detección de fallas que se deben considerar para su creación, los cuales son:

- a) **Detección rápida:** Los dispositivos empleados como diodos, amplificadores operacionales, compuertas lógicas, entre otros, deben tener una respuesta rápida ante cambios en las señales del dispositivo semiconductor de potencia.
- b) **Aplicación:** Al diseñar el circuito, se debe considerar que pueda ser empleado en aplicaciones desde baja a alta potencia.
- c) **Tipo de falla:** Es necesario que al diseñar un circuito de detección sea capaz de realizar la detección de corto circuito y circuito abierto.
- d) **Bajo costo:** Debido a que un sistema puede llegar a tener varios DSEP, los cuales deben tener su propio circuito detector, se debe considerar utilizar dispositivos para su creación de bajo costo pero que respete los puntos anteriores.

3.2 Dispositivo bajo estudio

Para abordar el esquema general y la metodología que se planteó utilizar para la detección de fallas en el MOSFET, se realizó un circuito de pruebas en el simulador Pspice para validar el comportamiento del MOSFET bajo prueba antes de implementarlo (Figura 23), con esto se comprobaron los tiempos de conmutación del dispositivo y se observaron las señales sin falla del dispositivo con las que se podía trabajar (Figura 24).

El dispositivo que se utilizó fue un MOSFET SPP20N60C3, el cual cuenta con los parámetros mostrados en la Tabla 2.

Tabla 2. Parámetros del MOSFET SPP20N60C3.

Parámetro	Valor
Voltaje de drenaje-fuente máx. (V_{ds})	650 V
Corriente continua de drenaje (I_d)	20.7 A ($T_c = 25^\circ C$)
Resistencia en estado de conducción ($R_{ds(on)}$)	0.19 Ω

DISEÑO DEL CIRCUITO DE DETECCIÓN DE FALLAS

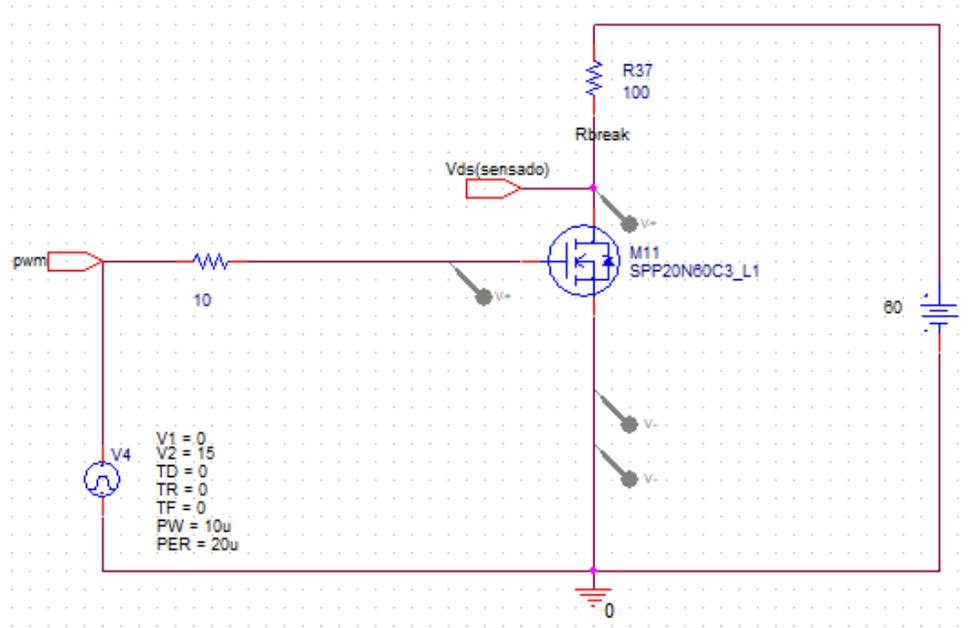


Figura 24. Circuito de pruebas en simulación.

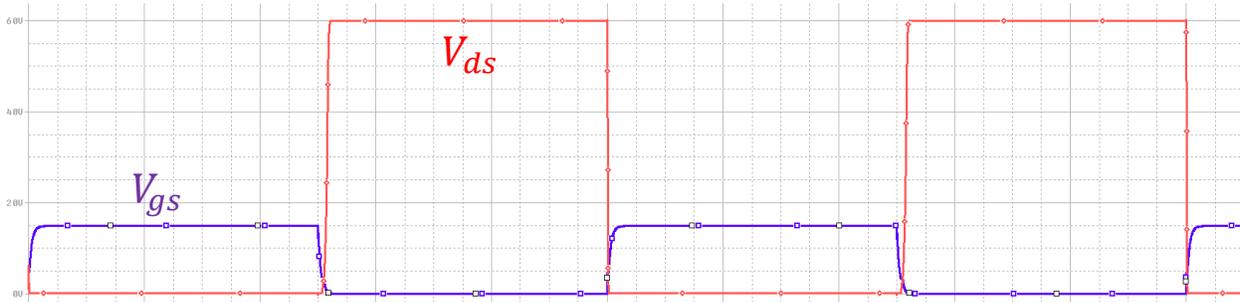


Figura 25. Señales de conmutación del dispositivo en condiciones nominales validadas en simulación.

3.3 Esquema general

En este apartado, se aborda la metodología que se siguió para el diseño del circuito de detección, detallando cada una de las partes que se muestran en el esquema de la Figura 25.

Para el sensado del voltaje drenaje fuente (V_{ds}) y la señal de control PWM (V_g), es necesario definir voltajes de umbral de detección (V_{th}), lo cual ayudará a definir si el dispositivo está en condiciones normales de operación, o si se encuentra bajo efectos de una falla. Estos umbrales se definen de acuerdo a la aplicación y el voltaje de umbral de conducción del dispositivo bajo estudio.

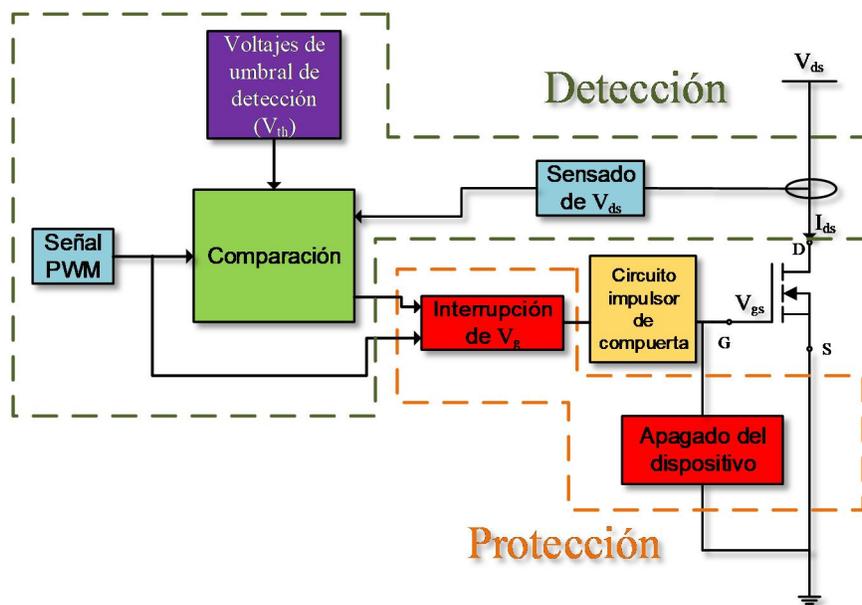


Figura 26. Esquema general utilizado para la detección de fallas y protección del MOSFET.

3.3.1 Detección

Antes de elegir la estrategia de detección, se eligieron los diferentes escenarios de fallas que se abordarían en el desarrollo de este trabajo, las cuales son:

- ✓ Falla de corto circuito observado por la terminal de drenaje del dispositivo.
 1. Caso 1: HSF.
 2. Caso 2: FUL.
- ✓ Falla de circuito abierto.
 3. Internamente el DSEP se abre.³
 4. No llega el voltaje a la terminal de drenaje del MOSFET/se pierde la conexión de la terminal de fuente a tierra.
 5. Hay ausencia de PWM en la compuerta del MOSFET.

3.3.2 Señales de falla y elección de estrategia de detección

Para detectar las fallas mencionadas anteriormente que pueden ocurrir en el MOSFET, es necesario conocer las diferentes señales que se pueden medir, en condición de operación nominal y bajo falla: Voltaje drenaje fuente (V_{ds}), Voltaje compuerta fuente (V_{gs}) y corriente drenaje fuente (I_{ds}). Las señales en condiciones nominales se muestran, de manera idealizada, en la Figura 26. Cuando el dispositivo está en conducción también se presenta un voltaje de conducción ($V_{ds(on)}$) que varía según la resistencia interna del dispositivo y la corriente que circula por el canal; este efecto no se muestra debido a la idealización de las señales. Sin embargo, este parámetro es importante tenerlo en cuenta cuando se van a fijar los umbrales de detección.

El $V_{ds(on)}$ se puede expresar como:

$$V_{ds(on)} = I_{ds} * R_{ds(on)} \quad \text{Ec. 12}$$

Donde I_{ds} es la corriente en el canal cuando el dispositivo está conduciendo y $R_{ds(on)}$ es la resistencia interna del dispositivo en estado de conducción. Este último parámetro lo proporciona el fabricante en la hoja de datos del dispositivo.

Este $V_{ds(on)}$ es utilizado en el circuito de detección como el valor mínimo, pero no deseable, que puede tener uno de los umbrales de detección que entran en el bloque de comparación de la Figura 25, empleado para la señal de control PWM (V_g). La razón para

³ Al tener el mismo comportamiento de la falla del punto 4 y al no poder realizarse esta prueba, el resultado experimental obtenida de la prueba del punto 4 se puede interpretar como igual.

ser un valor no deseable, es que si se aplica un umbral por debajo de ese valor, el circuito comparador (el cual se menciona más adelante), siempre estaría detectando una falla inexistente. Y si se pone a un valor por encima muy cercano al valor de $V_{ds(on)}$ podría haber falsas alarmas por ruido en la propia señal o variaciones en el valor de la carga que harían que la corriente tenga pequeñas fluctuaciones en su valor, que como se ve en la Ec. 12, afectaría directamente al $V_{ds(on)}$.

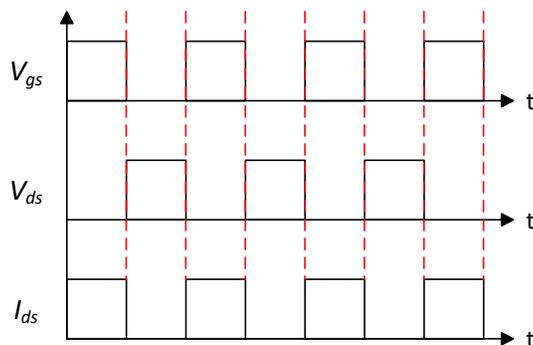


Figura 27. Señales de conmutación de un DSEP idealizadas.

Las señales mostradas en la figura anterior van a comportarse de manera distinta cuando ocurra una falla de corto circuito, siendo estos comportamientos los que se van a medir para el circuito de detección. El V_{ds} , si el dispositivo está en conducción, va a tender a subir al voltaje del bus de CD como si el dispositivo estuviera apagado (por el efecto de estrangulamiento mostrado en el punto 2.2.2) y si el corto ocurre antes de la conmutación, el V_{ds} se mantendrá en alto (teniendo solo un efecto como si el voltaje quisiera bajar a el voltaje de conducción) aun cuando el dispositivo conmute al encendido.

Finalmente, se ha observado que el valor de la señal I_{ds} en caso de corto circuito, en la práctica, puede llegar a casi 10 veces su valor nominal cuando conduce, como se muestra en la Figura 27, la cual es un oscilograma tomado en el laboratorio al realizar las primeras pruebas experimentales para el caso de corto circuito, también se muestra el $V_{ds(on)}$, el cual no se ve en las señales idealizadas anteriores.

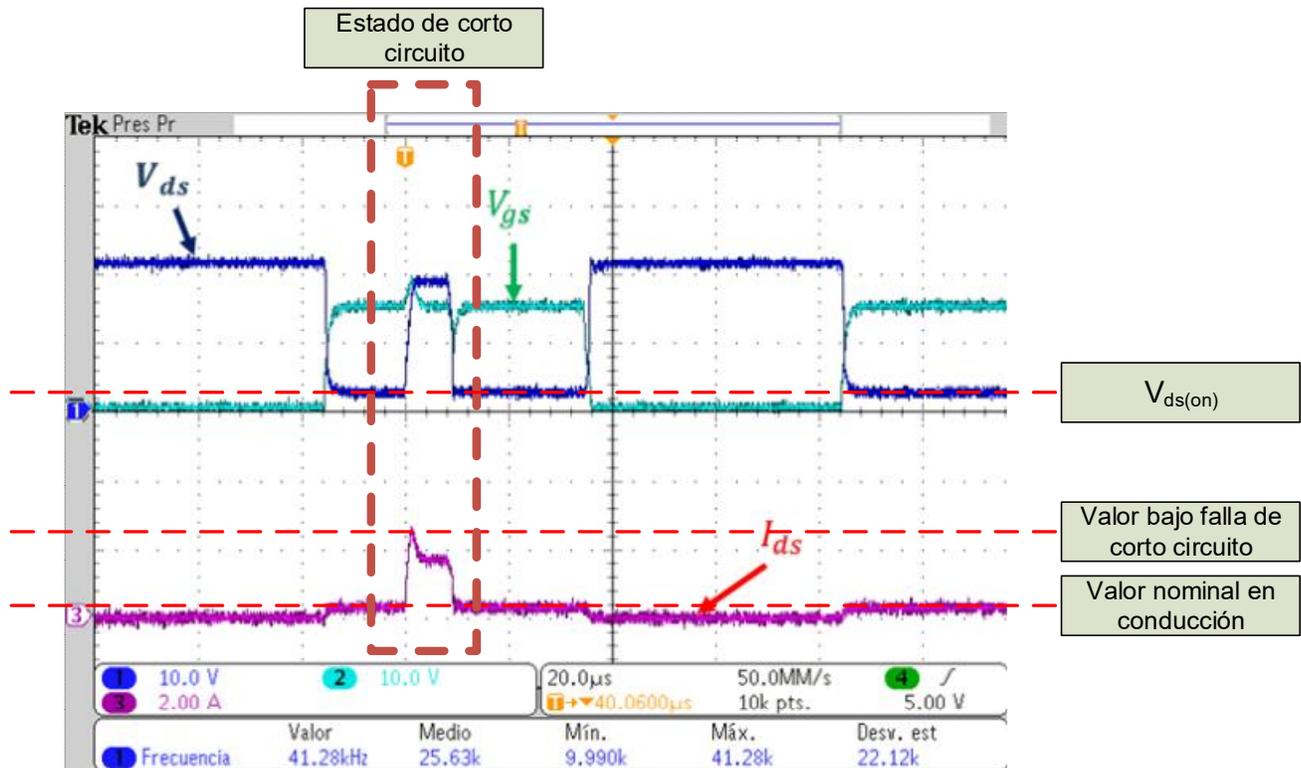


Figura 28. Señales del DSEP bajo falla de corto circuito en caso de FUL.

La estrategia para la detección de fallas que se va a emplear es por detección de saturación, procesando las señales propias del dispositivo. Es la que se realiza monitoreando los estados del V_{ds} y, en este caso, también V_{gs} [6]. Esto es posible debido a que no deberían estar en el mismo estado (como se vio anteriormente), y solamente ocurre cuando el dispositivo ve un corto circuito entre sus terminales o en algunos casos de circuito abierto. Haciendo esto obtendremos como resultado una señal de falla (r_1). En la Figura 28 se muestran las formas de onda para la aplicación de esta estrategia. Un inconveniente de utilizar esta estrategia de detección, como lo mencionan en [26], es que no es posible diferenciar entre una falla de corto circuito y circuito abierto, esto sucede porque el comportamiento de las señales en cuestión es el mismo.

Para la detección de falla de circuito abierto se utilizan las señales de corriente de drenaje fuente I_{ds} y la señal de compuerta V_{gs} [6]. Caso similar al anterior, pero en esta ocasión

sí hay ausencia de corriente mientras la señal de compuerta está en alto (dispositivo en conducción), dando como resultado una señal de falla r_2 .

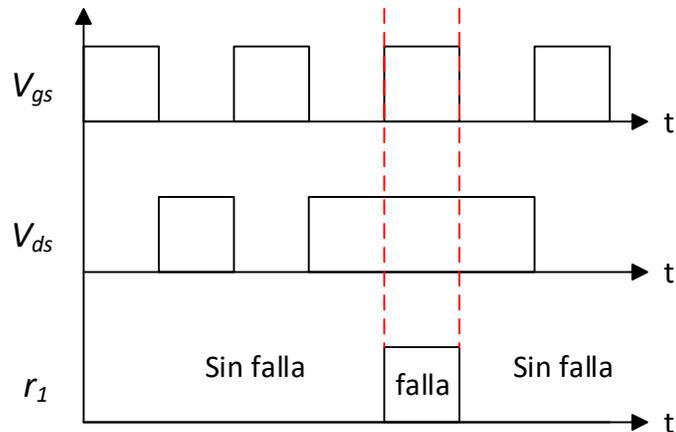


Figura 29. Formas de onda de V_{gs} y V_{ds} idealizadas para detección de falla de corto circuito.

En la Figura 29 se muestran las formas de onda para este caso. Sin embargo, no se optó por el sensado de corriente porque, sin importar el caso (corto circuito o circuito abierto) el procedimiento posterior en trabajos futuros sería el remplazamiento de la rama completa de un convertidor tolerante a fallas.

Dicho lo anterior, para las fallas de corto circuito y circuito abierto se etiquetará a las señales de fallas como una sola (r_1).

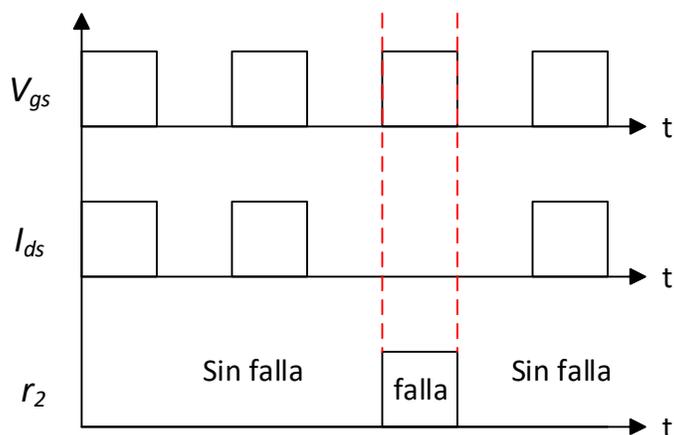


Figura 30. Formas de onda V_{gs} e I_{ds} normalizadas para la detección de falla en circuito abierto.

La figura anterior muestra el comportamiento de circuito abierto si la señal de V_{gs} está trabajando correctamente, por lo que las estrategias mostradas anteriormente son viables. Si la falla se debe a la ausencia de la señal PWM, se debe recurrir a otro método, el cual se menciona posteriormente.

Debido a que sólo interesa el estado en el que se encuentra la señal de compuerta (alto o bajo), se optó por tomar la señal de control PWM (V_g) como señal de referencia.

Las fallas de circuito abierto mencionadas al inicio de esta sección, se pueden detectar del mismo modo, debido a que el comportamiento de las señales es el mismo.

Considerando lo anterior, y observando el comportamiento usando lógica Booleana de las señales de la Figura 28, la obtención de r_1 se puede expresar en su forma booleana por medio de la función lógica AND, como a continuación:

$$r_1 = A_1 * B_1 \tag{Ec. 13}$$

Tabla 3. Tabla de verdad de la función lógica AND para la detección de fallas de corto circuito y circuito abierto.

$A_1=V_g$	$B_1=V_{ds}$	r_1
0	0	0
1	0	0
0	1	0
1	1	1

Finalmente, para la detección de circuito abierto cuando no hay PWM existente, se implementó el circuito de carga-descarga de un capacitor que funciona a la frecuencia de conmutación del dispositivo. Este circuito de carga y descarga del capacitor toma una pequeña cantidad de voltaje de la señal de control de voltaje PWM, sin embargo, la conmutación normal del dispositivo no se ve afectada debido a que los niveles de voltaje que siguen llegando al circuito de activación de compuerta son de niveles óptimos para su conmutación, esto debido a un arreglo de compuertas lógicas que se verá más adelante, ya que una compuerta lógica, si le llega un nivel de voltaje que pueda detectar en su entrada, la salida será un nivel lógico de voltaje (3.3 V, 5 V o 15 V, dependiendo de la compuerta y voltaje de alimentación de estas). Estos niveles de voltaje, también son suficientes para el circuito de activación de compuerta, logrando a la salida de este un voltaje de entre 12 y 15 volts (dependiendo los requerimientos de activación).

La configuración de carga y descarga del capacitor se muestra en la Figura 30.

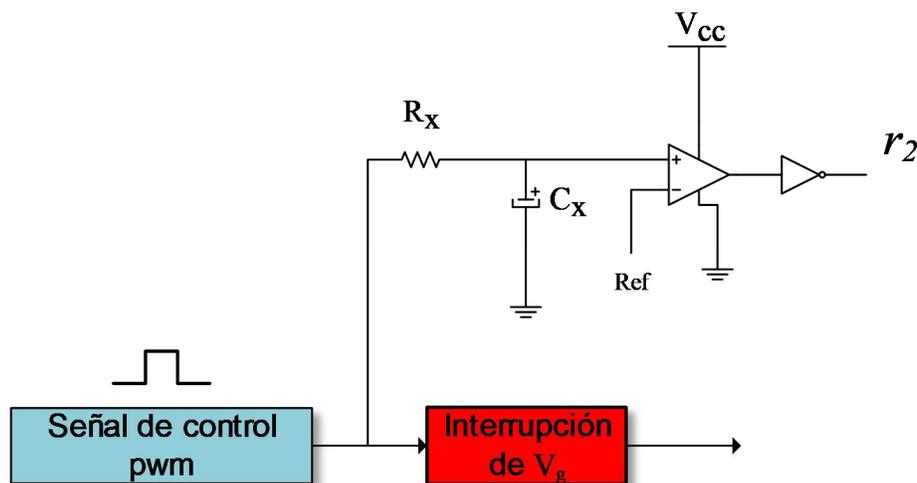


Figura 31. Esquema para la detección de circuito abierto por ausencia de la señal de control pwm.

De la Figura anterior, el valor *Ref* en la terminal negativa del comparador, es el valor fijo de umbral de detección para este caso.

Esta configuración hace que en la entrada positiva del comparador se vea un rizo de voltaje (ΔV_C), el cual depende directamente del valor de la resistencia (R_x) y el capacitor (C_x).

Al producto de R_x y C_x se le llama constante de tiempo [34], [35], y se expresa como:

$$\tau = R_x * C_x \quad \text{Ec. 14}$$

Esta expresión se utiliza para obtener el voltaje en el capacitor para diferentes instantes de tiempo en el proceso de carga y descarga, y por medio de las siguientes relaciones [34], [35], se observa que entre mayor sea esta constante de tiempo, más tardará el capacitor en cargarse o descargarse.

$$\text{Carga} \quad \rightarrow \quad v_C(t) = V_0(1 - e^{-\frac{t}{\tau}}) \quad \text{Ec. 15}$$

$$\text{Descarga} \quad \rightarrow \quad v_C(t) = V_0(e^{-\frac{t}{\tau}}) \quad \text{Ec. 16}$$

En la Figura 31, se observa que al variar los valores de resistencia a una capacitancia constante a) y los valores de capacitancia a una resistencia constante b), habrá un incremento o decremento del rizado de V_C .

Para definir el valor de ΔV_C se utiliza la siguiente expresión.

$$\Delta V_C = V_{c1} - V_{c2} \quad \text{Ec. 17}$$

Siendo V_{c1} el valor máximo de voltaje en el rizado que se alcanza después del transitorio de encendido y V_{c2} el valor mínimo.

De lo anterior se puede detectar que el valor mínimo, pero no deseable, para fijar el umbral de detección sería V_{c2} . Entre más cercano esté el valor de umbral de detección a V_{c2} menor será el tiempo de detección, sin embargo, se debe considerar que en convertidores con lazo cerrado, el ciclo de trabajo puede variar, lo que haría que ΔV_C se desplace hacia arriba o hacia abajo; por lo que, tener en cuenta el ciclo de trabajo máximo

o mínimo al que se podría trabajar es necesario, ya que se ve reflejado en el tiempo que tendría el capacitor en cargarse y descargarse.

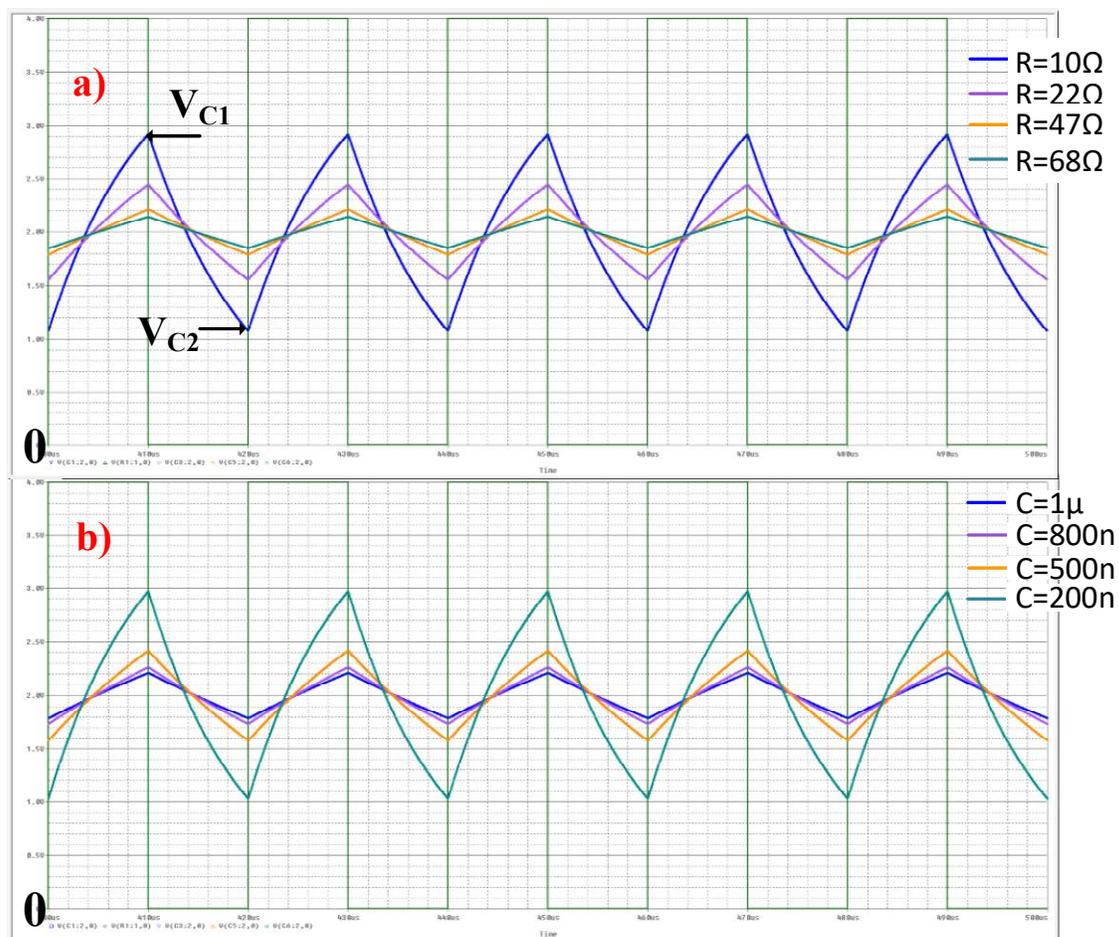


Figura 32. Rizado de voltaje en el capacitor para diferentes valores de resistencia a) y capacitancia b).

Además, si ΔV_c es muy grande, significa que el tiempo que tardaría en descargarse y llegar al umbral fijado sería menor que si ΔV_c es menor.

Para este tipo de falla cuando se interrumpe la señal de control PWM, se utiliza la función lógica NOR para la obtención de la señal de falla r_2 . Pero, aquí las señales observadas son V_g y el voltaje en el circuito de carga y descarga del capacitor (V_c). Para este caso, se obtiene la expresión booleana:

$$r_2 = \overline{A_2} * \overline{B_2} \quad \text{Ec. 18}$$

Tabla 4. Tabla de verdad de la función lógica NOR para la detección de la falla de ausencia de pwm.

$A_2=V_g$	$B_2=V_c$	r_2
0	0	1
1	0	0
0	1	0
1	1	0

En el caso mostrado, debido a que no es crítico el tiempo de detección, se optó por tomar valores para el correcto funcionamiento y visualización de este método.

La señal de detección negada que se obtiene va a definir el valor de la señal de detección (r_2), la cual va a ser interpretada como una ausencia de PWM en el DSEP.

Esta técnica se basó en el monitoreo de la corriente que se hace en [13] la cual se muestra en la Figura 32, sin embargo, es posible hacer esto pero con el voltaje en el capacitor, como se mostró; teniendo en cuenta solo el momento de descarga para determinar la detección. La ventaja de hacerlo de esta manera es que es en tiempos de conmutación del dispositivo y no en tiempos de operación del sistema como en el trabajo citado.

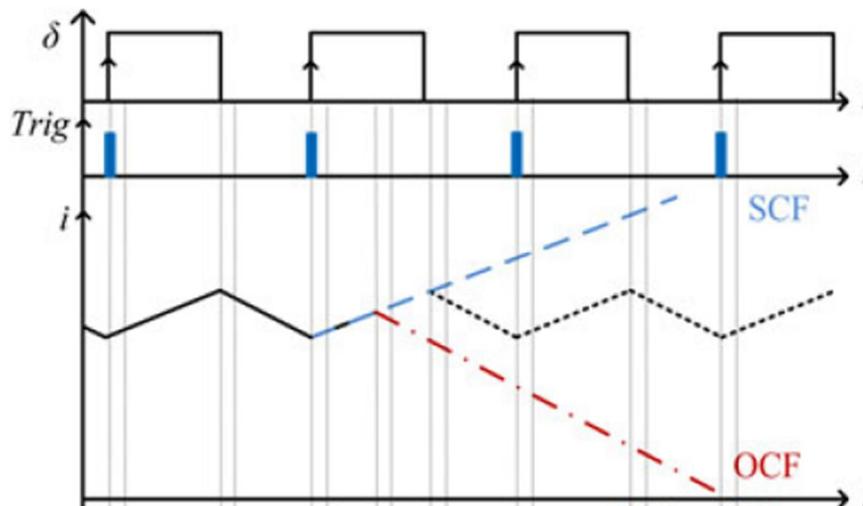


Figura 33. Técnica utilizada para la detección de fallas en un convertidor tolerante monitoreando la corriente de salida [13].

3.3.3 Análisis térmico del dispositivo MOSFET

Cuando se trata de fallas de corto circuito, el dispositivo puede ser sometido a niveles de temperatura elevados debido a la potencia disipada que puede alcanzar. Por ello, es necesario efectuar la detección y protección en cortos periodos de tiempo. Este tiempo se puede estimar dependiendo la temperatura máxima de unión que un DSEP puede soportar, en [2] menciona que un tiempo estimado que no puede superar un dispositivo en estado de corto circuito para no dañarse es de 10 μ s.

La temperatura de unión máxima del MOSFET se describe por la siguiente ecuación:

$$T_{jmax} = \Delta P_d * Z_{thJC}(t) + \theta_{j0} \quad \text{Ec. 19}$$

Los parámetros utilizados con fines de cálculo del dispositivo MOSFET (SPP20N60C3) a utilizar en las pruebas experimentales son los siguientes:

$$T_{j0} = 80^{\circ}C ; \Delta P_d = 6.2 kW ; t = 1.13 \mu s$$

T_{j0} es la temperatura de operación aproximada de un DSEP en condiciones normales, mientras que ΔP_d es el valor de la potencia máxima de disipación en el dispositivo cuando ocurre el corto circuito (dato obtenido de la hoja de datos) y t es el tiempo que soportaría el dispositivo antes de que llegue a la temperatura máxima de unión (150 $^{\circ}C$), el cual fue propuesto y se consideró como una especificación de diseño como el tiempo máximo en estado de corto circuito que puede soportar el MOSFET en estudio.

Sustituyendo estos valores en la Ec.19 obtenemos:

$$T_{jmax} = 6.2 kW * Z_{thJC}(1.13\mu s) + 80^{\circ}C$$

$$T_{jmax} = 6.2 kW * 0.011 + 80^{\circ}C$$

$$T_{jmax} = 68.2^{\circ}C + 80^{\circ}C = 148.2^{\circ}C$$

En la Figura 33 se muestra la gráfica de la relación de impedancia térmica del MOSFET utilizado (SPP20N60C3).

3 Transient thermal impedance

$$Z_{thJC} = f(t_p)$$

parameter: $D = t_p/T$

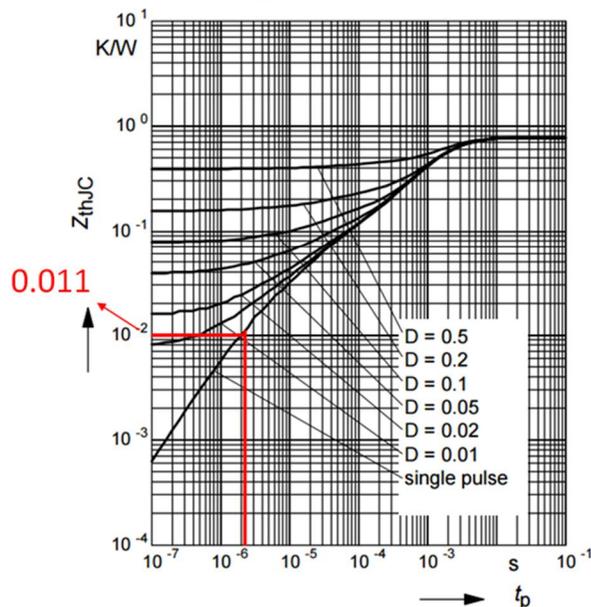


Figura 34. Gráfica logarítmica de la impedancia térmica del MOSFET SPP20N60C3.

3.3.4 Sensado de V_{ds}

El sensado del V_{ds} es una parte muy importante del circuito [36]. En este caso se optó por la configuración mostrada en la Figura 34.

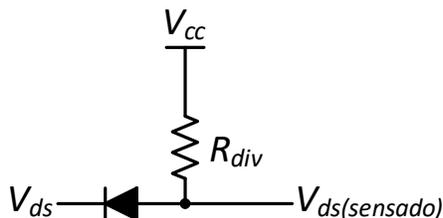


Figura 35. Configuración para el sensado del voltaje drenaje-fuente.

La selección del diodo es una parte esencial, ya que debe ser rápido (tener un tiempo de recuperación inversa (t_{rr}) bajo, $t_{rr} \leq 30$ ns).

Para comprender mejor el efecto del t_{rr} del diodo, en la Figura 35 se ilustra.

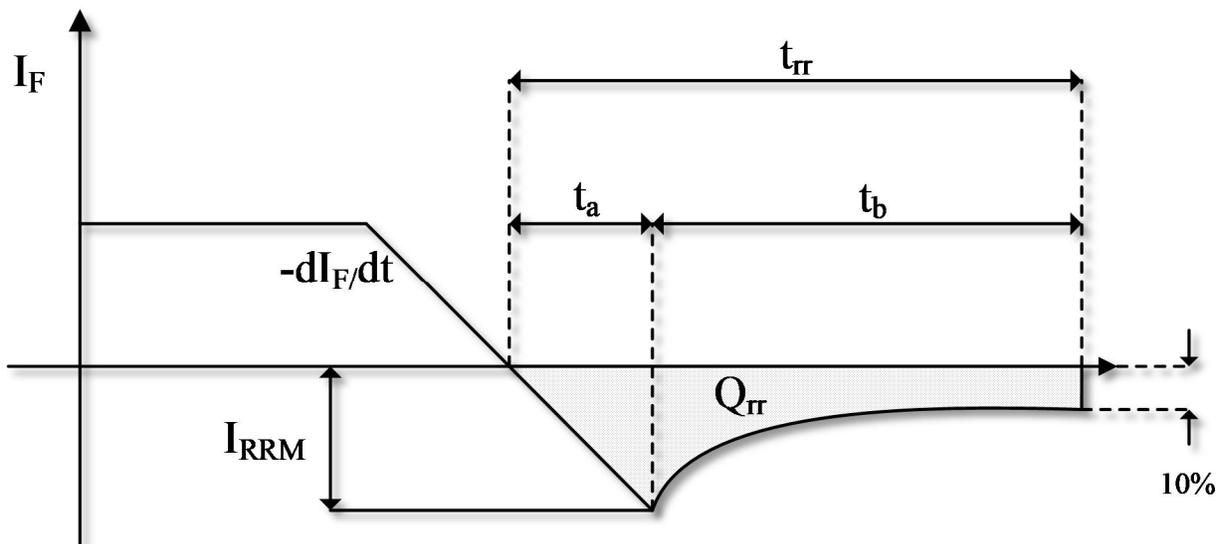


Figura 36. Recuperación inversa del diodo.

De la Figura anterior se puede explicar lo siguiente: Al conducir el diodo un valor I_F , su zona de conducción estará saturada entre mayor sea su valor. Al forzar la desactivación del flujo de corriente con cierto valor de velocidad $\frac{di}{dt}$ dará como resultado que haya un almacenamiento (Q_{rr}) debido a los portadores en la unión P-N que cambian su sentido de movimiento y que provoca que el diodo conduzca en sentido contrario durante un tiempo t , llamado *tiempo de almacenamiento*. I_F tardará un *tiempo de caída* (t_b) en pasar de un valor pico negativo (I_{RRM}) a un valor en el que los portadores desaparezcan y su valor sea despreciable. De lo que se obtiene que[14]:

$$t_{rr} = t_a + t_b \quad \text{Ec. 20}$$

Esta configuración de sensado permite obtener un nivel de voltaje a la entrada del comparador que tenga una relación directa con el voltaje del bus de entrada (100:10 V por ejemplo). Además de niveles de voltaje a los que puede operar el comparador correctamente.

La desventaja que presenta la configuración propuesta es que se debe utilizar una fuente de alimentación adicional, además que puede presentar una capacitancia de unión lo suficientemente alta para generar picos de voltaje en el sensado. Esto se puede reducir poniendo varios diodos en serie [30].

Para nuestro sistema de pruebas, se utilizó un voltaje sensado en el diodo de 5 volts, esto a partir del hecho de que con ciertos diodos utilizados en las pruebas, los picos de voltaje que se generaban en el sensado eran inaceptables a ciertos niveles de voltaje drenaje fuente para poder procesar las señales en la etapa de comparación, debido a las características de los comparadores utilizados (Figura 35).

Su funcionamiento se basa en que, cuando el MOSFET está en estado de bloqueo, habrá un voltaje V_{ds} que también hará que el diodo no conduzca y por lo tanto el comparador vería en su terminal el voltaje V_{cc} . Cuando conduzca el diodo, R_{div} definirá la corriente que pasa a través de él, además $V_{ds(sensado)}$ quedaría definido como:

$$V_{ds(sensado)} = V_{ds(on)} + V_{diodo}$$

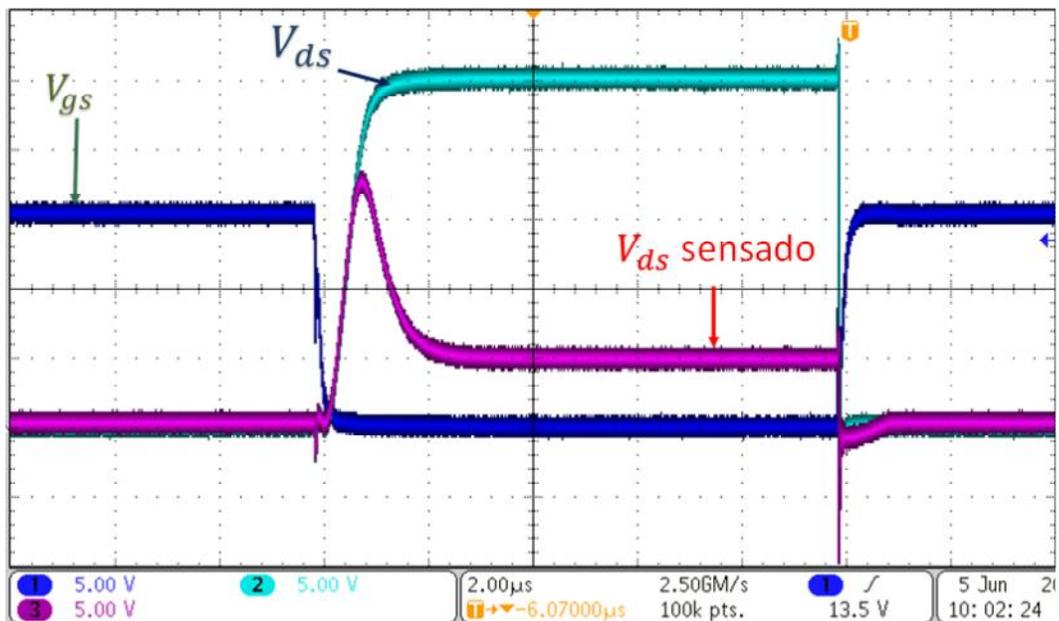


Figura 37. Sensado del voltaje drenaje fuente con el diodo RURP360.

Entonces, retomando un poco lo visto en el punto 3.3.2, podemos decir que el voltaje de umbral de detección para V_{ds} , estaría definido entre los valores de $V_{ds(on)}$, como valor mínimo, y V_{cc} , como valor máximo, el cual es un valor de voltaje definido que se dará a partir del $V_{ds(on)}$ máximo que puede llegar a tener un dispositivo; lo anterior es para que se tenga un rango de valores suficientes para poder definir los umbrales de detección y no se tengan valores en los cuales puedan existir falsas alarmas a partir de un valor mínimo cercano a $V_{ds(on)}$ o un valor máximo que se aproxime a V_{cc} .

Tomando en cuenta las características anteriores se optó por utilizar el diodo MUR120, el cual cuenta con las siguientes especificaciones técnicas más importantes:

Tabla 5. Parámetros del diodo utilizado (MUR120).

Parámetro	valor
<i>Corriente de conducción máxima (I_F)</i>	1 A
<i>Voltaje de bloqueo (V_R)</i>	200 V
<i>Tiempo de recuperación inversa (t_{rr})</i>	$I_F = 1 A, \frac{di}{dt} = 50 A/\mu s \rightarrow 35 ns$ $I_F = 0.5 A \rightarrow 25 ns$

3.3.5 Generación de la señal PWM

Para realizar las pruebas con características de operación similares a las de un convertidor y para que las pruebas estuvieran controladas, se optó por utilizar un arduino uno, en el cual se programó una señal PWM a una frecuencia de 50 kHz y con un ciclo de trabajo del 50%, además de una señal con un pulso único, controlando su ancho de pulso para prevenir accidentes si la detección y protección no se hacía antes del tiempo establecido.

Con esto se podían estar metiendo fallas de corto circuito controladas. En adición, la señal de frecuencia generada por el arduino se utilizó para comprobar el estado lógico en el que se encontraba V_{gs} para ocuparlo en el proceso de detección; esta señal es la que llamamos *señal de control del MOSFET (V_g)*.

3.3.6 Etapa de comparación

Esta es quizá la etapa más importante, ya que aquí es donde se fijan los umbrales de detección para el voltaje sentido de V_{ds} y V_g .

Se utilizaron amplificadores operacionales en configuración de comparador, en la Figura 37 se muestra el esquema básico de un comparador y su función de transferencia.

Un comparador tiene la finalidad de detectar la relación entre los dos potenciales de entre sus terminales de entrada. Una será la referencia (en nuestro caso corresponde a los umbrales fijos para la detección), y cuando la señal desconocida supere o baje del voltaje de la referencia a la salida dará un valor diferente.

Si el voltaje de entrada V_i es menor al voltaje de referencia V_r , la salida será de un valor negativo $-V_{0\text{ sat}}$. Y cuando es mayor será de un valor positivo $+V_{0\text{ sat}}$. Su función de transferencia se muestra a continuación:

$$V_i - V_r = \frac{+V_{0\text{ sat}} - (-V_{0\text{ sat}})}{A_0} \quad \text{Ec. 21}$$

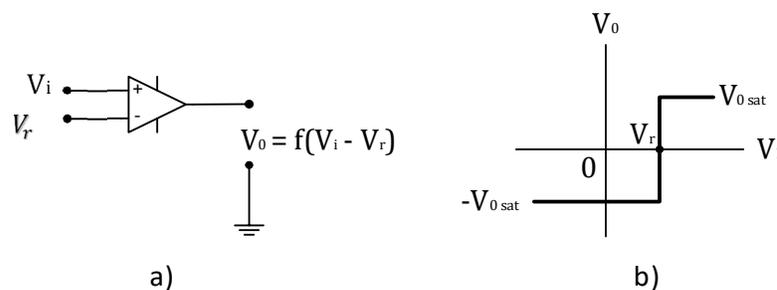


Figura 38. Circuito comparador básico a) y su función de transferencia b)[1].

Donde A_0 es la ganancia, la cual siempre tiene un valor muy grande.

V_r se podría definir como el valor de los umbrales de detección aplicados en los puntos anteriores, donde se implementaron comparadores para la detección de las fallas de corto circuito y circuito abierto para el armado de estos comparadores se emplearon los dispositivos LM311, los cuales son de propósito general.

DISEÑO DEL CIRCUITO DE DETECCIÓN DE FALLAS

Por ese motivo, se tenía pensado probar si eran lo suficientemente rápidos para las frecuencias de conmutación y detección que se pretendían utilizar, al notar que sí era factible usar este dispositivo se continuó trabajando con ellos.

Algunas de sus características más importantes son:

Tabla 6. Parámetros del dispositivo LM311

Parámetro	valor
Corriente máxima de entrada (I_{ib})	100~250 nA
Voltaje de entrada diferencial (V_{id})	± 30 V
Tiempo de respuesta (t_{re})	De 115 a 165 ns

Observando que la entrada del comparador soporta al menos 30 V de entrada, es el pico de voltaje máximo que debe proporcionar el voltaje sentido por el diodo.

Una vez que se realizó la detección de manera correcta, se obtiene una señal de un único pulso que es difícil de manipular si se trata de un tiempo muy pequeño. Por lo que se implementó un circuito retenedor de pulso, o *circuito latch*. El objetivo de este circuito es mantener en alto de manera indefinida una señal de detección de tiempos reducidos (orden de nanosegundos), con lo que se obtiene una señal de residuo definida y que puede ser procesable.

Este circuito de retención de pulso se ha utilizado en diferentes estudios realizados [1], [26], [37] y se muestra en la Figura 38 con su respectiva tabla de verdad en la Tabla 7.

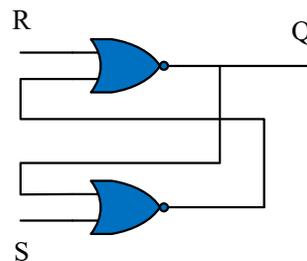


Figura 39. Circuito retenedor de pulso R-S (Latch).

Tabla 7. Tabla de verdad del circuito latch empleado.

Entradas		Salidas	
S	R	Q	\bar{Q}
0	0	NC	NC
0	1	0	1
1	0	1	0
1	1	0	0

Donde S (set) es la señal obtenida a la salida de la etapa de comparación, R (reset) es una señal que proviene después de haber reconfigurado, permitiendo que el circuito de detección se active y siga monitoreando el nuevo dispositivo (de ser el caso). Q es la señal de detección que indica que hay una falla existente, llámese r_1 o r_2 , finalmente \bar{Q} no se maneja, pero se puede considerar para futuras aplicaciones en caso de ser necesario como una señal más para el diagnóstico en el dispositivo.

Las compuertas lógicas que se utilizaron en la etapa de detección son:

- SN7408 (AND)
- SN7402 (NOR)
- SN7404 (NOT)

Así bien, el tiempo de retardo de cada compuerta, entre sus entradas y salidas oscila entre los 4.5 y 7.5 ns. Por lo que no es tan significativo en el momento de la detección.

3.4 Protección

Esta es la etapa crítica para que el dispositivo no se averíe, y se debe realizar en el menor tiempo posible.

La técnica utilizada para llevar a cabo la protección, fue la de apagado suave; consta de dos partes, la desactivación de la señal PWM que llega al circuito impulsor de compuerta y el apagado completo del dispositivo.

3.4.1 Desactivación de la señal PWM

La protección es realizada debido a que se cumple satisfactoriamente la interrupción de la conmutación del dispositivo [26], [37].

Como se vio anteriormente, el circuito propuesto de detección sensa el voltaje V_{ds} y compara la señal de V_{gs} . Si V_{gs} está en un valor alto (Voltaje de activación de compuerta) y V_{ds} se eleva a más del voltaje de umbral en conducción, significaría que está ocurriendo una falla de corto circuito. Con esto se obtiene la señal (proveniente del circuito retenedor de pulso) que activaría la protección del dispositivo (desactivando el PWM de su compuerta). Para la primera parte de la protección se utiliza una compuerta lógica AND a la cual le llegan las señales PWM y la negación de la señal de detección que se obtiene con una compuerta NOT.

La desactivación es realizada debido a que se cumple satisfactoriamente la interrupción de la conmutación del dispositivo. Este pequeño arreglo obedece la siguiente tabla de verdad.

Tabla 8. Tabla de verdad para la desactivación del pwm del dispositivo.

A_3	B_3	F
0	0	0
1	0	1
0	1	0
1	1	0

Esta tabla se puede expresar con la siguiente función booleana.

$$F = A_3 * \bar{B}_3 \tag{Ec. 22}$$

Donde:

F= Señal de salida (PWM hacia el circuito impulsor de compuerta).

A_3 = Señal PWM de entrada.

B_3 = Es la señal de detección.

En la figura siguiente se muestra el esquema de implementación.

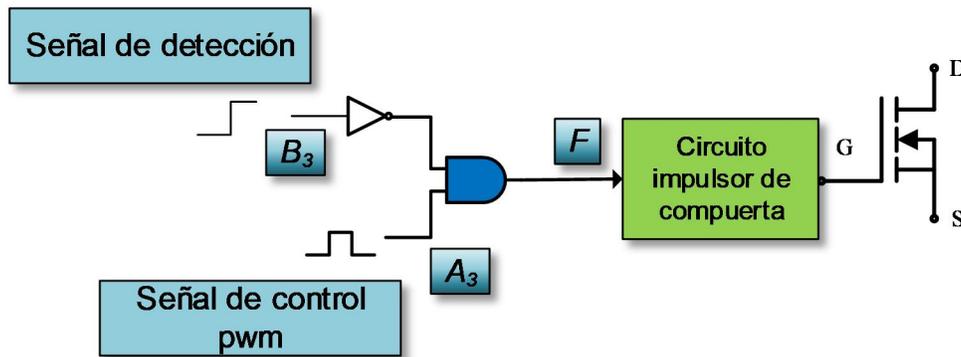


Figura 40. Esquema para la desactivación de la señal de control PWM.

3.4.2 Apagado del dispositivo

A pesar de que el PWM se apaga satisfactoriamente, una característica de los MOSFET es que son muy sensibles a descargas electrostáticas porque el umbral de activación de su compuerta es a un nivel muy bajo, y al desactivar la compuerta es posible que el último estado en el que quedó haya sido en un valor alto, dejando activada la compuerta y por lo tanto el dispositivo quede en un estado permanente de activación. Para evitar esto, se colocó un DSEP (IRF530) en serie con una resistencia desde la compuerta del dispositivo bajo prueba hasta tierra; únicamente para activarse en el momento de que le llegue la señal de detección, lo cual significa que hay una falla de corto circuito y por lo tanto, el dispositivo necesita apagarse completamente para protegerlo y así, posteriormente, aislarlo de la falla existe.

La elección del dispositivo no se hizo de manera cuidadosa, respecto a niveles de potencia que soporta, lo único que se requería era que fuera de conmutación rápida.

Cabe mencionar que se seleccionó un valor de resistencia R_{prot} únicamente para que al mandar el voltaje que pueda estar acumulado en la compuerta en el tiempo de desactivación, no genere una potencia de disipación en la resistencia mayor a la que soporta, dada la expresión:

DISEÑO DEL CIRCUITO DE DETECCIÓN DE FALLAS

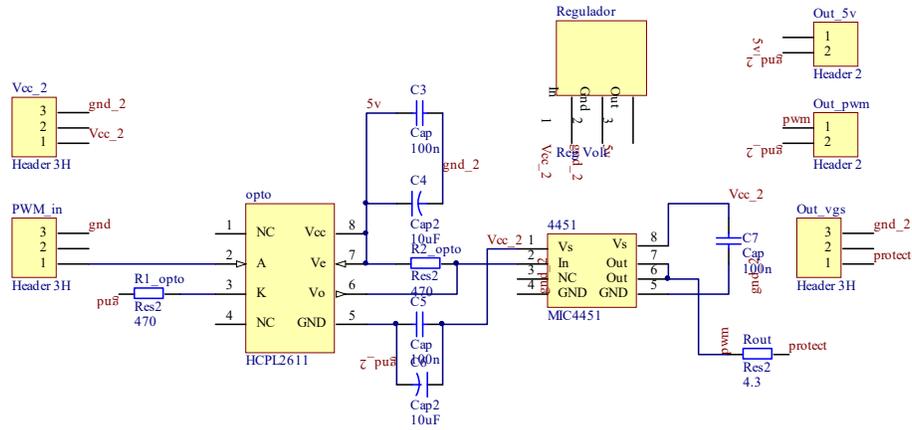


Figura 42. Circuito impulsor de compuerta (esquemático de altium)

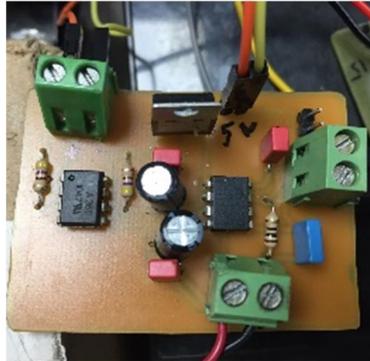


Figura 43. Circuito impulsor de compuerta.

CAPÍTULO 4

4 IMPLEMENTACIÓN Y ANÁLISIS DE RESULTADOS

En este capítulo se presentan los resultados obtenidos de simulación y los experimentales del circuito de detección y protección propuesto, abordando las diferentes fallas establecidas en el capítulo anterior.

4.1 Resultados de la simulación e implementación

Para comprobar el funcionamiento del circuito se realizaron pruebas con potencia baja (36 W). Con esta potencia y volviendo a realizar el análisis térmico se obtuvo que el dispositivo podría operar ante una falla de corto circuito al menos $10 \mu s$ con una potencia máxima de corto circuito de 2.7 kW aproximadamente. Cabe mencionar que el tiempo obtenido en el análisis térmico de la sección 3.2.2 se hizo con la finalidad de obtener el valor máximo considerando una aplicación real del dispositivo (Potencia máxima en corto circuito de 6.4 kW).

Con el tiempo estimado por el análisis térmico, se elaboró el circuito de detección para que realice su función antes que el dispositivo se averíe. En la Figura 43 a) se muestra el circuito de prueba en simulación y en la Figura 43 b) en experimental.

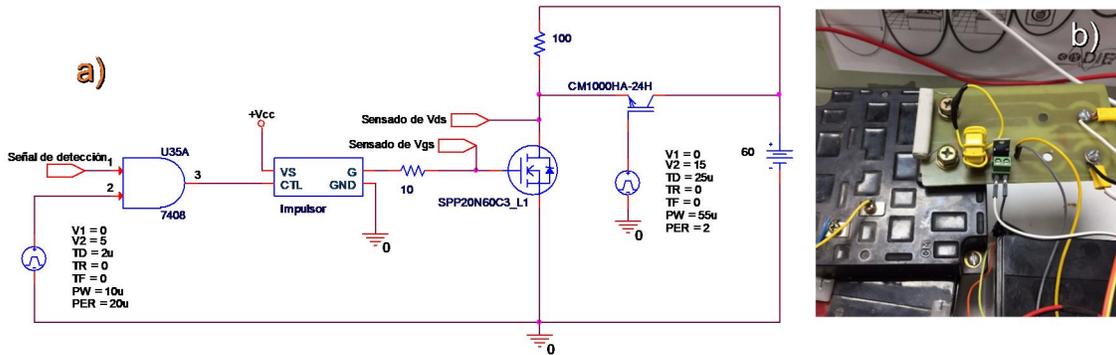


Figura 44 Circuito de prueba en simulación a) y placa experimental para pruebas b).

Al utilizar una potencia de operación baja con dispositivos de potencia alta (hasta 10 kW), las señales del dispositivo pueden ser sensibles a las capacitancias e inductancias propias del dispositivo que se somete a corto circuito y del mismo dispositivo de prueba.

4.1.1 Pruebas preliminares para el correcto funcionamiento del esquema de pruebas y sensado del voltaje drenaje fuente.

Se realizaron las mediciones en simulación para comprobar las señales de conmutación cuando el dispositivo está libre de falla. Se tomó lectura del V_{ds} y $V_{ds(sensado)}$. Este comportamiento se muestra en la Figura 44 y se observa cómo afecta el tener más de un diodo sensando en serie.

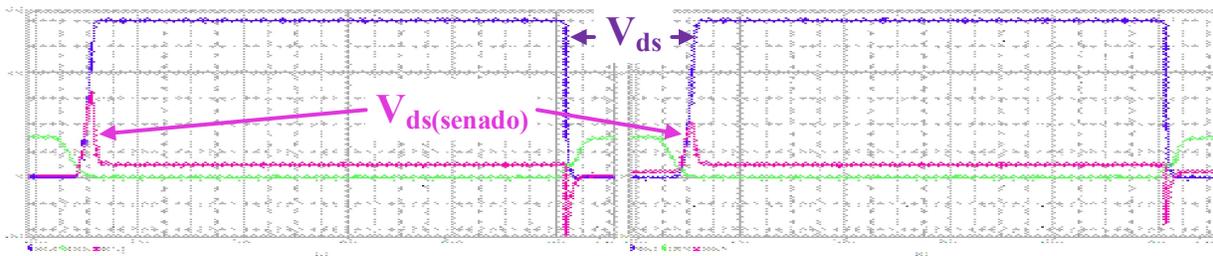


Figura 45. Sensado del voltaje de drenaje fuente con un diodo (izquierda) y 3 diodos (derecha).

Se realizó la prueba de conmutación de forma experimental de igual manera con dos diodos de diferentes características, obteniendo las gráficas que se muestran en la

Figura 45, mostrando los mismo efectos que en simulación, en el que un diodo, al tener mayor tiempo de recuperación inversa, permite un mayor pico de voltaje y corriente en el voltaje sentido en cada conmutación al encendido.

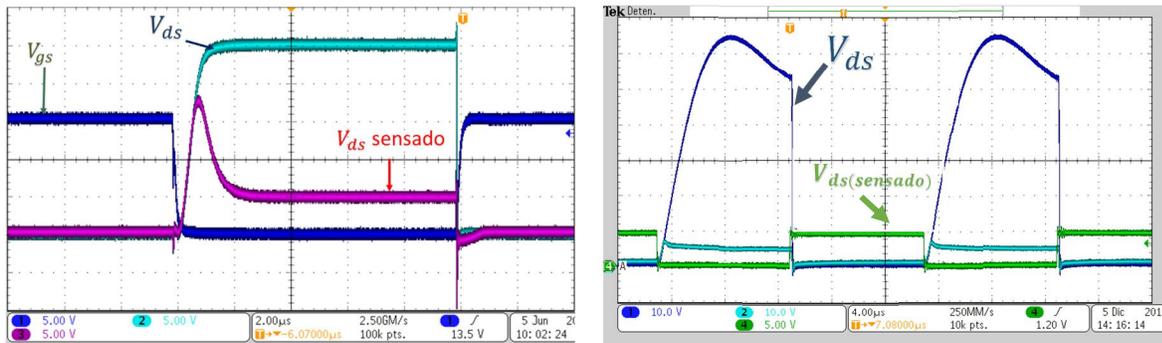


Figura 46. Conmutación sin falla sensando con diodo RURP3060 (izquierda) y diodo MUR120 (derecha).

Después de corroborar el funcionamiento del circuito de prueba tanto en simulación como de manera experimental, además de que los comportamientos son similares, se realizaron pruebas del circuito de detección y protección (en el caso de corto circuito). La señal obtenida (r_1) es la que se va a procesar para posteriormente tomar decisiones.

4.1.2 Resultados experimentales

Tomando en cuenta los casos de detección enlistados en la sección 3, se muestran los resultados obtenidos en las siguientes Figuras, partiendo de parámetros en la Tabla 9 para su realización.

Tabla 9. Parámetros utilizados para la implementación.

Parámetro	Valor
Frecuencia de conmutación (f)	50 kHz
Ciclo de trabajo (D)	50 %
Voltaje de entrada (V_{in})	60 V
Resistencia de carga (R_L)	100 Ω
Resistencia de compuerta (R_g)	10 Ω
Voltaje de compuerta (V_{gs})	8 V
Voltaje de señal de control (V_g)	5 V

Para la implementación de pruebas se utilizó el siguiente esquema general.

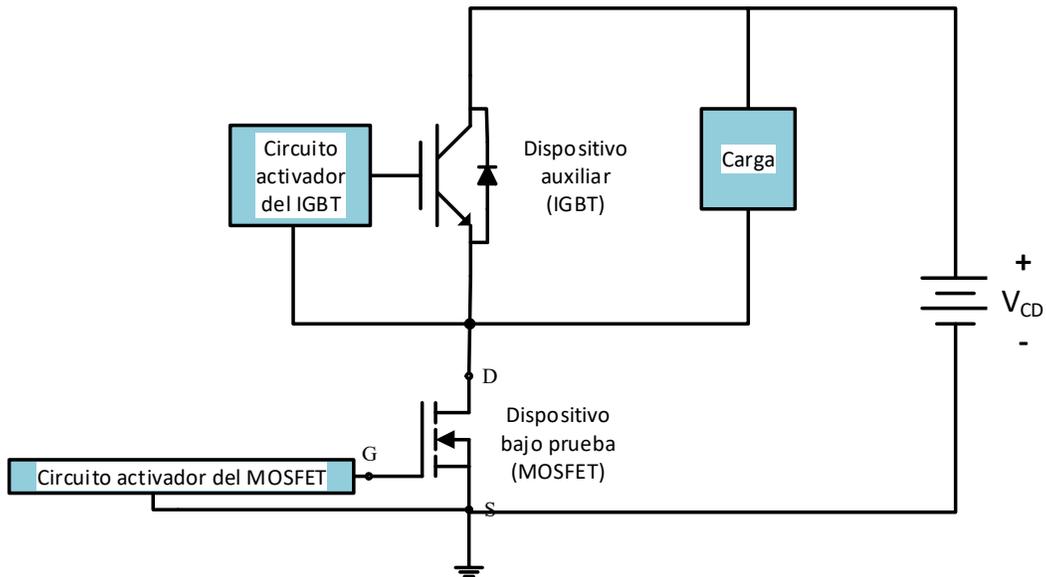


Figura 47. Esquema para la implementación de pruebas experimentales.

El dispositivo auxiliar tuvo que ser de una capacidad de conducción de corriente tal, que al entrar en corto circuito el dispositivo, este no se viera afectado durante el tiempo de prueba. Por lo que se optó por el dispositivo IGBT CM1000HA-28H, el cual tiene las siguientes características de operación.

Tabla 10. Parámetros del DSEP auxiliar.

Parámetro	Valor
Voltaje colector-emisor máx. (V_{CES})	1400 V
Corriente de colector máx. (I_C)	1000 A

Si se considera el hecho que la corriente de corto circuito del dispositivo bajo prueba puede llegar a ser de 10 veces su valor nominal, el dispositivo auxiliar podría ser capaz de resistir. Además, que la prueba de corto circuito es de un único pulso controlado.

IMPLEMENTACIÓN Y ANÁLISIS DE RESULTADOS

Para el caso de corto circuito de tipo HSF y FUL se empleó el esquema de la Figura 48. Para lograr cada tipo de corto circuito se manipularon los tiempos de conmutación desde el arduino.

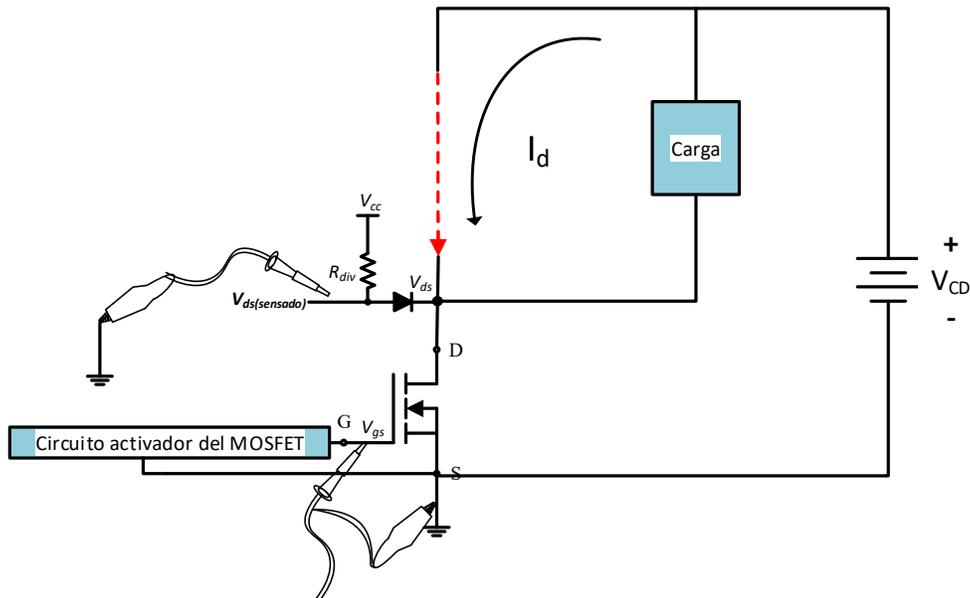


Figura 48. Esquema para la implementación de la prueba de corto circuito.

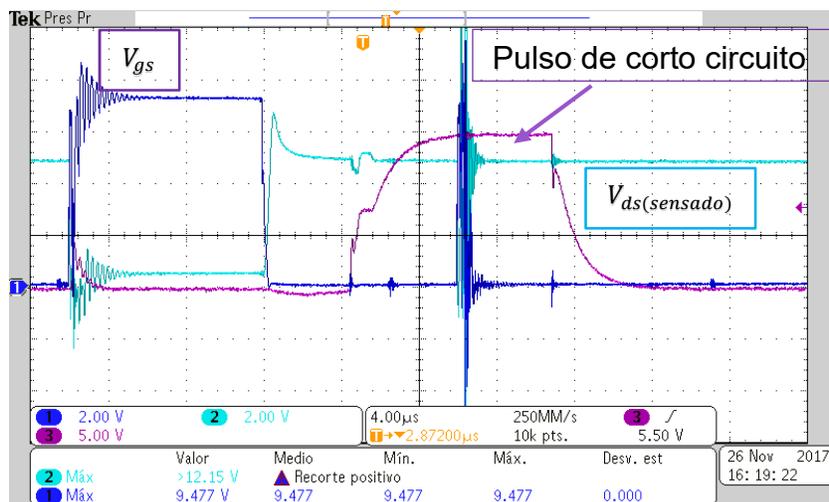


Figura 49. Detección y protección de corto circuito en caso de HSF.

En la Figura 48 se observa que el pulso para la generación de corto circuito sucede antes que el dispositivo conmute y la falla se presenta durante la conmutación dura (HSF). Debido a la estrategia de detección propuesta, la protección se realiza prácticamente en el instante que el dispositivo conmuta, desactivando el PWM como estrategia de protección.

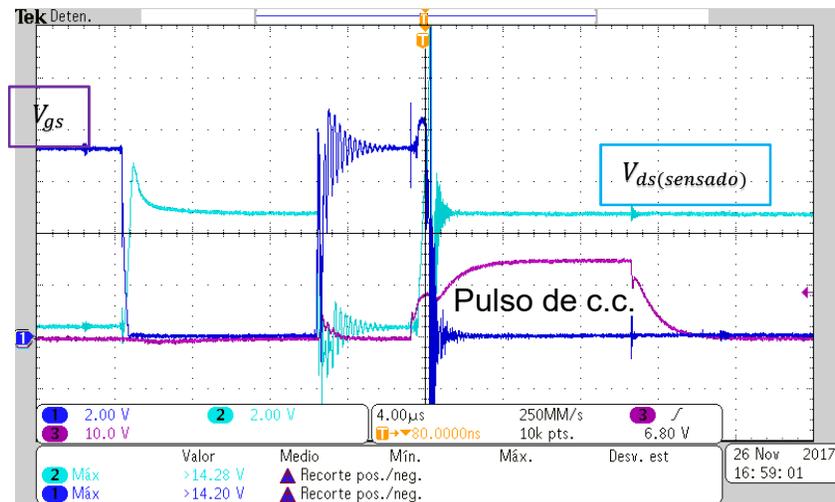


Figura 50. Detección y protección de corto circuito en el caso de FUL.

En la Figura 49 se observa el caso cuando la falla de corto circuito ocurre cuando el dispositivo está conmutando (FUL), al igual que en el caso anterior, la detección y protección se realiza en, al menos 800 ns. Con esto se comprueba que el circuito propuesto cumple con lo establecido con los objetivos.

Como se mencionó anteriormente, los casos de fallas en circuito abierto no son tan críticos como los de corto circuito ya que el dispositivo no se daña, solamente da pie a que el sistema trabaje de manera degradada (si cuenta con esa opción de operación), por lo que los tiempos de detección son más flexibles, dependiendo la aplicación en donde estén operando los DSEP. Sin embargo en los casos siguientes la detección se realizó en tiempos menores a los 10 microsegundos, a excepción del caso donde hay ausencia de PWM, haciéndose después de casi 25 µs.

Para las pruebas de circuito abierto se modificó un poco la placa de pruebas para seguir el esquema de la Figura siguiente.

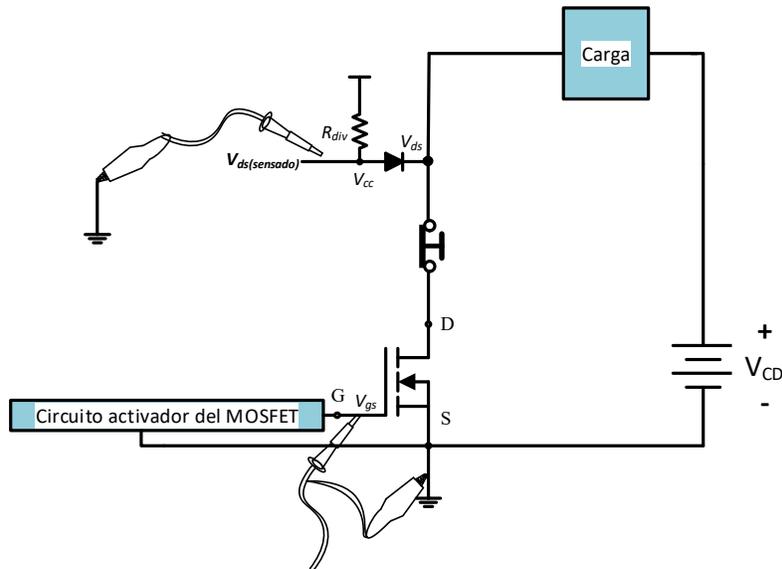


Figura 51. Esquema empleado para las pruebas de circuito abierto

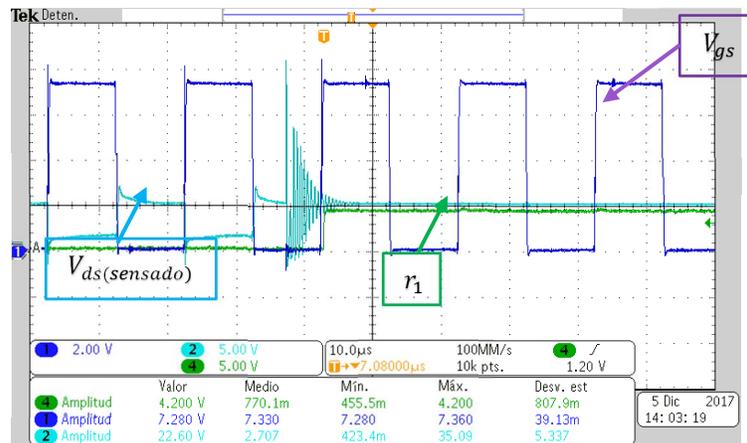


Figura 52. Detección de circuito abierto cuando se abre el dispositivo.

En la Figura 51 se muestra un caso de circuito abierto, esta prueba se realizó abriendo la conexión de drenaje a la carga por medio de un botón (normalmente cerrado) ocasionando una apertura robusta. A pesar de hacerlo de esta manera se puede observar que la detección se realizó correctamente obteniendo una señal residual r_1 .

La detección se realiza cuando el dispositivo trata de conmutar y el $V_{ds(sensado)}$ no baja a niveles de conducción.

Para el caso observado en la Figura 52, se realizó la apertura de la conexión de fuente a tierra de manera manual (Figura 53).

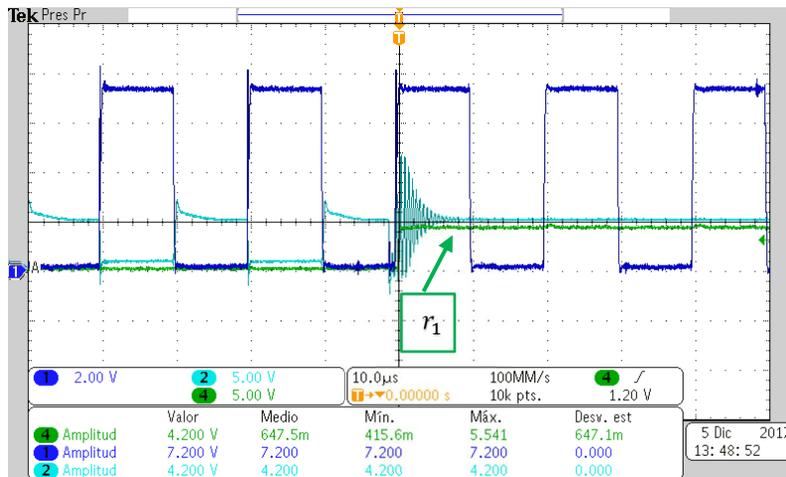


Figura 53. Detección de circuito abierto cuando no llega voltaje a la terminal de drenaje.

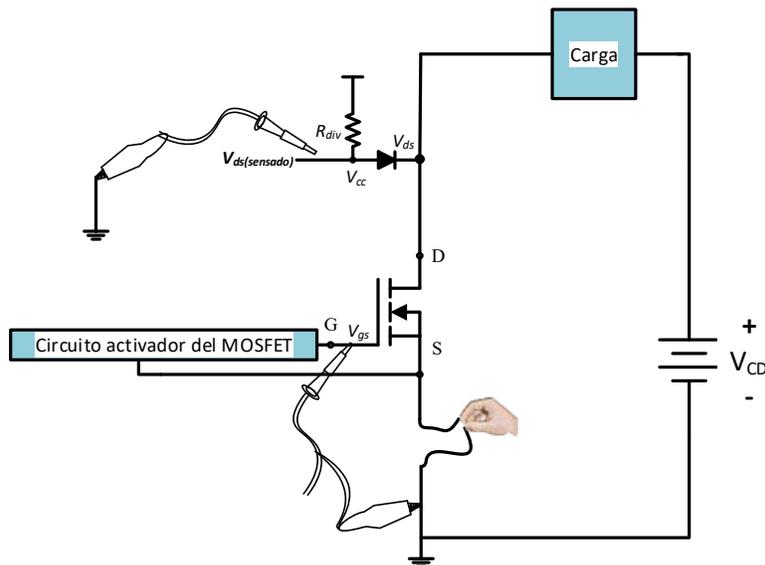


Figura 54. Esquema para la implementación de las pruebas de circuito abierto en la terminal de fuente.

Para estas pruebas se utilizaron los siguientes valores de resistencia y capacitor:

Tabla 11. Parámetros para las pruebas de detección de ausencia de pwm.

Parámetro	Valor
Resistencia (R_x)	47Ω
Capacitor (C_x)	$1\mu F$

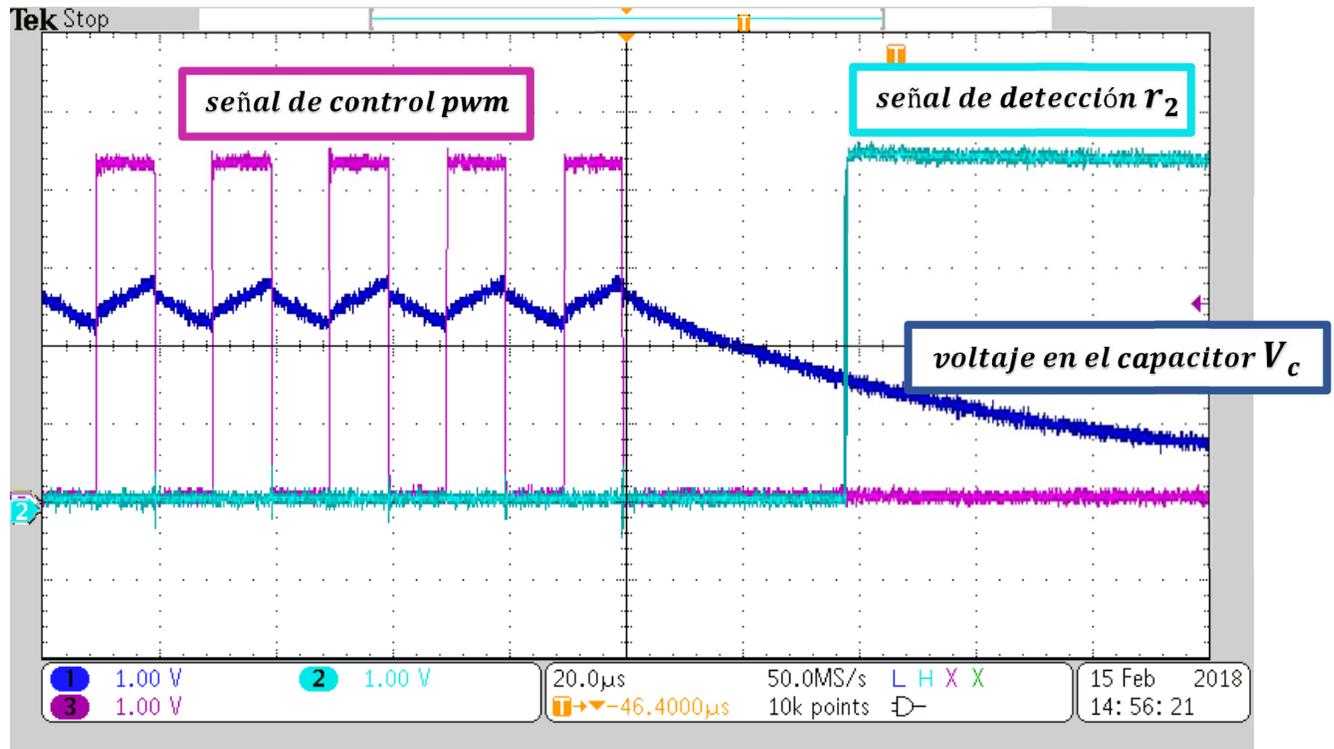


Figura 55. Detección de circuito abierto cuando hay ausencia de PWM.

Para este último caso, en la Figura 54 se puede observar que mientras la señal PWM esté activa, se estará generando un rizado de voltaje ocasionado por el circuito de carga y descarga del capacitor empleado. Si en algún momento deja de existir dicho PWM, debido a que es la fuente de alimentación que ocasiona que el capacitor se cargue, el capacitor se comenzará a descargar a una constante de tiempo. Cuando el nivel de voltaje baja más allá del umbral de detección (el cual es colocado entre el menor valor

del rizado y cero), el circuito mandará una señal de detección r_2 . Con esto se cumplen satisfactoriamente todos los casos de detección de las fallas propuestas.

En la siguiente Figura se muestra la detección a diferentes umbrales fijados así como la detección cuando varía el ciclo de trabajo.

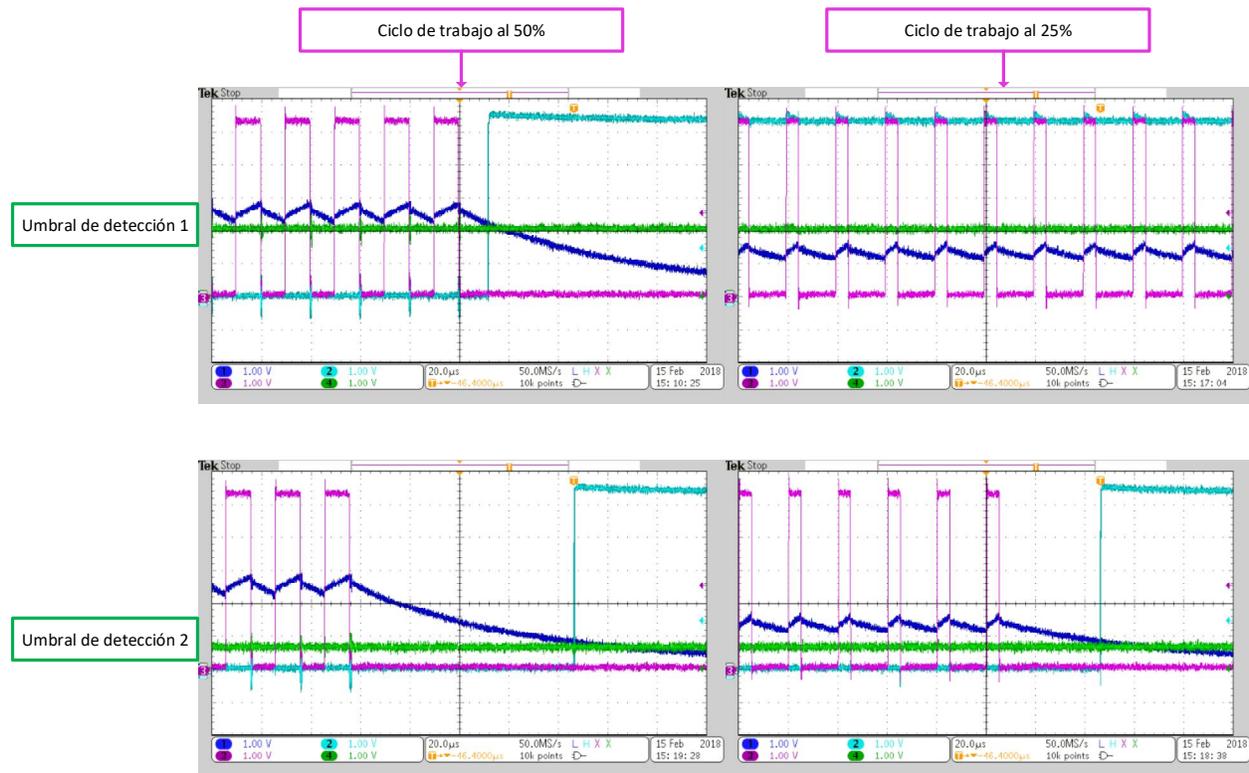


Figura 56. Detección con diferentes umbrales y ciclos de trabajo.

Como se puede observar, si se varía el valor del umbral también va a variar el tiempo de detección, sin embargo, cuando se coloca un umbral (umbral de detección 1) a un valor muy pegado al valor máximo (V_{C2}) habrá dificultades y falsas alarmas en caso de que el ciclo de trabajo cambie a valores menores, como es el caso cuando cambia del 50% al 25 %, generando una detección errónea de falla. En estas pruebas, si se considera que el rango de ciclos de trabajo estaría entre el 50 y 25%, se podría considerar un umbral de detección 2. Aunque el tiempo va a ser mayor, comparado con los tiempos de detección en base a la medición de corriente a la salida de un convertidor, son mucho menores.

CAPÍTULO 5

5 CONCLUSIONES Y TRABAJOS FUTUROS

En este capítulo final, se presentan las conclusiones que se obtuvieron después de observar y analizar los resultados y por la experiencia obtenida mientras se realizaba el diseño y las pruebas del circuito. Además, se describen trabajos futuros que se pueden emplear a partir de la base del circuito propuesto.

5.1 Conclusiones

Después de revisar la literatura y estudiar las técnicas de detección de fallas que se pueden aplicar en los dispositivos semiconductores de potencia, se pudo observar que estas técnicas tienen una capacidad de detectar fallas de manera rápida y ayudan a realizar un diagnóstico temprano, antes de que el dispositivo en estudio se averíe o incluso antes de que la falla se propague por todo el sistema. Entre las técnicas de detección, la empleada en este trabajo fue la de sensor y monitorear el voltaje de drenaje fuente, y se encontró que es efectiva si se trata de cargas y voltajes controlados. Sin embargo, es posible que al aplicarse a una operación normal de un convertidor, se deban agregar circuitos que aseguren la calidad de las señales del MOSFET para su

procesamiento. Si esto no se realiza podría caerse en casos de falsas alarmas y tener un diagnóstico fallido.

Dicho lo anterior, a pesar que en simulación el comportamiento es muy similar a lo que se obtuvo en las pruebas de laboratorio, se tuvieron problemas por transitorios ocasionados por inductancias de cableado y el dispositivo IGBT utilizado para las casos de corto circuito (dispositivo auxiliar), así como ruido introducido por la fuente de alimentación y la propia resistencia de carga. Sin embargo, a pesar de esos problemas la detección se logró correctamente. Se pudo diseñar un circuito de detección de fallas a través de las señales del dispositivo MOSFET que detecte fallas y proteja el dispositivo en un corto periodo de tiempo, el cual está alrededor de los 800 ns para el caso de corto circuito y algunos casos de circuito abierto, y de 25~40 microsegundos para cuando no se está generando la señal de control PWM para el encendido del MOSFET.

Este trabajo se realizó manejando una potencia baja en la implementación del circuito de detección, sin embargo por los resultados obtenidos y la adecuación del mismo, se puede concluir que este circuito puede seguir funcionando a niveles de potencia media-alta.

Tomando en cuenta lo anterior y las pruebas realizadas se pueden sacar las siguientes conclusiones generales.

- En los DSEP, a diferencia de sistemas como convertidores, es posible que la detección de fallas sea rápida (orden de nanosegundos), pero es propensa a falsas alarmas por perturbaciones. Para la cual se deben tener en cuenta los criterios de diseño en la fijación de umbrales y posiblemente la aplicación de circuitos o dispositivos extra que sirvan para adecuar las señales para su procesamiento.
- Los umbrales son la parte principal del circuito de detección; se deben tener en cuenta los niveles de voltaje de aplicación del DSEP para adecuarlos, así como los niveles máximos que se pueden llegar a presentar en los caso de corto circuito.

- La configuración para sensor que incluye el diodo, es viable para potencias altas. Mientras se sepan los niveles de voltaje y corriente se puede adecuar el sensor y por lo tanto los umbrales. Con esto las señales se pueden manipular en el proceso de detección y protección a cualquier nivel de corriente y voltaje.

5.2 Trabajos futuros

De los trabajos futuros pensados, es probar el circuito con diferentes dispositivos semiconductores y de diferentes características eléctricas, así como elevar la potencia en las pruebas utilizando un banco de pruebas adecuado.

Otro trabajo sería el desarrollar e implementar el circuito de detección en un convertidor tolerante a fallas y por medio de señales propias del convertidor, y de otros dispositivos semiconductores, sea posible realizar el diagnóstico de fallas completo, localizando la falla y la causa exacta, así como la reconfiguración del sistema de conversión tolerante.

Referencias

- [1] E. F. Rodríguez, "Análisis y Diseño de un Circuito de Detección de Fallas a través de las Señales de Compuerta," *Tesis Maest. Dep. Ing. Electrónica, CENIDET, Cuernavaca, Mor, México*, 2014.
- [2] B. Lu and S. K. Sharma, "A literature review of IGBT fault diagnostic and protection methods for power inverters," *IEEE Trans. Ind. Appl.*, vol. 45, no. 5, pp. 1770–1777, 2009.
- [3] S. Yang, A. Bryant, P. Mawby, D. Xiang, L. Ran, and P. Tavner, "An Industry-Based Survey of Reliability in Power Electronic Converters," *IEEE Trans. Ind. Appl.*, vol. 47, no. 3, pp. 1441–1451, 2011.
- [4] R. M.-M. Cristina Verde, Sylviane Gentil, *Monitoreo y diagnóstico automático de fallas en sistemas dinámicos*. Trillas, 2013.
- [5] M. A. R. Blanco, "Desarrollo e Implementación de un Sistema de Inversor-Motor Tolerante a Fallas Basado en la Medición de la Señal de Compuerta del IGBT," *Tesis Dr. Dep. Ing. Electrónica, CENIDET, Cuernavaca, Mor, México*, 2009.
- [6] J. A. Alquicira, "Diagnóstico de fallas en un inversor a partir de los tiempos de conmutación en los dispositivos semiconductores," *Tesis Dr. Dep. Ing. Electrónica, CENIDET, Cuernavaca, Mor, México*, p. 206, 2004.
- [7] J. J. Gertler, "Fault detection and diagnosis in engineering systems," *New York Marcel Dekker*, p. 484, 1998.
- [8] L. R. Yu, D. Ye and C. S. Moo, "Discharging scenario of serial buck-boost battery power modules with fault tolerance," *IECON 2015 - 41st Annual Conference of the IEEE Industrial Electronics Society, Yokohama*, 2015, pp. 001622-001626.
- [9] C. Shu, L. Wei, D. Rong-Jun and C. Te-Fang, "Fault Diagnosis and Fault-Tolerant Control Scheme for Open-Circuit Faults in Three-Stepped Bridge Converters," in *IEEE Transactions on Power Electronics*, vol. 32, no. 3, pp. 2203-2214, March 2017.
- [10] V. Choudhary, E. Ledezma, R. Ayyanar and R. M. Button, "Fault Tolerant Circuit Topology and Control Method for Input-Series and Output-Parallel Modular DC-DC Converters," in *IEEE Transactions on Power Electronics*, vol. 23, no. 1, pp. 402-411, Jan. 2008.
- [11] E. Jamshidpour, M. Shahbazi, P. Poure, E. Gholipour and S. Saadate, "Fault tolerant operation of single-ended non-isolated DC-DC converters under open and short-circuit switch faults," *2013 15th European Conference on Power Electronics and Applications (EPE), Lille*, 2013, pp. 1-7.
- [12] B. g. Park, T. s. Kim, J. s. Ryu and D. s. Hyun, "Fault Tolerant Strategies for BLDC Motor Drives under Switch Faults," *Conference Record of the 2006 IEEE Industry*

- Applications Conference Forty-First IAS Annual Meeting*, Tampa, FL, 2006, pp. 1637-1641.
- [13] E. Jamshidpour, P. Poure, E. Gholipour and S. Saadate, "Single-Switch DC–DC Converter With Fault-Tolerant Capability Under Open- and Short-Circuit Switch Failures," in *IEEE Transactions on Power Electronics*, vol. 30, no. 5, pp. 2703-2712, May 2015.
- [14] R. BOYLESTAD and L. NASHELSKY, *Electrónica : teoría de circuitos y dispositivos electrónicos*. 2009.
- [15] J. M. ANDRÉS, "Análisis Comparativo de los Transistores S-J MOSFET y MOSFET Convencional," *Tesis Maest. Dep. Ing. Electrónica, CENIDET, Cuernavaca, Mor, México*, 2002.
- [16] M. A. R. Blanco, "DESARROLLO E IMPLEMENTACIÓN DE UN PROCEDIMIENTO DE EXTRACCIÓN DE PARÁMETROS PARA UN MODELO FÍSICO DE IGBT," *Tesis Maest. Dep. Ing. Electrónica, CENIDET, Cuernavaca, Mor, México*, 2001.
- [17] Kiran Y M, Preethi Sharma K and R. Nandihalli, "Overview of fault diagnosis and detection methods used in Switched Mode Power Supplies," *2016 2nd International Conference on Applied and Theoretical Computing and Communication Technology (iCATccT)*, Bangalore, 2016, pp. 708-712.
- [18] D. D. C. Lu, J. L. Soon, and D. Verstraete, "Derivation of dual-switch step-down DC/DC converters with fault-tolerant capability," *IEEE Trans. Power Electron.*, vol. 31, no. 9, pp. 6064–6068, 2016.
- [19] K. Park and Z. Chen, "Open-circuit fault detection and tolerant operation for a parallel-connected SAB DC-DC converter," *Conf. Proc. - IEEE Appl. Power Electron. Conf. Expo. - APEC*, pp. 1966–1972, 2014.
- [20] K. Rothenhagen and F. W. Fuchs, "Performance of diagnosis methods for IGBT open circuit faults in three phase voltage source inverters for ac variable speed drives," *Proc. Eur. Power Electron. Appl. Conf.*, pp. 1–10, 2005.
- [21] J. Fang, W. Li, H. Li, and X. Xu, "Online inverter fault diagnosis of buck-converter BLDC motor combinations," *IEEE Trans. Power Electron.*, vol. 30, no. 5, pp. 2674–2688, 2015.
- [22] N. Retiere, D. Roze, and P. Mannevy, "Vector based investigation of induction motor drive under inverter fault operations," *PESC Rec. - IEEE Annu. Power Electron. Spec. Conf.*, vol. 2, pp. 1288–1294, 1997.
- [23] R. Peugeot, S. Courtine, and J. P. Rognon, "Fault detection and isolation on a pwm inverter by knowledge-based model," *IEEE Trans. Ind. Appl.*, vol. 34, no. 6, pp. 1318–1326, 1998.
- [24] T. Shoji, M. Ishiko, and S. Kawaji, "Investigation of Short-circuit Capability of IGBT under High Applied Voltage Conditions," *R&D Rev.*, vol. 39, no. 4, pp. 22–26, 2004.
-

- [25] B. Wittig, M. Boettcher and F. W. Fuchs, "Analysis and design aspects of a desaturation detection circuit for low voltage power MOSFETs," *Proceedings of 14th International Power Electronics and Motion Control Conference EPE-PEMC 2010*, Ohrid, 2010, pp. T1-7-T1-12.
- [26] and M. J. R. †ADESPA Armando Cordeiro†, João C. P. Palma*, José Maia**, "Detection and Diagnosis Solutions for Fault-Tolerant VSI," *IEEE J. Power Electron.*, vol. 14, no. 6, pp. 4–7, 2014.
- [27] F. Huang and F. Flett, "IGBT fault protection based on di/dt feedback control," *PESC Rec. - IEEE Annu. Power Electron. Spec. Conf.*, pp. 1478–1484, 2007.
- [28] M. A. Rodríguez, A. Claudio, D. Theilliol, and L. G. Vela, "A new fault detection technique for IGBT based on gate voltage monitoring," *PESC Rec. - IEEE Annu. Power Electron. Spec. Conf.*, pp. 1001–1005, 2007.
- [29] E. Flores, A. Claudio, J. Aguayo, and L. Hernandez, "Fault Detection Circuit Based on IGBT Gate Signal," *IEEE Lat. Am. Trans.*, vol. 14, no. 2, pp. 541–548, 2016.
- [30] X. Zhang *et al.*, "A Gate Drive with Power over Fiber-Based Isolated Power Supply and Comprehensive Protection Functions for 15-kV SiC MOSFET," *IEEE J. Emerg. Sel. Top. Power Electron.*, vol. 4, no. 3, pp. 946–955, 2016.
- [31] M. A. Rodriguez-Blanco, A. Vazquez-Perez, L. Hernandez-Gonzalez, V. Golikov, J. Aguayo-Alquicira, and M. May-Alarcon, "Fault detection for IGBT using adaptive thresholds during the turn-on transient," *IEEE Trans. Ind. Electron.*, vol. 62, no. 3, pp. 1975–1983, 2015.
- [32] J. B. Lee and D. S. Hyun, "Gate voltage pattern analyze for short-circuit protection in IGBT inverters," *PESC Rec. - IEEE Annu. Power Electron. Spec. Conf.*, pp. 1913–1917, 2007.
- [33] V. M. Circuit, "Alternative to current detection of short circuit or shoot through detection for MOSFETs or IGBTs in motor drive applications," Appl. Note 3024, pp. 1–5.
- [34] wilhelm c. mille. allan h. robins, *Analisis De Circuitos*, 4ta ed, CENGAGE Learning, 2013.
- [35] Robert L. Boylestad, *Introducción al análisis de circuitos*. 10ma ed, Prentice Hall, 2011.
- [36] N. N. Almanza Ortega, "Medición de Voltaje Colector-Emisor como Parámetro Precursor de Falla en IGBT's de Potencia," *Tesis Maest. Dep. Ing. Electrónica, CENIDET, Cuernavaca, Mor, México*, 2016.
- [37] J. Sun, H. Xu, X. Wu, and K. Sheng, "Comparison and analysis of short circuit capability of 1200V single-chip SiC MOSFET and Si IGBT," *2016 Int. Forum Wide Bandgap Semicond. China, IFWS 2016 - Conf. Proc.*, vol. 3, pp. 42–45, 2017.

